

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジーへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジーに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジー」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジー ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジー
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

ADJ-602-208A

日立シングルチップマイクロコンピュータ
H8/3052F-ZTAT™ ハードウェアマニュアル

H8/3052F-ZTAT

HD64F3052TE, HD64F3052F

HD64F3052BTE, HD64F3052BF

HD64F3052BVTE, HD64F3052BVF

H8/3052F-ZTAT™ ハードウェアマニュアル

発行年月日

平成 11 年 9 月 第 1 版

平成 13 年 3 月 第 2 版

発行

株式会社 日立製作所

半導体グループ電子統括営業本部

編集

株式会社 日立小平セミコン

技術ドキュメントグループ

©株式会社 日立製作所

1999

ご注意

- 1 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
- 2 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
- 3 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
- 4 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
- 5 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
- 6 本製品は耐放射線設計をしておりません。
- 7 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
- 8 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

本 LSI は、内部 32 ビット構成の H8/300H CPU を核にして、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

周辺機能として、ROM、RAM、16 ビットインテグレートドタイマユニット (ITU)、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ (DMAC)、リフレッシュコントローラなどを内蔵しています。2 チャンネルの SCI のうち 1 チャンネルは、ISO/IEC7816-3 に準拠したスマートカードインタフェースを拡張機能としてサポートしています。また、電池駆動時の消費電力を低減するため、モジュール単位のスタンバイ機能やチップに供給するシステムクロックの分周比をプログラマブルに変更する機能を追加しています。

アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU 動作モードは、モード 1~7 があり、データバス幅の初期値とアドレス空間を選択することができます。

このため、本 LSI を用いることにより高性能かつ小型のシステムを容易に実現することができます。

本 LSI は、フラッシュメモリを内蔵した F-ZTAT™* 版であり、基板実装後のプログラム書き換えを可能にしています。変化の激しい市場ニーズに即応し、フレキシブルな製品開発が実現できます。

本マニュアルは、本 LSI のハードウェアについて説明します。命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」をあわせてご覧ください。

【注】* F-ZTAT™ は (株) 日立製作所の商標です。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
	全般		H8/3052F-ZTATB マスク品	掲載製品追加
1	1.1 概要	1-4	表 1.1 特長	製品ラインアップ変更
		1-5	図 1.1 内部ブロック図	V_{CL} V_{CL}/V_{CC} に変更
	1.3.1 ピン配置図	1-6	図 1.2 ピン配置図	1 ピンの変更 【注】変更
	1.3.2 動作モード別端子機能一覧	1-7	表 1.2 動作モード別端子機能一覧 (FP-100B, TFP-100B)	1 ピンの変更 【注】*1 変更
	1.3.3 端子機能	1-15	表 1.3 端子機能	【注】追加
18	18.10.1 ソケットアダプタとメモリマップ	18-39	表 18.12 本 LSI ソケットアダプタ型名	型名追加
19	19.2.1 水晶発振子を接続する方法	19-2	(1) 回路構成	説明追加
			表 19.1 (1) ダンピング抵抗値	25MHz 追加
			表 19.1 (2) 外付け容量値	追加
	19-3	表 19.2 水晶発振子のパラメータ	20、25MHz 追加	
19.2.2 外部クロックを入力する方法	19-5	表 19.3 クロックタイミング	変更	
21	21.1 絶対最大定格	21-1	表 21.1 絶対最大定格	変更
	21.2.1 DC 特性 (1)	21-3	表 21.2 DC 特性 (1)	消費電流変更
		21-4	表 21.2 DC 特性 (2)	追加
		21-6	表 21.3 出力許容電流値	条件変更
	21.2.2 AC 特性	21-7	表 21.4 バスタイミング	変更
		21-8	表 21.5 リフレッシュコントローラバスタイミング	変更
		21-9	表 21.6 制御信号タイミング	変更
		21-10	表 21.7 内蔵周辺モジュールタイミング	変更
	21.2.3 A/D 変換特性	21-11	表 21.8 A/D 変換特性	変更
	21.2.4 D/A 変換特性	21-11	表 21.9 D/A 変換特性	変更
	21.2.5 フラッシュメモリ特性	21-12	表 21.10 フラッシュメモリ特性	条件変更
21.3.1 バスタイミング	21-14	図 21.4 基本バスタイミング / 2 ステートアクセス	修正	
付録	F. 型名一覧	付録-135	表 F.1 H8/3052F-ZTAT 型名一覧	型名追加
	H. H8/3052F-ZTAT と H8/3048F-ZTAT との相違点	付録-138		H8/3052F-ZTAT 端子仕様変更

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置図	1-6
1.3.2	動作モード別端子機能一覧	1-7
1.3.3	端子機能	1-11

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8/300CPU との相違点	2-2
2.2	CPU 動作モード	2-2
2.3	アドレス空間	2-3
2.4	レジスタ構成	2-4
2.4.1	概要	2-4
2.4.2	汎用レジスタ	2-4
2.4.3	コントロールレジスタ	2-6
2.4.4	CPU 内部レジスタの初期値	2-7
2.5	データ構成	2-7
2.5.1	汎用レジスタのデータ構成	2-7
2.5.2	メモリ上でのデータ構成	2-9
2.6	命令セット	2-10
2.6.1	命令セットの概要	2-10
2.6.2	命令とアドレッシングモードの組み合わせ	2-11
2.6.3	命令の機能別一覧	2-12
2.6.4	命令の基本フォーマット	2-20
2.6.5	ビット操作命令使用上の注意	2-21
2.7	アドレッシングモードと実効アドレスの計算方法	2-22
2.7.1	アドレッシングモード	2-22
2.7.2	実効アドレスの計算方法	2-24
2.8	処理状態	2-28
2.8.1	概要	2-28
2.8.2	プログラム実行状態	2-28
2.8.3	例外処理状態	2-28
2.8.4	例外処理の動作	2-30
2.8.5	バス権解放状態	2-30

2.8.6	リセット状態	2-31
2.8.7	低消費電力状態	2-31
2.9	基本動作タイミング	2-32
2.9.1	概要	2-32
2.9.2	内蔵メモリアクセスタイミング	2-32
2.9.3	内蔵周辺モジュールアクセスタイミング	2-33
2.9.4	外部アドレス空間アクセスタイミング	2-33

第3章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの種類を選択	3-1
3.1.2	レジスタ構成	3-2
3.2	モードコントロールレジスタ (MDCR)	3-2
3.3	システムコントロールレジスタ (SYSCR)	3-3
3.4	各動作モードの説明	3-5
3.4.1	モード1	3-5
3.4.2	モード2	3-5
3.4.3	モード3	3-5
3.4.4	モード4	3-5
3.4.5	モード5	3-5
3.4.6	モード6	3-5
3.4.7	モード7	3-6
3.5	各動作モードにおける端子機能	3-6
3.6	各動作モードのメモリマップ	3-6

第4章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットシーケンス	4-3
4.2.3	リセット直後の割込み	4-6
4.3	割込み	4-6
4.4	トラップ命令	4-6
4.5	例外処理後のスタックの状態	4-7
4.6	スタック使用上の注意	4-7

第 5 章 割込みコントローラ

5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-2
5.1.3	端子構成	5-2
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	5-5
5.2.3	IRQ ステータスレジスタ (ISR)	5-11
5.2.4	IRQ イネーブルレジスタ (IER)	5-12
5.2.5	IRQ センスコントロールレジスタ (ISCR)	5-13
5.3	割込み要因	5-14
5.3.1	外部割込み	5-14
5.3.2	内部割込み	5-15
5.3.3	割込み例外処理ベクタテーブル	5-15
5.4	割込み動作	5-17
5.4.1	割込み動作の流れ	5-17
5.4.2	割込み例外処理シーケンス	5-22
5.4.3	割込み応答時間	5-23
5.5	使用上の注意	5-23
5.5.1	割込みの発生とディスエーブルとの競合	5-23
5.5.2	割込みの受け付けを禁止している命令	5-24
5.5.3	EEPMOV 命令実行中の割込み	5-24
5.5.4	外部割込み使用上の注意	5-25

第 6 章 バスコントローラ

6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-4
6.2.3	ウェイトコントロールレジスタ (WCR)	6-5
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	6-6
6.2.5	バスリリースコントロールレジスタ (BRCR)	6-7
6.2.6	チップセレクトコントロールレジスタ (CSCR)	6-8
6.3	動作説明	6-9
6.3.1	エリア分割	6-9
6.3.2	チップセレクト信号	6-10
6.3.3	データバス	6-11
6.3.4	バス制御信号タイミング	6-12

6.3.5	ウェイトモード	6-20
6.3.6	メモリとの接続例	6-26
6.3.7	バスアービタの動作.....	6-28
6.4	使用上の注意.....	6-31
6.4.1	DRAM および PSRAM の接続	6-31
6.4.2	レジスタライトタイミング.....	6-31
6.4.3	BREQ 端子の入力タイミング	6-32
6.4.4	ソフトウェアスタンバイモードへの遷移	6-32

第7章 リフレッシュコントローラ

7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	端子構成	7-3
7.1.4	レジスタ構成	7-3
7.2	各レジスタの説明.....	7-4
7.2.1	リフレッシュコントロールレジスタ (RFSHCR)	7-4
7.2.2	リフレッシュタイマコントロールステータスレジスタ (RTMCSR)	7-7
7.2.3	リフレッシュタイマカウンタ (RTCNT)	7-8
7.2.4	リフレッシュタイムコンスタントレジスタ (RTCOR)	7-9
7.3	動作説明	7-9
7.3.1	概要	7-9
7.3.2	DRAM リフレッシュ制御.....	7-10
7.3.3	PSRAM リフレッシュ制御.....	7-23
7.3.4	インターバルタイマ.....	7-26
7.4	割込み要因	7-31
7.5	使用上の注意.....	7-32

第8章 DMA コントローラ

8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	機能概要	8-3
8.1.4	端子構成	8-4
8.1.5	レジスタ構成	8-5
8.2	各レジスタの説明 (1) (ショートアドレスモード)	8-6
8.2.1	メモリアドレスレジスタ (MAR)	8-6
8.2.2	I/O アドレスレジスタ (IOAR)	8-7
8.2.3	転送カウントレジスタ (ETCR)	8-7
8.2.4	データトランスファコントロールレジスタ (DTCR)	8-8
8.3	各レジスタの説明 (2) (フルアドレスモード)	8-11
8.3.1	メモリアドレスレジスタ (MAR)	8-11
8.3.2	I/O アドレスレジスタ (IOAR)	8-11
8.3.3	転送カウントレジスタ (ETCR)	8-11

8.3.4	データトランスファコントロールレジスタ (DTCR)	8-13
8.4	動作説明	8-18
8.4.1	概要	8-18
8.4.2	I/O モード	8-19
8.4.3	アイドルモード	8-21
8.4.4	リピートモード	8-23
8.4.5	ノーマルモード	8-26
8.4.6	ブロック転送モード	8-28
8.4.7	DMAC の起動要因	8-33
8.4.8	DMAC のバスサイクル	8-34
8.4.9	DMAC 複数チャネルの動作	8-37
8.4.10	外部バス権要求、リフレッシュコントローラと DMAC の関係	8-38
8.4.11	NMI 割込みと DMAC	8-39
8.4.12	DMAC 動作の強制終了	8-39
8.4.13	フルアドレスモードの解除	8-40
8.4.14	リセット、スタンバイモード、スリープモード時の DMAC の状態	8-41
8.5	割込み	8-42
8.6	使用上の注意	8-43
8.6.1	ワードデータ転送時の注意	8-43
8.6.2	DMAC による DMAC 自体のアクセス	8-43
8.6.3	MAR のロングワードアクセス	8-43
8.6.4	フルアドレスモード設定時の注意	8-43
8.6.5	内部割込みで DMAC を起動する場合の注意	8-43
8.6.6	NMI 割込みとブロック転送モード	8-44
8.6.7	MAR、IOAR のアドレス指定	8-45
8.6.8	転送中断時のバスサイクル	8-46

第9章 I/O ポート

9.1	概要	9-1
9.2	ポート 1	9-4
9.2.1	概要	9-4
9.2.2	レジスタ構成	9-4
9.3	ポート 2	9-6
9.3.1	概要	9-6
9.3.2	レジスタ構成	9-6
9.4	ポート 3	9-9
9.4.1	概要	9-9
9.4.2	レジスタ構成	9-9
9.5	ポート 4	9-11
9.5.1	概要	9-11
9.5.2	レジスタ構成	9-11
9.6	ポート 5	9-14
9.6.1	概要	9-14
9.6.2	レジスタ構成	9-14

9.7	ポート 6	9-17
	9.7.1 概要	9-17
	9.7.2 レジスタ構成	9-17
9.8	ポート 7	9-20
	9.8.1 概要	9-20
	9.8.2 レジスタ構成	9-20
9.9	ポート 8	9-21
	9.9.1 概要	9-21
	9.9.2 レジスタ構成	9-22
9.10	ポート 9	9-25
	9.10.1 概要	9-25
	9.10.2 レジスタ構成	9-25
9.11	ポート A	9-29
	9.11.1 概要	9-29
	9.11.2 レジスタ構成	9-31
	9.11.3 端子機能	9-32
9.12	ポート B	9-37
	9.12.1 概要	9-37
	9.12.2 レジスタ構成	9-38
	9.12.3 端子機能	9-39

第 10 章 16 ビットインテグレートドタイマユニット (ITU)

10.1	概要	10-1
	10.1.1 特長	10-1
	10.1.2 ブロック図	10-4
	10.1.3 端子構成	10-9
	10.1.4 レジスタ構成	10-10
10.2	各レジスタの説明	10-12
	10.2.1 タイマスタートレジスタ (TSTR)	10-12
	10.2.2 タイマシンクロレジスタ (TSNC)	10-13
	10.2.3 タイマモードレジスタ (TMDR)	10-15
	10.2.4 タイマファンクションコントロールレジスタ (TFCR)	10-18
	10.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)	10-20
	10.2.6 タイマアウトプットコントロールレジスタ (TOCR)	10-22
	10.2.7 タイマカウンタ (TCNT)	10-23
	10.2.8 ジェネラルレジスタ A、B (GRA、GRB)	10-24
	10.2.9 バッファレジスタ A、B (BRA、BRB)	10-25
	10.2.10 タイマコントロールレジスタ (TCR)	10-25
	10.2.11 タイマ I/O コントロールレジスタ (TIOR)	10-27
	10.2.12 タイマステータスレジスタ (TSR)	10-29
	10.2.13 タイマイントラプトイネーブルレジスタ (TIER)	10-32
10.3	CPU とのインタフェース	10-34
	10.3.1 16 ビットアクセス可能なレジスタ	10-34
	10.3.2 8 ビットアクセスのレジスタ	10-36

10.4	動作説明	10-37
10.4.1	概要	10-37
10.4.2	基本機能	10-38
10.4.3	同期動作	10-45
10.4.4	PWM モード	10-46
10.4.5	リセット同期 PWM モード	10-49
10.4.6	相補 PWM モード	10-51
10.4.7	位相計数モード	10-60
10.4.8	バッファ動作	10-61
10.4.9	ITU 出力タイミング	10-65
10.5	割込み	10-68
10.5.1	ステータスフラグのセットタイミング	10-68
10.5.2	ステータスフラグのクリアタイミング	10-69
10.5.3	割込み要因と DMA コントローラの起動	10-70
10.6	使用上の注意	10-71

第 11 章 プログラマブルタイミングパターンコントローラ (TPC)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-4
11.2	各レジスタの説明	11-5
11.2.1	ポート A データディレクションレジスタ (PADDR)	11-5
11.2.2	ポート A データレジスタ (PADR)	11-5
11.2.3	ポート B データディレクションレジスタ (PBDDR)	11-6
11.2.4	ポート B データレジスタ (PBDR)	11-6
11.2.5	ネクストデータレジスタ A (NDRA)	11-7
11.2.6	ネクストデータレジスタ B (NDRB)	11-9
11.2.7	ネクストデータイネーブルレジスタ A (NDERA)	11-11
11.2.8	ネクストデータイネーブルレジスタ B (NDERB)	11-12
11.2.9	TPC 出力コントロールレジスタ (TPCR)	11-13
11.2.10	TPC 出力モードレジスタ (TPMR)	11-15
11.3	動作説明	11-17
11.3.1	概要	11-17
11.3.2	出力タイミング	11-18
11.3.3	TPC 出力通常動作	11-19
11.3.4	TPC 出力ノンオーバーラップ動作	11-21
11.3.5	インプットキャプチャによる TPC 出力	11-23
11.4	使用上の注意	11-23
11.4.1	TPC 出力端子の動作	11-23
11.4.2	ノンオーバーラップ動作時の注意	11-23

第 12 章 ウォッチドッグタイマ

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	レジスタ構成	12-2
12.2	各レジスタの説明	12-3
12.2.1	タイマカウンタ (TCNT)	12-3
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	12-4
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	12-6
12.2.4	レジスタ書き換え時の注意	12-7
12.3	動作説明	12-9
12.3.1	ウォッチドッグタイマ時の動作	12-9
12.3.2	インターバルタイマ時の動作	12-10
12.3.3	オーバフローフラグ (OVF) セットタイミング	12-10
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	12-11
12.4	割込み	12-12
12.5	使用上の注意	12-12

第 13 章 シリアルコミュニケーションインタフェース

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	レシーブシフトレジスタ (RSR)	13-4
13.2.2	レシーブデータレジスタ (RDR)	13-4
13.2.3	トランスミットシフトレジスタ (TSR)	13-5
13.2.4	トランスミットデータレジスタ (TDR)	13-5
13.2.5	シリアルモードレジスタ (SMR)	13-6
13.2.6	シリアルコントロールレジスタ (SCR)	13-9
13.2.7	シリアルステータスレジスタ (SSR)	13-13
13.2.8	ビットレートレジスタ (BRR)	13-17
13.3	動作説明	13-25
13.3.1	概要	13-25
13.3.2	調歩同期式モード時の動作	13-27
13.3.3	マルチプロセッサ通信機能	13-36
13.3.4	クロック同期式モード時の動作	13-43
13.4	SCI 割込み	13-50
13.5	使用上の注意	13-51

第 14 章 スマートカードインタフェース

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-2
14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-3
14.2.1	スマートカードモードレジスタ (SCMR)	14-3
14.2.2	シリアルステータスレジスタ (SSR)	14-5
14.2.3	シリアルモードレジスタ (SMR)	14-6
14.2.4	シリアルコントロールレジスタ (SCR)	14-7
14.3	動作説明	14-8
14.3.1	概要	14-8
14.3.2	端子接続	14-8
14.3.3	データフォーマット	14-9
14.3.4	レジスタ設定	14-10
14.3.5	クロック	14-12
14.3.6	データの送信 / 受信動作	14-13
14.4	使用上の注意	14-20

第 15 章 A/D 変換器

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-3
15.2	各レジスタの説明	15-4
15.2.1	A/D データレジスタ A ~ D (ADDRA ~ D)	15-4
15.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	15-5
15.2.3	A/D コントロールレジスタ (ADCR)	15-8
15.3	CPU とのインタフェース	15-9
15.4	動作説明	15-10
15.4.1	単一モード (SCAN = 0)	15-10
15.4.2	スキャンモード (SCAN = 1)	15-12
15.4.3	入力サンプリングと A/D 変換時間	15-14
15.4.4	外部トリガ入力タイミング	15-15
15.5	割込み	15-16
15.6	使用上の注意	15-16

第 16 章 D/A 変換器

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-1

16.1.3	端子構成	16-2
16.1.4	レジスタ構成	16-2
16.2	各レジスタの説明	16-3
16.2.1	D/A データレジスタ 0、1 (DADR0、1)	16-3
16.2.2	D/A コントロールレジスタ (DACR)	16-3
16.2.3	D/A スタンバイコントロールレジスタ (DASTCR)	16-5
16.3	動作説明	16-6
16.4	D/A 出力制御	16-7

第 17 章 RAM

17.1	概要	17-1
17.1.1	ブロック図	17-1
17.1.2	レジスタ構成	17-2
17.2	システムコントロールレジスタ (SYSCR)	17-2
17.3	動作説明	17-3

第 18 章 ROM

18.1	特長	18-1
18.2	概要	18-2
18.2.1	ブロック図	18-2
18.2.2	モード遷移図	18-3
18.2.3	オンボードプログラミングモード	18-4
18.2.4	RAM によるフラッシュメモリのエミュレーション	18-6
18.2.5	ブートモードとユーザプログラムモードの相違点	18-7
18.2.6	ブロック分割法	18-7
18.3	端子構成	18-8
18.4	レジスタ構成	18-8
18.5	レジスタの説明	18-9
18.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	18-9
18.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	18-11
18.5.3	消去ブロック指定レジスタ 1 (EBR1)	18-14
18.5.4	消去ブロック指定レジスタ 2 (EBR2)	18-14
18.5.5	RAM コントロールレジスタ (RAMCR)	18-15
18.6	オンボードプログラミングモード	18-17
18.6.1	ブートモード	18-18
18.6.2	ユーザプログラムモード	18-24
18.7	フラッシュメモリの書き込み / 消去	18-25
18.7.1	プログラムモード	18-26
18.7.2	プログラムベリファイモード	18-27
18.7.3	プログラム / プログラムベリファイフローの注意点	18-27
18.7.4	イレースモード	18-31
18.7.5	イレースベリファイモード	18-31

18.8	プロテクト	18-33
18.8.1	ハードウェアプロテクト	18-33
18.8.2	ソフトウェアプロテクト	18-34
18.8.3	エラープロテクト	18-34
18.8.4	NMI 入力の禁止条件	18-36
18.9	RAM によるフラッシュメモリのエミュレーション	18-37
18.10	フラッシュメモリの PROM モード	18-39
18.10.1	ソケットアダプタとメモリマップ	18-39
18.10.2	PROM モード使用時の注意事項	18-40
18.11	フラッシュメモリの書き込み / 消去時の注意	18-40

第 19 章 クロック発振器

19.1	概要	19-1
19.1.1	ブロック図	19-1
19.2	発振器	19-2
19.2.1	水晶発振子を接続する方法	19-2
19.2.2	外部クロックを入力する方法	19-4
19.3	デューティ補正回路	19-6
19.4	プリスケアラ	19-6
19.5	分周器	19-6
19.5.1	レジスタ構成	19-6
19.5.2	分周比コントロールレジスタ (DIVCR)	19-6
19.5.3	使用上の注意	19-7

第 20 章 低消費電力状態

20.1	概要	20-1
20.2	レジスタ構成	20-3
20.2.1	システムコントロールレジスタ (SYSCR)	20-3
20.2.2	モジュールスタンバイコントロールレジスタ (MSTCR)	20-5
20.3	スリープモード	20-7
20.3.1	スリープモードへの遷移	20-7
20.3.2	スリープモードの解除	20-7
20.4	ソフトウェアスタンバイモード	20-8
20.4.1	ソフトウェアスタンバイモードへの遷移	20-8
20.4.2	ソフトウェアスタンバイモードの解除	20-8
20.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	20-9
20.4.4	ソフトウェアスタンバイモードの応用例	20-10
20.4.5	使用上の注意	20-10
20.5	ハードウェアスタンバイモード	20-11
20.5.1	ハードウェアスタンバイモードへの遷移	20-11
20.5.2	ハードウェアスタンバイモードの解除	20-11
20.5.3	ハードウェアスタンバイモードのタイミング	20-11

20.6	モジュールスタンバイ機能.....	20-12
20.6.1	モジュールスタンバイタイミング.....	20-12
20.6.2	モジュールスタンバイ中のリード/ライト.....	20-12
20.6.3	使用上の注意.....	20-12
20.7	クロック出力禁止機能.....	20-13

第 21 章 電気的特性 (暫定仕様)

21.1	絶対最大定格.....	21-1
21.2	電気的特性.....	21-2
21.2.1	DC 特性.....	21-2
21.2.2	AC 特性.....	21-7
21.2.3	A/D 変換特性.....	21-11
21.2.4	D/A 変換特性.....	21-11
21.2.5	フラッシュメモリ特性.....	21-12
21.3	動作タイミング.....	21-14
21.3.1	バスタイミング.....	21-14
21.3.2	リフレッシュコントローラバスタイミング.....	21-16
21.3.3	制御信号タイミング.....	21-21
21.3.4	クロックタイミング.....	21-23
21.3.5	TPC、I/O ポートタイミング.....	21-23
21.3.6	ITU タイミング.....	21-24
21.3.7	SCI 入出力タイミング.....	21-25
21.3.8	DMAC タイミング.....	21-26

付録

A.	命令.....	付録-1
A.1	命令一覧.....	付録-1
A.2	オペレーションコードマップ.....	付録-16
A.3	命令実行ステート数.....	付録-19
B.	内部 I/O レジスタ一覧.....	付録-28
B.1	アドレス一覧.....	付録-28
B.2	機能一覧.....	付録-35
C.	I/O ポートブロック図.....	付録-103
C.1	ポート 1 ブロック図.....	付録-103
C.2	ポート 2 ブロック図.....	付録-104
C.3	ポート 3 ブロック図.....	付録-105
C.4	ポート 4 ブロック図.....	付録-106
C.5	ポート 5 ブロック図.....	付録-107
C.6	ポート 6 ブロック図.....	付録-108
C.7	ポート 7 ブロック図.....	付録-112
C.8	ポート 8 ブロック図.....	付録-113
C.9	ポート 9 ブロック図.....	付録-116
C.10	ポート A ブロック図.....	付録-120
C.11	ポート B ブロック図.....	付録-124

D.	端子状態	付録-128
D.1	各処理状態におけるポートの状態	付録-128
D.2	リセット時の端子状態	付録-131
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	付録-134
E.1	ハードウェアスタンバイモードの遷移タイミング	付録-134
E.2	ハードウェアスタンバイモードからの復帰タイミング	付録-134
F.	型名一覧	付録-135
G.	外形寸法図	付録-136
H.	H8/3052F-ZTAT と H8/3048F-ZTAT との相違点	付録-138

1. 概要

1.1 概要

本 LSI は、日立オリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU) です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、ROM、RAM、16 ビットインテグレートドタイマユニット (ITU)、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ (DMAC)、リフレッシュコントローラなどを内蔵しています。

本 LSI は、512k バイト ROM と 8k バイト RAM を内蔵しています。

MCU 動作モードは、モード 1~7 (シングルチップモード 1 種類、拡張モード 6 種類) があり、データバス幅とアドレス空間を選択することができます。

本 LSI は F-ZTAT™* 版であり、基板実装後のプログラム書き換えが可能です。

本 LSI の特長を表 1.1 に示します。

【注】* F-ZTAT は(株)日立製作所の商標です。

1. 概要

表 1.1 特長

項目	仕様
CPU	<p>H8/300CPU に対してオブジェクトレベルで上位互換</p> <p>汎用レジスタマシン</p> <ul style="list-style-type: none"> 汎用レジスタ：16 ビット×16 本 (8 ビット×16 本 + 16 ビット×8 本、32 ビット×8 本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none"> 最大動作周波数：25MHz 加減算：80ns 乗除算：560ns アドレス空間 16M バイト <p>特長ある命令</p> <ul style="list-style-type: none"> 8 / 16 / 32 ビット転送・演算命令 符号なし / 符号付乗算命令 (8 ビット×8 ビット、16 ビット×16 ビット) 符号なし / 符号付除算命令 (16 ビット÷8 ビット、32 ビット÷16 ビット) ビットアキュムレータ機能 レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	<ul style="list-style-type: none"> FLASH メモリ：512k バイト RAM：8k バイト
割込みコントローラ	<ul style="list-style-type: none"> 外部割込み端子 7 本：NMI、$\overline{IRQ}_0 \sim \overline{IRQ}_6$ 内部割込み 30 要因 3 レベルの割込み優先順位が設定可能
バスコントローラ	<ul style="list-style-type: none"> アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 エリア 0~7 に対してそれぞれチップセレクト出力可能 エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 4 種類のウェイトモードを設定可能 バス権調停機能
リフレッシュコントローラ	<p>DRAM リフレッシュ</p> <ul style="list-style-type: none"> ×16 ビット構成の DRAM を直接接続可能 CAS ビフォ RAS リフレッシュ セルフリフレッシュモード設定可能 <p>PSRAM リフレッシュ</p> <ul style="list-style-type: none"> セルフリフレッシュモード設定可能 <p>インターバルタイマとして使用可能</p>

項目	仕様
DMA コントローラ (DMAC)	ショートアドレスモード <ul style="list-style-type: none"> • 最大 4 チャンネルを使用可能 • I/O モード / アイドルモード / リピートモードの選択可能 • 起動要因： ITU チャンネル 0~3 のコンペアマッチ / インพุットキャプチャ A 割込み、SCI チャンネル 0 の送信データエンプティ / 受信データフル割込み、外部リクエスト フルアドレスモード <ul style="list-style-type: none"> • 最大 2 チャンネルを使用可能 • ノーマルモード / ブロック転送モードの選択可能 • 起動要因： ITU チャンネル 0~3 のコンペアマッチ / インพุットキャプチャ A 割込み、外部リクエスト、オートリクエスト
16 ビットインテグレートド タイマユニット (ITU)	<ul style="list-style-type: none"> • 16 ビットタイマ 5 チャンネルを内蔵。最大 12 端子のパルス出力、または最大 10 種類のパルスの入力処理が可能 • 16 ビットタイマカウンタ × 1 (チャンネル 0~4) • アウトプットコンペア出力 / インพุットキャプチャ入力 (兼用端子) × 2 (チャンネル 0~4) • 同期動作可能 (チャンネル 0~4) • PWM モード設定可能 (チャンネル 0~4) • 位相計数モード設定可能 (チャンネル 2) • パウファ動作可能 (チャンネル 3、4) • リセット同期 PWM モード設定可能 (チャンネル 3、4) • 相補 PWM モード設定可能 (チャンネル 3、4) • コンペアマッチ / インพุットキャプチャ A の割込みにより DMAC 起動可能 (チャンネル 0~3)
プログラマブルタイミングパターンコントローラ (TPC)	<ul style="list-style-type: none"> • ITU をタイムベースとした最大 16 ビットのパルス出力が可能 • 最大 4 ビット × 4 系統のパルス出力が可能 (16 ビット × 1 系統、8 ビット × 2 系統などの設定も可能) • ノンオーバーラップモード設定可能 • DMAC による出力データの転送可能
ウォッチドッグタイマ (WDT) × 1 チャンネル	<ul style="list-style-type: none"> • オーバフローによりリセット信号を発生可能 • インターバルタイマとして使用可能
シリアルコミュニケーションインタフェース (SCI) × 2 チャンネル	<ul style="list-style-type: none"> • 調歩同期 / クロック同期式モードの選択可能 • 送受信同時動作 (全二重動作) 可能 • 専用のボーレートジェネレータ内蔵 • スマートカードインタフェース拡張機能内蔵 (SCI0 のみ)
A/D 変換器	<ul style="list-style-type: none"> • 分解能：10 ビット • 8 チャンネル：単一モード / スキャンモード選択可能 • アナログ変換電圧範囲の設定が可能 • サンプル & ホールド機能付 • 外部トリガによる A/D 変換開始可能
D/A 変換器	<ul style="list-style-type: none"> • 分解能：8 ビット • 2 チャンネル • ソフトウェアスタンバイモード時 D/A 出力保持可能

1. 概要

項目	仕様																																								
I/Oポート	<ul style="list-style-type: none"> 入出力端子 70 本 入力端子 9 本 																																								
動作モード	<p>7 種類の MCU 動作モード</p> <table border="1"> <thead> <tr> <th>モード</th> <th>アドレス空間</th> <th>アドレス端子</th> <th>バス幅初期値</th> <th>バス幅最大値</th> </tr> </thead> <tbody> <tr> <td>モード 1</td> <td>1M バイト</td> <td>A₁₉ ~ A₀</td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 2</td> <td>1M バイト</td> <td>A₁₉ ~ A₀</td> <td>16 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 3</td> <td>16M バイト</td> <td>A₂₃ ~ A₀</td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 4</td> <td>16M バイト</td> <td>A₂₃ ~ A₀</td> <td>16 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 5</td> <td>1M バイト</td> <td>A₁₉ ~ A₀</td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 6</td> <td>16M バイト</td> <td>A₂₃ ~ A₀</td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 7</td> <td>1M バイト</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table> <ul style="list-style-type: none"> モード 1~4 では内蔵 ROM は無効となります。 	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値	モード 1	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット	モード 2	1M バイト	A ₁₉ ~ A ₀	16 ビット	16 ビット	モード 3	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット	モード 4	16M バイト	A ₂₃ ~ A ₀	16 ビット	16 ビット	モード 5	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット	モード 6	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット	モード 7	1M バイト	-	-	-
モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値																																					
モード 1	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット																																					
モード 2	1M バイト	A ₁₉ ~ A ₀	16 ビット	16 ビット																																					
モード 3	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット																																					
モード 4	16M バイト	A ₂₃ ~ A ₀	16 ビット	16 ビット																																					
モード 5	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット																																					
モード 6	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット																																					
モード 7	1M バイト	-	-	-																																					
低消費電力状態	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ハードウェアスタンバイモード モジュール別スタンバイ機能あり システムクロック分周比可変 																																								
その他	<ul style="list-style-type: none"> クロック発振器内蔵 																																								
製品ラインアップ	<table border="1"> <thead> <tr> <th colspan="2">製品分類</th> <th>製品型名</th> <th>パッケージ (日立パッケージコード)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">H8/3052F-ZTAT</td> <td rowspan="2">5V 動作品</td> <td>HD64F3052F</td> <td>100 ピン QFP (FP-100B)</td> </tr> <tr> <td>HD64F3052TE</td> <td>100 ピン TQFP (TFP-100B)</td> </tr> <tr> <td rowspan="3">H8/3052F-ZTAT B マスク品</td> <td rowspan="2">5V 動作品</td> <td>HD64F3052BF</td> <td>100 ピン QFP (FP-100B)</td> </tr> <tr> <td>HD64F3052BTE</td> <td>100 ピン TQFP (TFP-100B)</td> </tr> <tr> <td>3V 動作品</td> <td>HD64F3052BVF</td> <td>100 ピン QFP (FP-100B)</td> </tr> <tr> <td></td> <td></td> <td>HD64F3052BVTE</td> <td>100 ピン TQFP (TFP-100B)</td> </tr> </tbody> </table>	製品分類		製品型名	パッケージ (日立パッケージコード)	H8/3052F-ZTAT	5V 動作品	HD64F3052F	100 ピン QFP (FP-100B)	HD64F3052TE	100 ピン TQFP (TFP-100B)	H8/3052F-ZTAT B マスク品	5V 動作品	HD64F3052BF	100 ピン QFP (FP-100B)	HD64F3052BTE	100 ピン TQFP (TFP-100B)	3V 動作品	HD64F3052BVF	100 ピン QFP (FP-100B)			HD64F3052BVTE	100 ピン TQFP (TFP-100B)																	
製品分類		製品型名	パッケージ (日立パッケージコード)																																						
H8/3052F-ZTAT	5V 動作品	HD64F3052F	100 ピン QFP (FP-100B)																																						
		HD64F3052TE	100 ピン TQFP (TFP-100B)																																						
H8/3052F-ZTAT B マスク品	5V 動作品	HD64F3052BF	100 ピン QFP (FP-100B)																																						
		HD64F3052BTE	100 ピン TQFP (TFP-100B)																																						
	3V 動作品	HD64F3052BVF	100 ピン QFP (FP-100B)																																						
		HD64F3052BVTE	100 ピン TQFP (TFP-100B)																																						

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

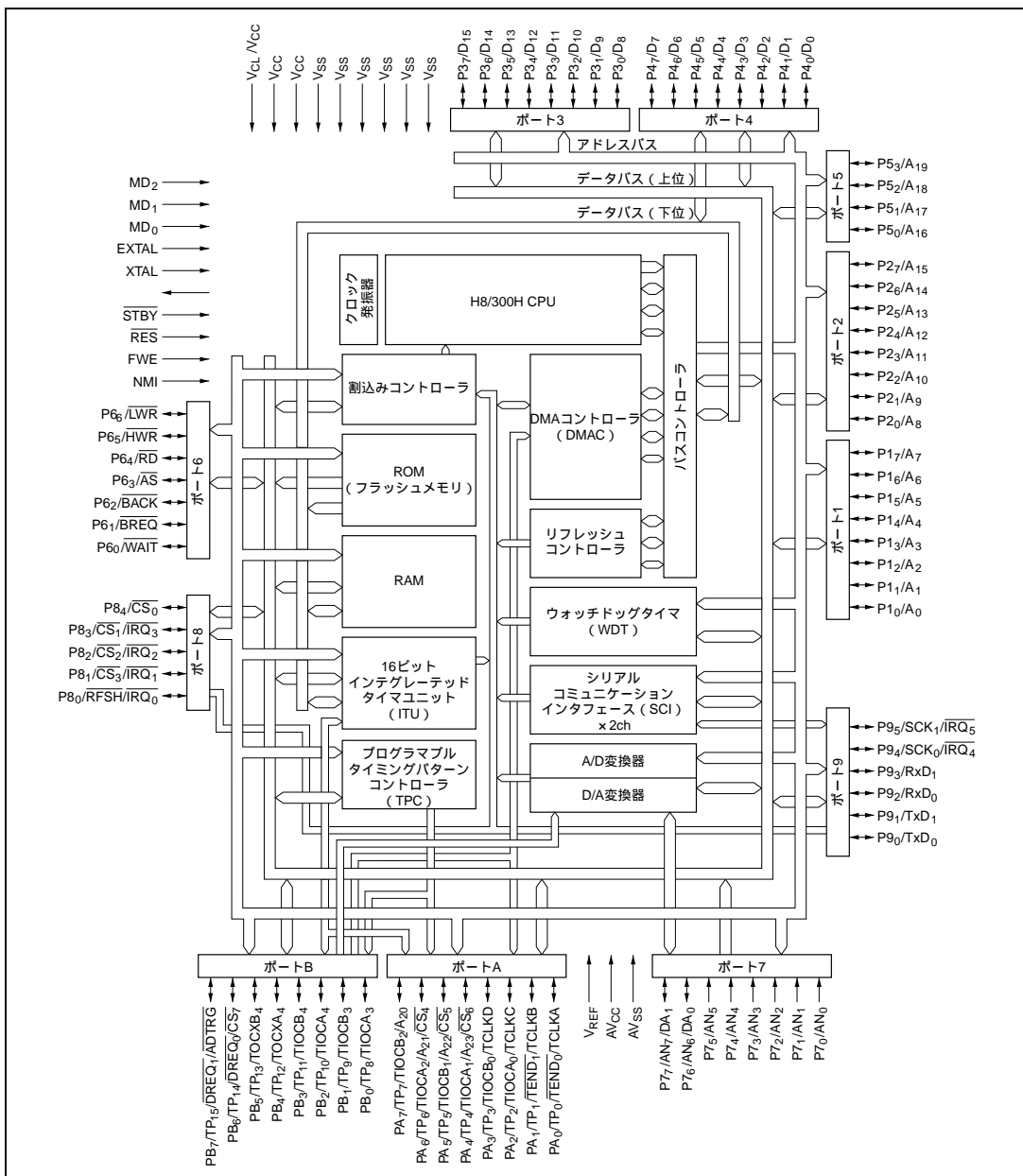


図 1.1 内部ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置図

本 LSI のピン配置図を図 1.2 に示します。

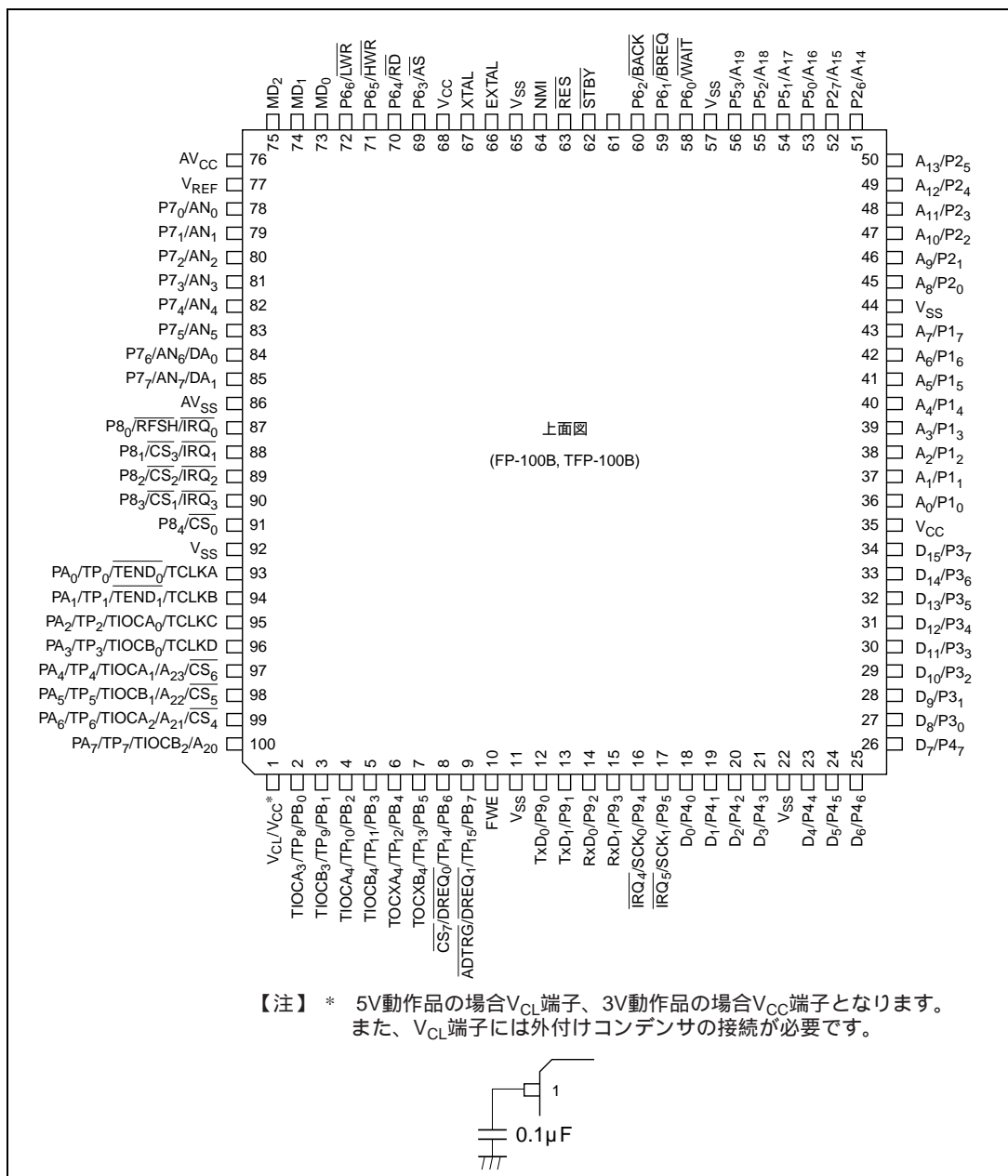


図 1.2 ピン配置図 (FP-100B、TFP-100B : 上面図)

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2 に示します。

表 1.2 動作モード別端子機能一覧 (FP-100B、TFP-100B)

ピン 番号	端子名						
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
1	$V_{CL}(V_{CC})^{*1}$	$V_{CL}(V_{CC})^{*1}$	$V_{CL}(V_{CC})^{*1}$	$V_{CL}(V_{CC})^{*1}$	$V_{CL}(V_{CC})^{*1}$	$V_{CL}(V_{CC})^{*1}$	$V_{CL}(V_{CC})^{*1}$
2	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃
3	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃
4	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄
5	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄
6	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄
7	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄
8	PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	PB ₆ /TP ₁₄ /DREQ ₀
9	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG
10	FWE	FWE	FWE	FWE	FWE	FWE	FWE
11	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
12	P9 ₇ /TxD ₀	P9 ₇ /TxD ₀	P9 ₇ /TxD ₀	P9 ₇ /TxD ₀	P9 ₇ /TxD ₀	P9 ₇ /TxD ₀	P9 ₇ /TxD ₀
13	P9 ₇ /TxD ₁	P9 ₇ /TxD ₁	P9 ₇ /TxD ₁	P9 ₇ /TxD ₁	P9 ₇ /TxD ₁	P9 ₇ /TxD ₁	P9 ₇ /TxD ₁
14	P9 ₇ /RxD ₀	P9 ₇ /RxD ₀	P9 ₇ /RxD ₀	P9 ₇ /RxD ₀	P9 ₇ /RxD ₀	P9 ₇ /RxD ₀	P9 ₇ /RxD ₀
15	P9 ₇ /RxD ₁	P9 ₇ /RxD ₁	P9 ₇ /RxD ₁	P9 ₇ /RxD ₁	P9 ₇ /RxD ₁	P9 ₇ /RxD ₁	P9 ₇ /RxD ₁
16	P9 ₇ /SCK ₁ /IRQ ₄	P9 ₇ /SCK ₁ /IRQ ₄	P9 ₇ /SCK ₁ /IRQ ₄	P9 ₇ /SCK ₁ /IRQ ₄	P9 ₇ /SCK ₁ /IRQ ₄	P9 ₇ /SCK ₁ /IRQ ₄	P9 ₇ /SCK ₁ /IRQ ₄
17	P9 ₇ /SCK ₁ /IRQ ₅	P9 ₇ /SCK ₁ /IRQ ₅	P9 ₇ /SCK ₁ /IRQ ₅	P9 ₇ /SCK ₁ /IRQ ₅	P9 ₇ /SCK ₁ /IRQ ₅	P9 ₇ /SCK ₁ /IRQ ₅	P9 ₇ /SCK ₁ /IRQ ₅
18	P4 ₇ /D ₀ ^{*2}	P4 ₇ /D ₀ ^{*3}	P4 ₇ /D ₀ ^{*2}	P4 ₇ /D ₀ ^{*3}	P4 ₇ /D ₀ ^{*2}	P4 ₇ /D ₀ ^{*2}	P4 ₀
19	P4 ₇ /D ₁ ^{*2}	P4 ₇ /D ₁ ^{*3}	P4 ₇ /D ₁ ^{*2}	P4 ₇ /D ₁ ^{*3}	P4 ₇ /D ₁ ^{*2}	P4 ₇ /D ₁ ^{*2}	P4 ₁
20	P4 ₇ /D ₂ ^{*2}	P4 ₇ /D ₂ ^{*3}	P4 ₇ /D ₂ ^{*2}	P4 ₇ /D ₂ ^{*3}	P4 ₇ /D ₂ ^{*2}	P4 ₇ /D ₂ ^{*2}	P4 ₂
21	P4 ₇ /D ₃ ^{*2}	P4 ₇ /D ₃ ^{*3}	P4 ₇ /D ₃ ^{*2}	P4 ₇ /D ₃ ^{*3}	P4 ₇ /D ₃ ^{*2}	P4 ₇ /D ₃ ^{*2}	P4 ₃
22	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
23	P4 ₇ /D ₄ ^{*2}	P4 ₇ /D ₄ ^{*3}	P4 ₇ /D ₄ ^{*2}	P4 ₇ /D ₄ ^{*3}	P4 ₇ /D ₄ ^{*2}	P4 ₇ /D ₄ ^{*2}	P4 ₄
24	P4 ₇ /D ₅ ^{*2}	P4 ₇ /D ₅ ^{*3}	P4 ₇ /D ₅ ^{*2}	P4 ₇ /D ₅ ^{*3}	P4 ₇ /D ₅ ^{*2}	P4 ₇ /D ₅ ^{*2}	P4 ₅
25	P4 ₇ /D ₆ ^{*2}	P4 ₇ /D ₆ ^{*3}	P4 ₇ /D ₆ ^{*2}	P4 ₇ /D ₆ ^{*3}	P4 ₇ /D ₆ ^{*2}	P4 ₇ /D ₆ ^{*2}	P4 ₆
26	P4 ₇ /D ₇ ^{*2}	P4 ₇ /D ₇ ^{*3}	P4 ₇ /D ₇ ^{*2}	P4 ₇ /D ₇ ^{*3}	P4 ₇ /D ₇ ^{*2}	P4 ₇ /D ₇ ^{*2}	P4 ₇

1. 概要

ピン 番号	端子名						
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
27	D ₈	D ₈	D ₈	D ₈	D ₈	D ₈	P3 ₀
28	D ₉	D ₉	D ₉	D ₉	D ₉	D ₉	P3 ₁
29	D ₁₀	D ₁₀	D ₁₀	D ₁₀	D ₁₀	D ₁₀	P3 ₂
30	D ₁₁	D ₁₁	D ₁₁	D ₁₁	D ₁₁	D ₁₁	P3 ₃
31	D ₁₂	D ₁₂	D ₁₂	D ₁₂	D ₁₂	D ₁₂	P3 ₄
32	D ₁₃	D ₁₃	D ₁₃	D ₁₃	D ₁₃	D ₁₃	P3 ₅
33	D ₁₄	D ₁₄	D ₁₄	D ₁₄	D ₁₄	D ₁₄	P3 ₆
34	D ₁₅	D ₁₅	D ₁₅	D ₁₅	D ₁₅	D ₁₅	P3 ₇
35	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
36	A ₀	A ₀	A ₀	A ₀	P1 ₀ /A ₀	P1 ₀ /A ₀	P1 ₀
37	A ₁	A ₁	A ₁	A ₁	P1 ₁ /A ₁	P1 ₁ /A ₁	P1 ₁
38	A ₂	A ₂	A ₂	A ₂	P1 ₂ /A ₂	P1 ₂ /A ₂	P1 ₂
39	A ₃	A ₃	A ₃	A ₃	P1 ₃ /A ₃	P1 ₃ /A ₃	P1 ₃
40	A ₄	A ₄	A ₄	A ₄	P1 ₄ /A ₄	P1 ₄ /A ₄	P1 ₄
41	A ₅	A ₅	A ₅	A ₅	P1 ₅ /A ₅	P1 ₅ /A ₅	P1 ₅
42	A ₆	A ₆	A ₆	A ₆	P1 ₆ /A ₆	P1 ₆ /A ₆	P1 ₆
43	A ₇	A ₇	A ₇	A ₇	P1 ₇ /A ₇	P1 ₇ /A ₇	P1 ₇
44	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
45	A ₈	A ₈	A ₈	A ₈	P2 ₀ /A ₈	P2 ₀ /A ₈	P2 ₀
46	A ₉	A ₉	A ₉	A ₉	P2 ₁ /A ₉	P2 ₁ /A ₉	P2 ₁
47	A ₁₀	A ₁₀	A ₁₀	A ₁₀	P2 ₂ /A ₁₀	P2 ₂ /A ₁₀	P2 ₂
48	A ₁₁	A ₁₁	A ₁₁	A ₁₁	P2 ₃ /A ₁₁	P2 ₃ /A ₁₁	P2 ₃
49	A ₁₂	A ₁₂	A ₁₂	A ₁₂	P2 ₄ /A ₁₂	P2 ₄ /A ₁₂	P2 ₄
50	A ₁₃	A ₁₃	A ₁₃	A ₁₃	P2 ₅ /A ₁₃	P2 ₅ /A ₁₃	P2 ₅
51	A ₁₄	A ₁₄	A ₁₄	A ₁₄	P2 ₆ /A ₁₄	P2 ₆ /A ₁₄	P2 ₆
52	A ₁₅	A ₁₅	A ₁₅	A ₁₅	P2 ₇ /A ₁₅	P2 ₇ /A ₁₅	P2 ₇
53	A ₁₆	A ₁₆	A ₁₆	A ₁₆	P5 ₀ /A ₁₆	P5 ₀ /A ₁₆	P5 ₀
54	A ₁₇	A ₁₇	A ₁₇	A ₁₇	P5 ₁ /A ₁₇	P5 ₁ /A ₁₇	P5 ₁
55	A ₁₈	A ₁₈	A ₁₈	A ₁₈	P5 ₂ /A ₁₈	P5 ₂ /A ₁₈	P5 ₂
56	A ₁₉	A ₁₉	A ₁₉	A ₁₉	P5 ₃ /A ₁₉	P5 ₃ /A ₁₉	P5 ₃
57	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
58	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀
59	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁
60	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂
61							
62	STBY	STBY	STBY	STBY	STBY	STBY	STBY
63	RES	RES	RES	RES	RES	RES	RES

ピン 番号	端子名						
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
64	NMI	NMI	NMI	NMI	NMI	NMI	NMI
65	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
68	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
69	\overline{AS}	\overline{AS}	\overline{AS}	\overline{AS}	\overline{AS}	\overline{AS}	P6 ₃
70	\overline{RD}	\overline{RD}	\overline{RD}	\overline{RD}	\overline{RD}	\overline{RD}	P6 ₄
71	\overline{HWR}	\overline{HWR}	\overline{HWR}	\overline{HWR}	\overline{HWR}	\overline{HWR}	P6 ₅
72	\overline{LWR}	\overline{LWR}	\overline{LWR}	\overline{LWR}	\overline{LWR}	\overline{LWR}	P6 ₆
73	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀
74	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁
75	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂
76	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}
77	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}
78	P7/AN ₀	P7/AN ₀	P7/AN ₀	P7/AN ₀	P7/AN ₀	P7/AN ₀	P7/AN ₀
79	P7/AN ₁	P7/AN ₁	P7/AN ₁	P7/AN ₁	P7/AN ₁	P7/AN ₁	P7/AN ₁
80	P7/AN ₂	P7/AN ₂	P7/AN ₂	P7/AN ₂	P7/AN ₂	P7/AN ₂	P7/AN ₂
81	P7/AN ₃	P7/AN ₃	P7/AN ₃	P7/AN ₃	P7/AN ₃	P7/AN ₃	P7/AN ₃
82	P7/AN ₄	P7/AN ₄	P7/AN ₄	P7/AN ₄	P7/AN ₄	P7/AN ₄	P7/AN ₄
83	P7/AN ₅	P7/AN ₅	P7/AN ₅	P7/AN ₅	P7/AN ₅	P7/AN ₅	P7/AN ₅
84	P7/AN ₆ /DA ₀	P7/AN ₆ /DA ₀	P7/AN ₆ /DA ₀	P7/AN ₆ /DA ₀	P7/AN ₆ /DA ₀	P7/AN ₆ /DA ₀	P7/AN ₆ /DA ₀
85	P7/AN ₆ /DA ₁	P7/AN ₆ /DA ₁	P7/AN ₆ /DA ₁	P7/AN ₆ /DA ₁	P7/AN ₆ /DA ₁	P7/AN ₆ /DA ₁	P7/AN ₆ /DA ₁
86	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}
87	P8/RFSH / $\overline{IRQ_0}$	P8/RFSH / $\overline{IRQ_0}$	P8/RFSH / $\overline{IRQ_0}$	P8/RFSH / $\overline{IRQ_0}$	P8/RFSH / $\overline{IRQ_0}$	P8/RFSH / $\overline{IRQ_0}$	P8/ $\overline{IRQ_0}$
88	P8/ $\overline{CS_1}$ / $\overline{IRQ_1}$	P8/ $\overline{CS_1}$ / $\overline{IRQ_1}$	P8/ $\overline{CS_1}$ / $\overline{IRQ_1}$	P8/ $\overline{CS_1}$ / $\overline{IRQ_1}$	P8/ $\overline{CS_1}$ / $\overline{IRQ_1}$	P8/ $\overline{CS_1}$ / $\overline{IRQ_1}$	P8/ $\overline{IRQ_1}$
89	P8/ $\overline{CS_2}$ / $\overline{IRQ_2}$	P8/ $\overline{CS_2}$ / $\overline{IRQ_2}$	P8/ $\overline{CS_2}$ / $\overline{IRQ_2}$	P8/ $\overline{CS_2}$ / $\overline{IRQ_2}$	P8/ $\overline{CS_2}$ / $\overline{IRQ_2}$	P8/ $\overline{CS_2}$ / $\overline{IRQ_2}$	P8/ $\overline{IRQ_2}$
90	P8/ $\overline{CS_3}$ / $\overline{IRQ_3}$	P8/ $\overline{CS_3}$ / $\overline{IRQ_3}$	P8/ $\overline{CS_3}$ / $\overline{IRQ_3}$	P8/ $\overline{CS_3}$ / $\overline{IRQ_3}$	P8/ $\overline{CS_3}$ / $\overline{IRQ_3}$	P8/ $\overline{CS_3}$ / $\overline{IRQ_3}$	P8/ $\overline{IRQ_3}$
91	P8/ $\overline{CS_0}$	P8/ $\overline{CS_0}$	P8/ $\overline{CS_0}$	P8/ $\overline{CS_0}$	P8/ $\overline{CS_0}$	P8/ $\overline{CS_0}$	P8 ₁
92	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
93	PA ₀ /TP ₀ /TEND ₀ /TCLKA	PA ₀ /TP ₀ /TEND ₀ /TCLKA	PA ₀ /TP ₀ /TEND ₀ /TCLKA	PA ₀ /TP ₀ /TEND ₀ /TCLKA	PA ₀ /TP ₀ /TEND ₀ /TCLKA	PA ₀ /TP ₀ /TEND ₀ /TCLKA	PA ₀ /TP ₀ /TEND ₀ /TCLKA
94	PA ₀ /TP ₀ /TEND ₁ /TCLKB	PA ₀ /TP ₀ /TEND ₁ /TCLKB	PA ₀ /TP ₀ /TEND ₁ /TCLKB	PA ₀ /TP ₀ /TEND ₁ /TCLKB	PA ₀ /TP ₀ /TEND ₁ /TCLKB	PA ₀ /TP ₀ /TEND ₁ /TCLKB	PA ₀ /TP ₀ /TEND ₁ /TCLKB
95	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC
96	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD

1. 概要

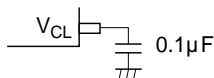
ピン 番号	端子名						
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
97	PA ₄ /TP ₄ /TIOCA ₁ /CS ₆	PA ₄ /TP ₄ /TIOCA ₁ /CS ₆	PA ₄ /TP ₄ /TIOCA ₁ /CS ₆	PA ₄ /TP ₄ /TIOCA ₁ /CS ₆	PA ₄ /TP ₄ /TIOCA ₁ /CS ₆	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃ /CS ₆	PA ₄ /TP ₄ /TIOCA ₁
98	PA ₅ /TP ₅ /TIOCB ₁ /CS ₅	PA ₅ /TP ₅ /TIOCB ₁ /CS ₅	PA ₅ /TP ₅ /TIOCB ₁ /CS ₅	PA ₅ /TP ₅ /TIOCB ₁ /CS ₅	PA ₅ /TP ₅ /TIOCB ₁ /CS ₅	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂ /CS ₅	PA ₅ /TP ₅ /TIOCB ₁
99	PA ₆ /TP ₆ /TIOCA ₂ /CS ₄	PA ₆ /TP ₆ /TIOCA ₂ /CS ₄	PA ₆ /TP ₆ /TIOCA ₂ /CS ₄	PA ₆ /TP ₆ /TIOCA ₂ /CS ₄	PA ₆ /TP ₆ /TIOCA ₂ /CS ₄	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁ /CS ₄	PA ₆ /TP ₆ /TIOCA ₂
100	PA ₇ /TP ₇ /TIOCB ₂	PA ₇ /TP ₇ /TIOCB ₂	A ₂₀	A ₂₀	PA ₇ /TP ₇ /TIOCB ₂	A ₂₀	PA ₇ /TP ₇ /TIOCB ₂

- 【注】 *1 5V 動作品は V_{CL} 端子、3V 動作品は V_{CC} 端子となります。なお V_{CL} 端子には、外付けコンデンサを接続してください。
- *2 モード 1、3、5、6 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は P4₀ ~ P4₇ 端子となっています（プログラムで変更できます）。
- *3 モード 2、4 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は D₀ ~ D₇ 端子となっています（プログラムで変更できます）。

1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号	入出力	名称および機能																												
電源	V_{CC}	35、68	入力	電源 電源に接続します。 V_{CC} 端子は、全端子をシステムの電源に接続してください。																												
	V_{SS}	11、22、44、57、65、92	入力	グランド 電源 (0V) に接続します。 V_{SS} 端子は、全端子をシステムの電源 (0V) に接続してください。																												
	V_{CL}	1*	入力	本端子と GND (0V) との間に外付けコンデンサを接続します。 																												
クロック	XTAL	67	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。																												
	EXTAL	66	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。																												
		61	出力	システムクロック 外部デバイスにシステムクロックを供給します。																												
動作モードコントロール	$MD_2 \sim MD_0$	75 ~ 73	入力	モード端子 動作モードを設定します。 $MD_2 \sim MD_0$ 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" data-bbox="806 1251 1168 1555"> <thead> <tr> <th>MD_2</th> <th>MD_1</th> <th>MD_0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>モード 1</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード 2</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>1</td> <td>モード 3</td> </tr> <tr> <td>0</td> <td>モード 4</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード 5</td> </tr> <tr> <td>1</td> <td>モード 6</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>モード 7</td> </tr> </tbody> </table>	MD_2	MD_1	MD_0	動作モード	0	0	0	-	1	モード 1	1	0	モード 2	1	0	1	モード 3	0	モード 4	1	0	モード 5	1	モード 6			1	モード 7
MD_2	MD_1	MD_0	動作モード																													
0	0	0	-																													
		1	モード 1																													
	1	0	モード 2																													
1	0	1	モード 3																													
		0	モード 4																													
	1	0	モード 5																													
		1	モード 6																													
		1	モード 7																													

1. 概要

分類	記号	ピン番号	入出力	名称および機能
システム制御	$\overline{\text{RES}}$	63	入力	<u>リセット入力</u> この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{FWE}}$	10	入力	<u>フラッシュライトイネーブル</u> プログラムモードの設定ができます。
	$\overline{\text{STBY}}$	62	入力	<u>スタンバイ</u> この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{BREQ}}$	59	入力	<u>バス権要求</u> 本 LSI に対し、外部バスマスタがバス権を要求します。
	$\overline{\text{BACK}}$	60	出力	<u>バス権要求アクノリッジ</u> バス権を外部バスマスタに解放したことを示します。
割込み	$\overline{\text{NMI}}$	64	入力	<u>ノンマスカブル割込み</u> マスク不可能な割込みを要求します。
	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$	17、16、 90 ~ 87	入力	<u>割込み要求 5 ~ 0</u> マスク可能な割込みを要求します。
アドレスバス	$A_{23} \sim A_0$	97 ~ 100、56 ~ 45、43 ~ 36	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	$D_{15} \sim D_0$	34 ~ 23、 21 ~ 18	入出力	<u>データバス</u> 双方向データバスです。
バス制御	$\overline{\text{CS}}_7 \sim \overline{\text{CS}}_0$	8、97 ~ 99、 88 ~ 91	出力	<u>チップセレクト</u> エリア 7 ~ 0 の選択信号です。
	$\overline{\text{AS}}$	69	出力	<u>アドレスストローブ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	70	出力	<u>リード</u> この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	71	出力	<u>ハイライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示します。
	$\overline{\text{LWR}}$	72	出力	<u>ロウライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示します。
	$\overline{\text{WAIT}}$	58	入力	<u>ウェイト</u> 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

分類	記号	ピン番号	入出力	名称および機能
リフレッシュ コントローラ	RFSH	87	出力	<u>リフレッシュ</u> リフレッシュサイクルを示します。
	\overline{CS}_3	88	出力	<u>ロウアドレスストロープ (RAS)</u> エリア 3 に接続された DRAM のロウアドレス ストロープ信号です。
	RD	70	出力	<u>カラムアドレスストロープ (\overline{CAS})</u> エリア 3 に接続された DRAM のカラムアドレ スストロープ信号です。2WE 方式 DRAM に使 用します。 <u>ライトイネーブル (\overline{WE})</u> エリア 3 に接続された DRAM のライトイネー ブル信号です。2CAS 方式 DRAM に使用しま す。
	HWR	71	出力	<u>アッパーライト (\overline{UW})</u> エリア 3 に接続された DRAM のライトイネー ブル信号です。2WE 方式 DRAM に使用します。 <u>アッパーカラムアドレスストロープ (\overline{UCAS})</u> エリア 3 に接続された DRAM のカラムアドレ スストロープ信号です。2CAS 方式 DRAM に 使用します。
	LWR	72	出力	<u>ロウアーライト (\overline{LW})</u> エリア 3 に接続された DRAM のライトイネー ブル信号です。2WE 方式 DRAM に使用します。 <u>ロウアーカラムアドレスストロープ (\overline{LCAS})</u> エリア 3 に接続された DRAM のカラムアドレ スストロープ信号です。2CAS 方式 DRAM に 使用します。
DMA コントロー ラ (DMAC)	DREQ ₁ 、 DREQ ₀	9、8	入力	DMA 要求 1、0 DMAC の起動を要求します。
	TEND ₁ 、 TEND ₀	94、93	出力	DMA 終了 1、0 DMAC のデータ転送終了を示します。
16 ビットインテ グレートッドタイ マユニット (ITU)	TCLKD ~ TCLKA	96 ~ 93	入力	<u>クロック入力 D ~ A</u> 外部クロックを入力します。
	TIOCA ₄ ~ TIOCA ₀	4、2、99、97、 95	入出力	<u>インプットキャプチャ / アウトプットコンペア A4 ~ A0</u> GRA4 ~ A0 のアウトプットコンペア出力 / イン プットキャプチャ入力 / PWM 出力端子で す。
	TIOCB ₄ ~ TIOCB ₀	5、3、100、98、 96	入出力	<u>インプットキャプチャ / アウトプットコンペア B4 ~ B0</u> GRB4 ~ B0 のアウトプットコンペア出力 / イン プットキャプチャ入力 / PWM 出力端子で す。
	TOCXA ₄	6	出力	<u>アウトプットコンペア XA4</u> PWM 出力端子です。
TOCXB ₄	7	出力	<u>アウトプットコンペア XB4</u> PWM 出力端子です。	

1. 概要

分類	記号	ピン番号	入出力	名称および機能
プログラマブルタイミングパターンコントローラ (TPC)	TP ₁₅ ~ TP ₀	9 ~ 2, 100 ~ 93	出力	TPC 出力 15 ~ 0 パルス出力端子です。
シリアルコミュニケーションインタフェース (SCI)	TxD ₁ 、TxD ₀	13、12	出力	トランスミットデータ (チャンネル 0、1) SCI のデータ出力端子です。
	RxD ₁ 、RxD ₀	15、14	入力	レシーブデータ (チャンネル 0、1) SCI のデータ入力端子です。
	SCK ₁ 、SCK ₀	17、16	入出力	シリアルクロック (チャンネル 0、1) SCI のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	85 ~ 78	入力	アナログ 7 ~ 0 アナログ入力端子です。
	ADTRG	9	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA ₁ 、DA ₀	85、84	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
A/D 変換器、D/A 変換器	AV _{CC}	76	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
	AV _{SS}	86	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	V _{REF}	77	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
I/O ポート	P1 ₇ ~ P1 ₀	43 ~ 36	入出力	ポート 1 8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	52 ~ 45	入出力	ポート 2 8 ビットの入出力端子です。ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	34 ~ 27	入出力	ポート 3 8 ビットの入出力端子です。ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P4 ₇ ~ P4 ₀	26 ~ 23、 21 ~ 18	入出力	ポート 4 8 ビットの入出力端子です。ポート 4 データディレクションレジスタ (P4DDR) によって、1 ビットごとに入出力を指定できます。
	P5 ₃ ~ P5 ₀	56 ~ 53	入出力	ポート 5 4 ビットの入出力端子です。ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごとに入出力を指定できます。

分類	記号	ピン番号	入出力	名称および機能
I/O ポート	P6 ₆ ~ P6 ₀	72 ~ 69、 60 ~ 58	入出力	ポート 6 7 ビットの入出力端子です。ポート 6 データディレクションレジスタ (P6DDR) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	85 ~ 78	入力	ポート 7 8 ビットの入力端子です。
	P8 ₄ ~ P8 ₀	91 ~ 87	入出力	ポート 8 5 ビットの入出力端子です。ポート 8 データディレクションレジスタ (P8DDR) によって、1 ビットごとに入出力を指定できます。
	P9 ₅ ~ P9 ₀	17 ~ 12	入出力	ポート 9 6 ビットの入出力端子です。ポート 9 データディレクションレジスタ (P9DDR) によって、1 ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	100 ~ 93	入出力	ポート A 8 ビットの入出力端子です。ポート A データディレクションレジスタ (PADDDR) によって、1 ビットごとに入出力を指定できます。
	PB ₇ ~ PB ₀	9 ~ 2	入出力	ポート B 8 ビットの入出力端子です。ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。

【注】 * 5V 動作品の場合は V_{CL} 端子となりますが、3V 動作品の場合は V_{CC} 端子 (システム電源に接続) となります。

1. 概要

2. CPU

2.1 概要

H8/300H CPU は、H8/300CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPU には、次の特長があります。

- H8/300CPU 上位互換
H8/300シリーズのオブジェクトプログラムを実行可能
- 汎用レジスタ方式
16ビット×16本（8ビット×16本、32ビット×8本としても使用可能）
- 62 種類の基本命令
 - 8 / 16 / 32 ビット転送、演算命令
 - 乗除算命令
 - 強力なビット操作命令
- 8 種類のアドレッシングモード
 - レジスタ直接 (Rn)
 - レジスタ間接 (@ERn)
 - ディスプレースメント付レジスタ間接 (@ (d:16, ERn) , @ (d:24, ERn))
 - ポストインクリメント / プリデクリメントレジスタ間接 (@ERn + / @ - ERn)
 - 絶対アドレス (@aa:8, @aa:16, @aa:24)
 - イミディエイト (#xx:8, #xx:16, #xx:32)
 - プログラムカウンタ相対 (@ (d:8, PC) , @ (d:16, PC))
 - メモリ間接 (@@aa:8)
- 16M バイトのリニアアドレス空間
- 高速動作
 - 頻出命令をすべて 2~4 ステートで実行
 - 最高動作周波数 : 25MHz
 - 8 / 16 / 32 ビットレジスタ間加減算 : 80ns
 - 8×8 ビットレジスタ間乗算 : 560ns
 - 16÷8 ビットレジスタ間除算 : 560ns
 - 16×16 ビットレジスタ間乗算 : 0.88 μs
 - 32÷16 ビットレジスタ間除算 : 0.88 μs
- 2 種類の CPU 動作モード
 - ノーマルモード（本 LSI では使用できません）
 - アドバンスモード
- 低消費電力動作
SLEEP命令により低消費電力状態に移

2.1.2 H8/300CPU との相違点

H8/300H CPU は、H8/300CPU に対して、次の点が強化、拡張されています。

- 汎用レジスタを拡張
16ビット×8本の拡張レジスタを追加
- アドレス空間を拡張
 - アドバンストモードのとき、最大 16M バイトのアドレス空間を使用可能
 - ノーマルモードのとき、H8/300CPU と同一の 64k バイトのアドレス空間を使用可能
(本LSIでは使用できません)
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
 - 32 ビット転送、演算命令を追加
 - 符号付き乗除算命令などを追加

2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンストモードの2つのCPU動作モードを持っています。サポートするアドレス空間は、ノーマルモードの場合最大 64k バイト、アドバンストモードの場合最大 16M バイトとなります。

本 LSI では、アドバンストモードのみ使用できます（以後、特に説明がない場合はアドバンストモードについて説明します）。

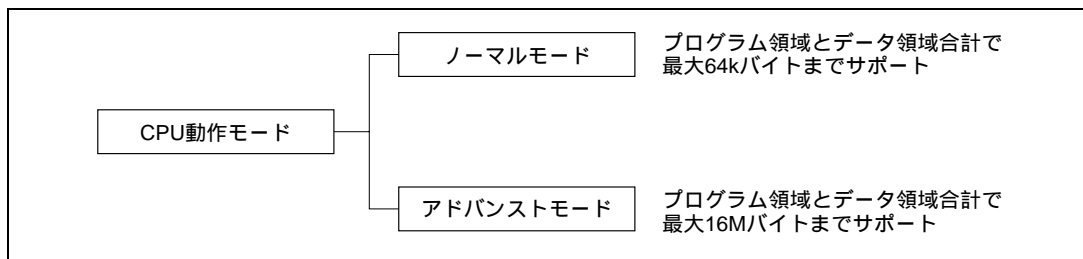


図 2.1 CPU 動作モード

2.3 アドレス空間

H8/300H CPU のアドレス空間は最大 16M バイトです。本 LSI では MCU 動作モードにより、アドレス空間は、1M バイトモードと 16M バイトモードを選択できます。

本 LSI のメモリマップの概要を図 2.2 に示します。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が 1M バイトモードの場合、実効アドレスの上位 4 ビットは無視され、20 ビットのアドレスとなります。

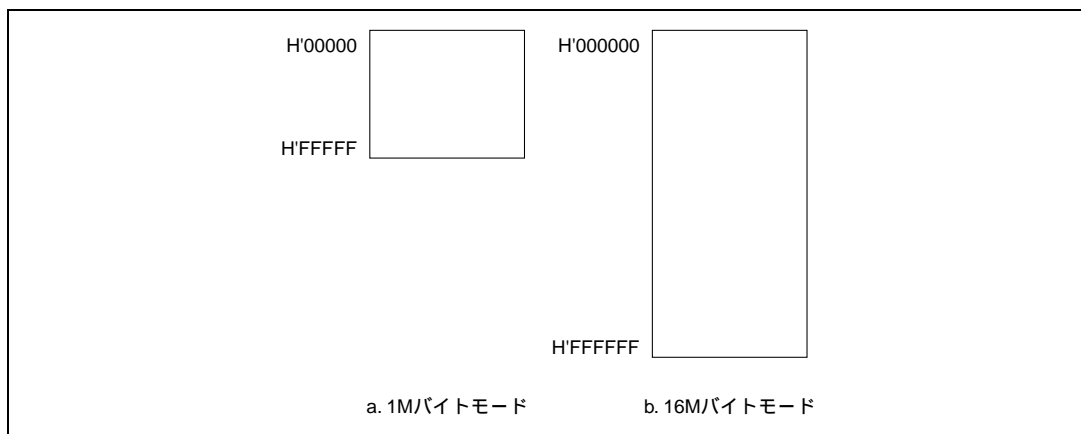


図 2.2 メモリマップ

2.4 レジスタ構成

2.4.1 概要

H8/300H CPU の内部レジスタ構成を図 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。



図 2.3 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタ 8 本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8ビットレジスタを最大 16 本使用することができます。

汎用レジスタの使用方法を図 2.4 に示します。各レジスタは独立に使用方法を選択することができます。

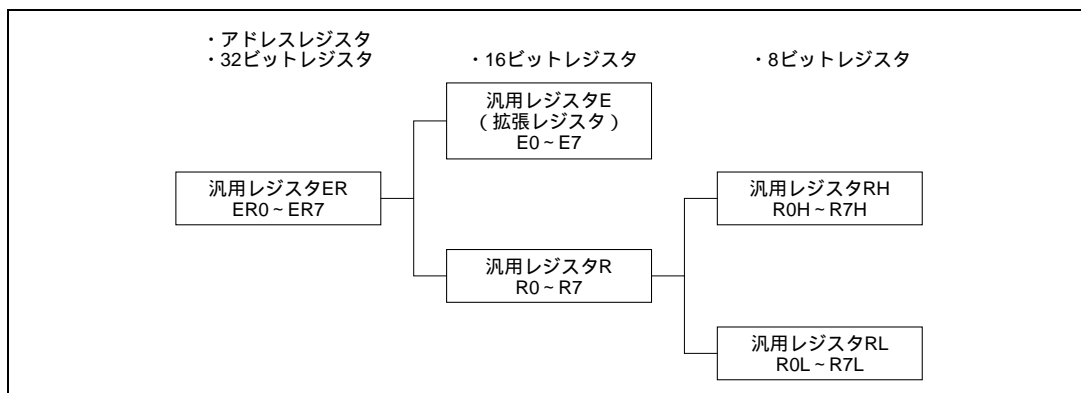


図 2.4 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.5 に示します。

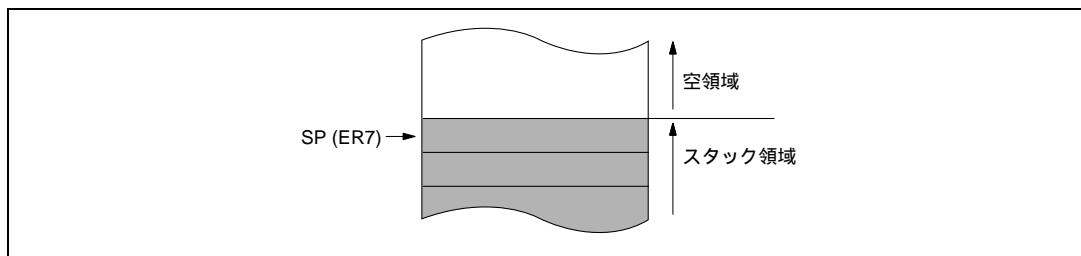


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7: 割込みマスクビット (I)

本ビットが 1 にセットされると、割込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。

ビット 6: ユーザビット / 割込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。割込みマスクビットとしても使用可能です。詳細は「第 5 章 割込みコントローラ」を参照してください。

ビット 5: ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット 4: ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。

ビット 3: ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2: ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット 1: オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット0: キャリフラグ (C)

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- 加算結果のキャリ
- 減算結果のボロー
- シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

また I、UI ビットについては、「第 5 章 割込みコントローラ」を参照してください。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP (ER7) の初期化を行ってください。

2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット (n=0、1、2、……、7) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.6 に示します。

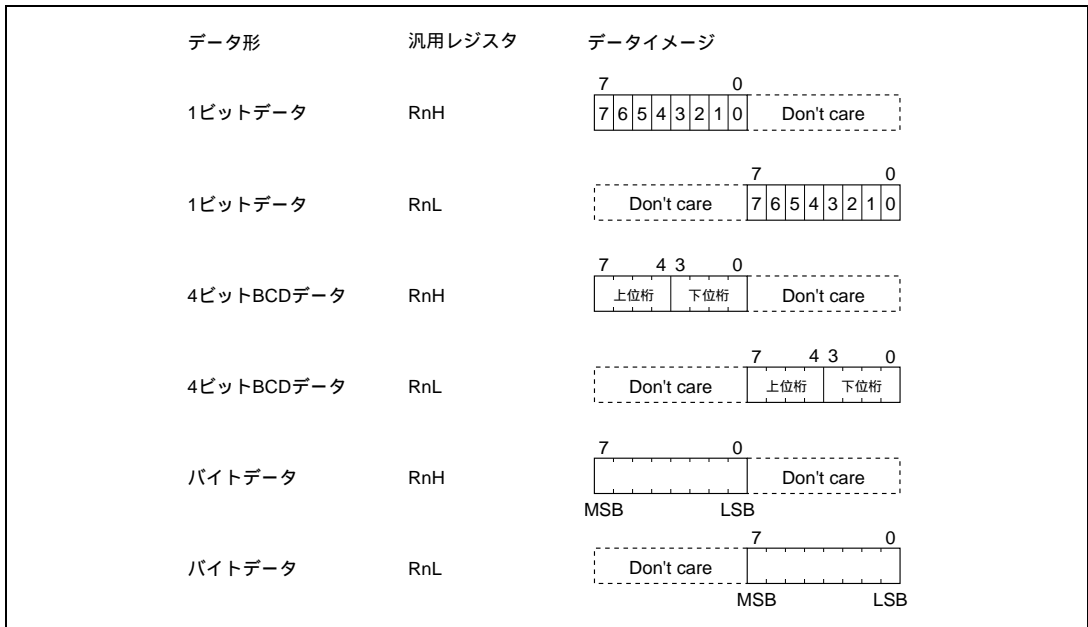


図 2.6 汎用レジスタのデータ構成 (1)

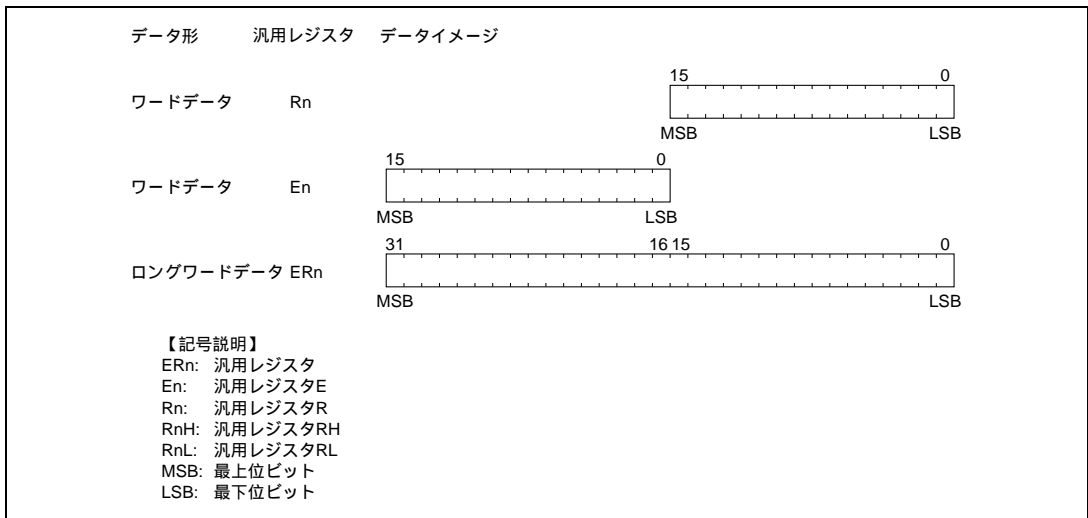


図 2.6 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.7 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

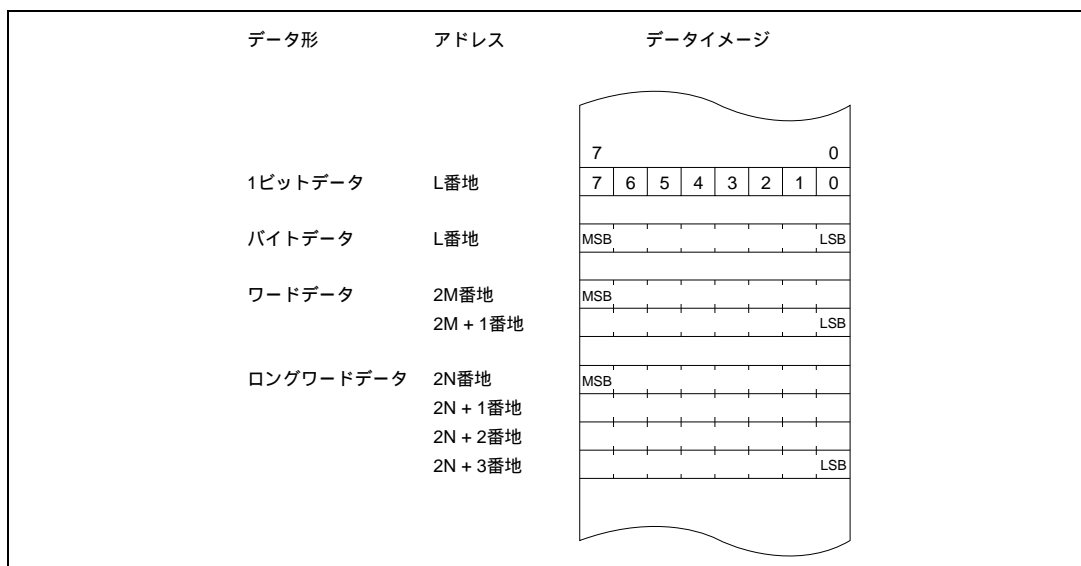


図 2.7 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPU の命令は合計 62 種類あり、各命令の機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機 能	命 令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPE* ² 、MOVFPE* ²	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1

合計 62 種類

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W@SP+ , Rn、MOV.W Rn , @ - SP と同一です。
また、POP.L ERn、PUSH.L ERn はそれぞれ MOV.L@SP+ , Rn、MOV.L Rn , @ - SP と同一です。
- *2 本 LSI では使用できません。
- *3 Bcc は条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード												
		#xx	Rn	@ERn	@(d:16,ERn)	@(d:24,ERn)	@ERn+/@-ERn	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@@aa:8	.
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	BWL	-	-	-	-
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-	WL
	MOVFPPE*, MOVTPPE*	-	-	-	-	-	-	-	B	-	-	-	-	-
算術演算命令	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-
	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-	-
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-	-
	ADDS, SUBS	-	L	-	-	-	-	-	-	-	-	-	-	-
	INC, DEC	-	BWL	-	-	-	-	-	-	-	-	-	-	-
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-	-
	MULXU, MULXS, DIVXU, DIVXS	-	BW	-	-	-	-	-	-	-	-	-	-	-
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-	-
	EXTU, EXTS	-	WL	-	-	-	-	-	-	-	-	-	-	-
論理演算命令	AND, OR, XOR	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-	-
シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-	-	
ビット操作命令	-	B	B	-	-	-	-	B	-	-	-	-	-	
分岐命令	Bcc, BSR	-	-	-	-	-	-	-	-	-	-	-	-	-
	JMP, JSR	-	-	-	-	-	-	-	-	-	-	-	-	
	RTS	-	-	-	-	-	-	-	-	-	-	-	-	
システム制御命令	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-	
	RTE	-	-	-	-	-	-	-	-	-	-	-	-	
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-	
	LDC	B	B	W	W	W	W	-	W	W	-	-	-	
	STC	-	B	W	W	W	W	-	W	W	-	-	-	
	ANDC, ORC, XORC	B	-	-	-	-	-	-	-	-	-	-	-	
NOP	-	-	-	-	-	-	-	-	-	-	-	-		
ブロック転送命令	-	-	-	-	-	-	-	-	-	-	-	-	BW	

【記号説明】

B: バイト、W: ワード、L: ロングワード

【注】 * 本 LSI では使用できません。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》	
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32ビットレジスタ/アドレスレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理（論理的補数）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 * 汎用レジスタは、8ビット（R0H～R7H、R0L～R7L）、16ビット（R0～R7、E0～E7）、または32ビットレジスタ/アドレスレジスタ（E0～E7）です。

表 2.3 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFP	B	(EAs) Rd 本 LSI では使用できません。
MOVTPE	B	Rs (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。POP.W Rn は MOV.W @SP+, Rn と、また POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @ - SP 汎用レジスタの内容をスタックに退避します。PUSH.W Rn は MOV.W Rn, @ - SP と、また PUSH.L ERn は MOV.L ERn, @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズの演算では 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット、16 ビット×16 ビット、32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8 ビット×8 ビット、16 ビット×16 ビット、32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16 ビット÷8 ビット、商 8 ビット、余り 8 ビット、32 ビット÷16 ビット、商 16 ビット、余り 16 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16 ビット÷8 ビット、商 8 ビット、余り 8 ビット、32 ビット÷16 ビット、商 16 ビット、余り 16 ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTS	W/L	Rd (符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
EXTU	W/L	Rd (ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.5 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令

命 令	サイズ*	機 能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。

命 令	サイズ*	機 能
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。
B: バイト

表 2.8 分岐命令

命 令	サイズ	機 能																																																			
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。 分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>二 ー モ ニ ッ ク</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>Bcc (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOw)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>Plus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V) = 1</td> </tr> </tbody> </table>	二 ー モ ニ ッ ク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	Bcc (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOw)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	Plus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N⊕V = 0	BLT	Less Than	N⊕V = 1	BGT	Greater Than	Z (N⊕V) = 0	BLE	Less or Equal	Z (N⊕V) = 1
		二 ー モ ニ ッ ク	説 明	分 岐 条 件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	C Z = 0																																																	
		BLS	Low or Same	C Z = 1																																																	
		Bcc (BHS)	Carry Clear (High or Same)	C = 0																																																	
		BCS (BLO)	Carry Set (LOw)	C = 1																																																	
		BNE	Not Equal	Z = 0																																																	
		BEQ	Equal	Z = 1																																																	
		BVC	oVerflow Clear	V = 0																																																	
		BVS	oVerflow Set	V = 1																																																	
		BPL	Plus	N = 0																																																	
		BMI	MInus	N = 1																																																	
		BGE	Greater or Equal	N⊕V = 0																																																	
		BLT	Less Than	N⊕V = 1																																																	
BGT	Greater Than	Z (N⊕V) = 0																																																			
BLE	Less or Equal	Z (N⊕V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	if R4L 0 then Repeat @ER5+ @ER6+, R4L - 1 R4L Until R4L = 0 else next;
EEPMOV.W	-	if R4 0 then Repeat @ER5+ @ER6+, R4 - 1 R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0（H'00）とした 32 ビットデータとして扱われます。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。
図 2.8 に命令フォーマットの例を示します。

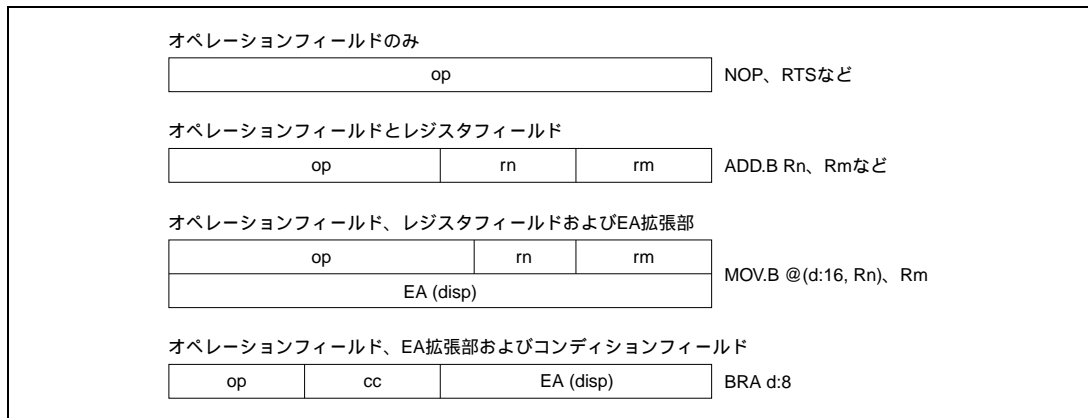


図 2.8 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された 1 ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

ポート 4 の DDR に、BCLR 命令を実行した例を示します。

P4₇、P4₆ は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。

P4₅ ~ P4₀ は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、P4₀ を入力ポートにする例を示します。

(1) BCLR 命令を実行前

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

(2) BCLR 命令を実行

BCLR #0, @P4DDR

DDR に対して BCLR 命令を実行します。

(3) BCLR 命令を実行後

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

(4) BCLR 命令の動作説明

BCLR 命令を実行すると、CPU は、最初に P4DDR をリードします。

P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FE となります。

つぎに、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ（H'FE）を DDR に書き込んで、BCLR 命令を終了します。

その結果、P4₀ は、DDR が 0 になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ (d:16, ERn) / @ (d:24, ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@ (d:8, PC) / @ (d:16, PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

- (4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @ - ERn
- **ポストインクリメントレジスタ間接 @ERn+**
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。
その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ/ロングワードサイズのと看、レジスタの内容が偶数となるようにしてください。
 - **プリデクリメントレジスタ間接 @ - ERn**
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。
その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。
- (5) 絶対アドレス @aa:8 / @aa:16 / @aa:24
- 命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。
絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。
8ビット絶対アドレスの場合、上位16ビットはすべて1 (H'FFFF) となります。
16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。
24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。
絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1M バイトモード	16M バイトモード
8 ビット (@aa:8)	H'FFF00 ~ H'FFFFFF (1048320 ~ 1048575)	H'FFF00 ~ H'FFFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'00000 ~ H'07FFF, H'F8000 ~ H'FFFFFF (0 ~ 32767, 1015808 ~ 1048575)	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF (0 ~ 32767, 16744448 ~ 16777215)
24 ビット (@aa:24)	H'00000 ~ H'FFFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)

- (6) イミディエイト #xx:8 / #xx:16 / #xx:32
- 命令コードの中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。
なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コード中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。

命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭 1 バイトは無視され、24 ビット長の分岐アドレスを生成します。図 2.9 にメモリ間接による分岐アドレスの指定方法を示します。

8 ビット絶対アドレスの上位のビットはすべて 0 (H'0000) となりますので、分岐アドレスを格納できるのは 0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 5 章 割込みコントローラ」を参照してください。

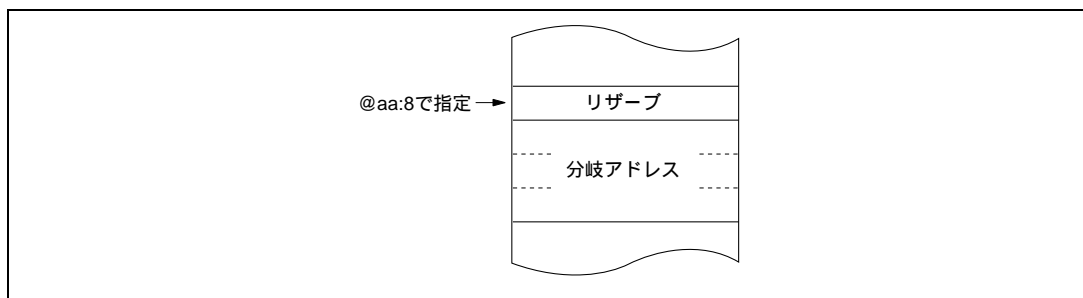


図 2.9 メモリ間接による分岐アドレスの指定

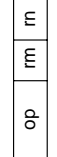
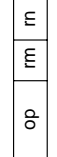



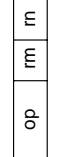
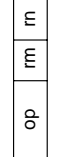

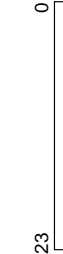
ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ構成」を参照してください)。



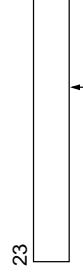
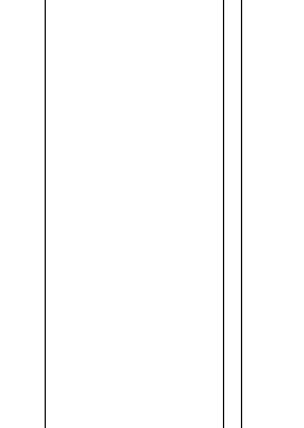

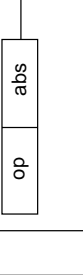
2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算方法を表 2.13 に示します。

1M バイトモードの場合、計算結果の上位 4 ビットは無視され、20 ビットの実効アドレスを生成します。

表 2.13 実効アドレスの計算方法

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 	汎用レジスタの内容 0	
(3)	ディスプレースメント付レジスタ間接 @ (d : 16, ERn) / @ (d : 24, ERn) 	汎用レジスタの内容 0 符号拡張 disp	
(4)	ポストインクリメントレジスタ間接/ プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接@ERn +  ・プリデクリメントレジスタ間接@ - ERn 	汎用レジスタの内容 0 1, 2 または 4	
		オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。	

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	<p>絶対アドレス</p> <p>@ aa : 8</p>  <p>@ aa : 16</p>  <p>@ aa : 24</p> 		<p>オペランドは、イミディエイトデータです。</p>
(6)	<p>イミディエイト #xx : 8 / #xx : 16 / #xx : 32</p> 		
(7)	<p>プログラムカウンタ相対</p> <p>@(d : 8, PC) / @(d : 16, PC)</p> 		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接 @aa : 8 ・ ノーマルモード		
	・ アドバンストモード		

【記号説明】

- r, rm, m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.8 処理状態

2.8.1 概要

H8/300H CPU の処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の 5 種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図 2.10 に、各状態間の遷移を図 2.12 に示します。

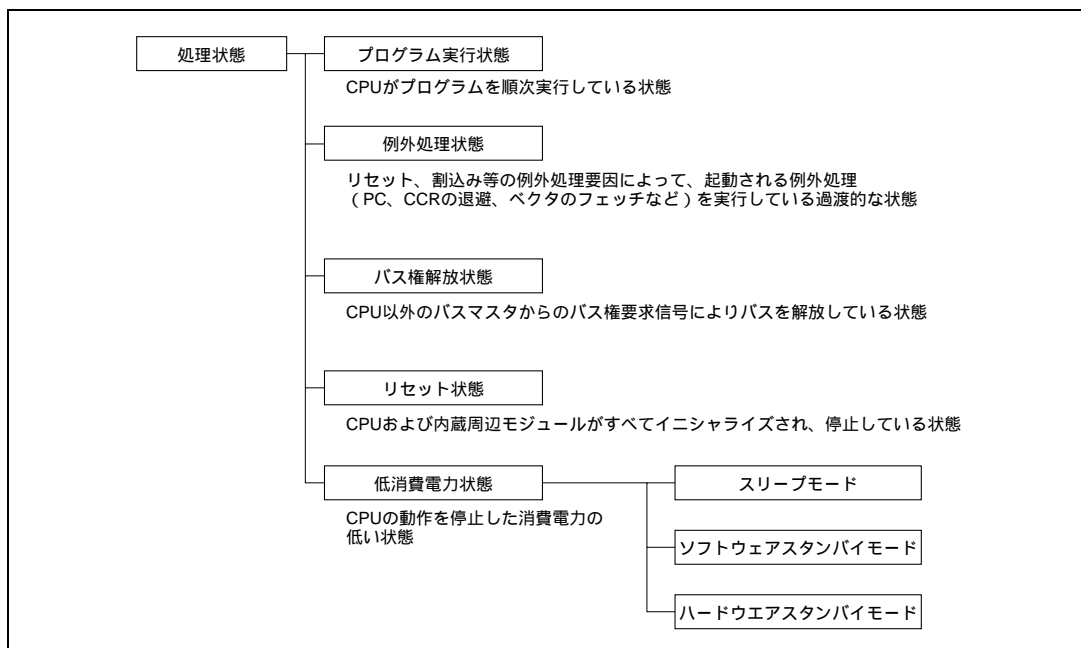


図 2.10 処理状態の分類

2.8.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過渡的な状態です。割込みおよびトラップ命令例外処理では、SP(ER7)を参照して、PC および CCR の退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES 端子が Low レベルから High レベルに変化すると、ただちに例外処理を開始します。
	割り込み	命令の実行終了時または例外処理終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	トラップ (TRAPA) 命令を実行すると、例外処理を開始します。

【注】 * ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割り込み要因の検出を行いません。

例外処理要因は、図 2.11 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第 4 章 例外処理」および「第 5 章 割り込みコントローラ」を参照してください。

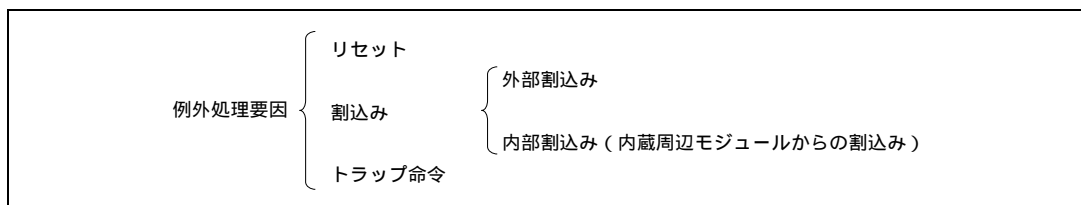


図 2.11 例外処理要因の分類

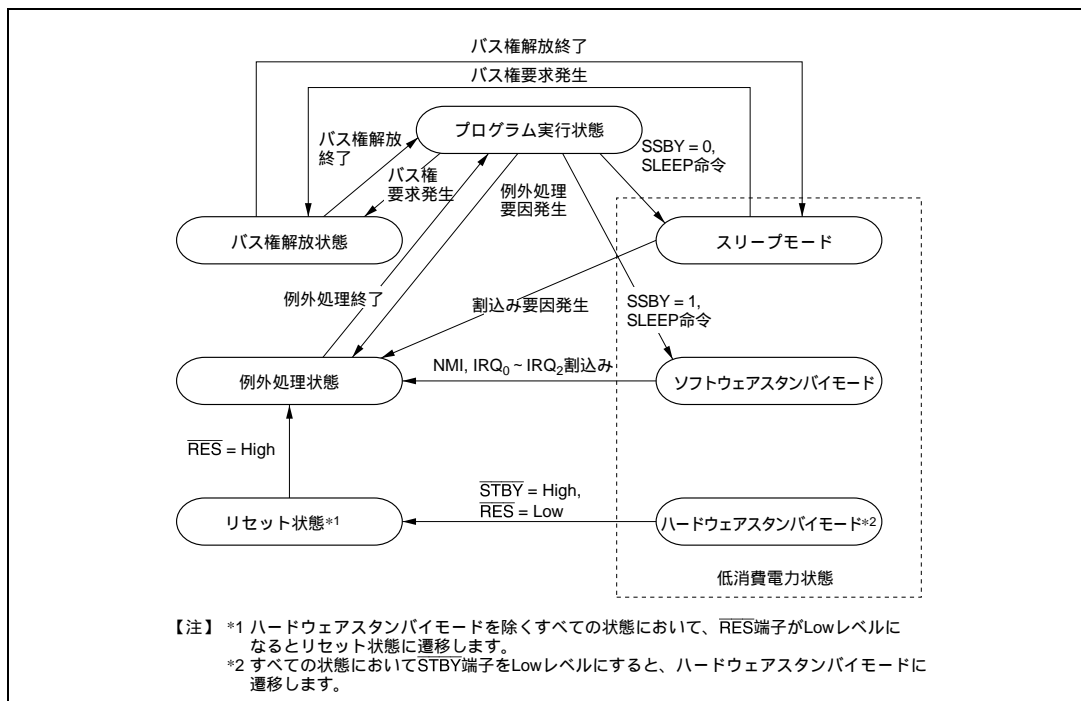


図 2.12 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

リセット例外処理は、最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子を Low レベルにしてリセット状態にした後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPU は SP (ER7) を参照して PC と CCR をスタックに退避します。次に、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときは CCR の I ビット、UI ビットがいずれも 1 にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。例外処理終了後のスタックの構造を図 2.13 に示します。

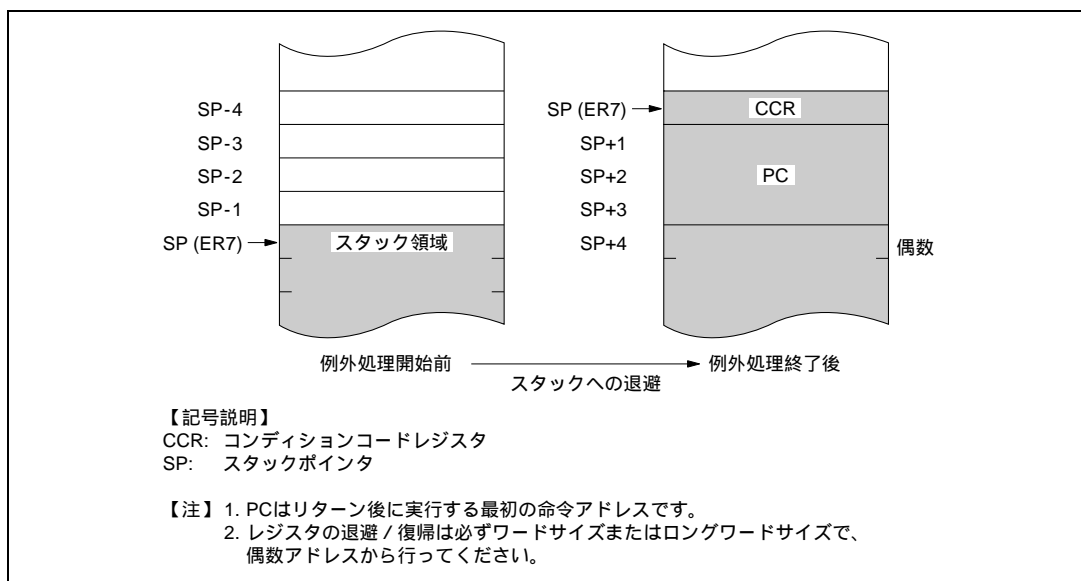


図 2.13 例外処理終了後のスタック状態

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU 以外のバスマスタには DMA コントローラ、リフレッシュコントローラ、および外部バスマスタがあります。

バス権解放状態では、CPU は内部動作を除き、停止します。また、割り込みも受け付けられません。詳細は「6.3.7 バスアービタの動作」を参照してください。

2.8.6 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが 1 にセットされます。リセット状態ではすべての割込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ」を参照してください。

2.8.7 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 20 章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPU は、クロック () を基準に動作しています。 の立上がりから次の立上がりまでの 1 単位をステートと呼びます。メモリスサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図 2.14 に、端子状態を図 2.15 に示します。

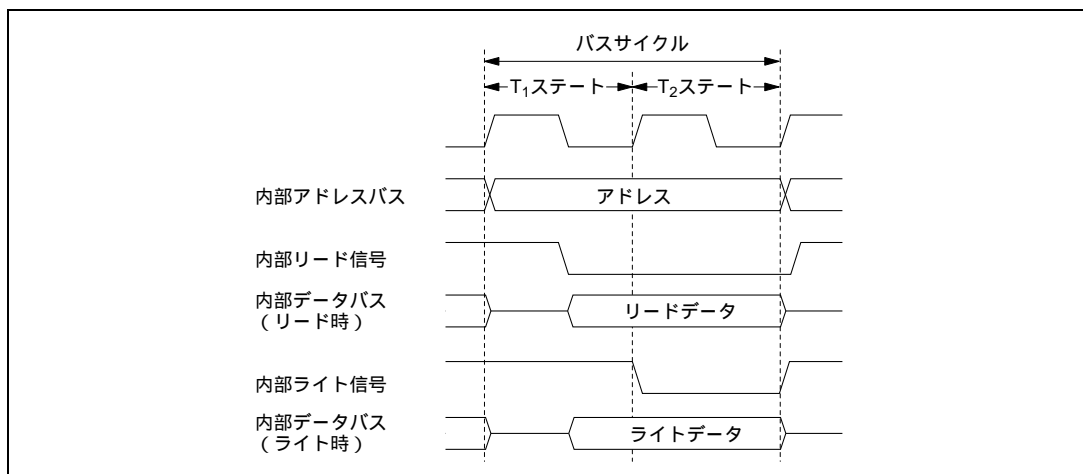


図 2.14 内蔵メモリアクセスサイクル

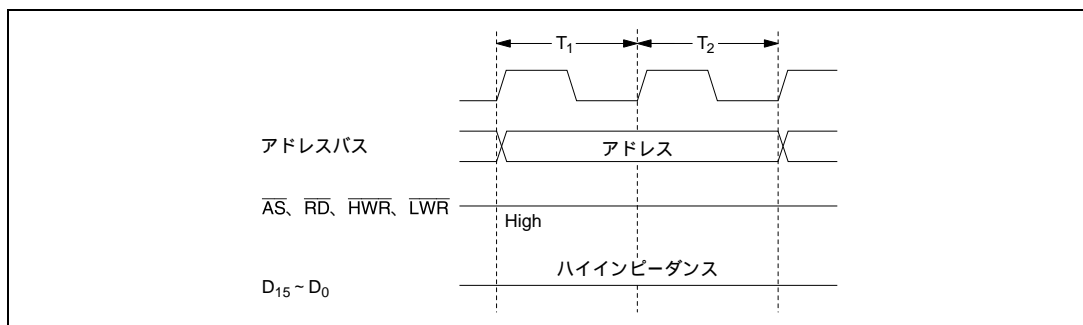


図 2.15 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.16に、端子状態を図2.17に示します。

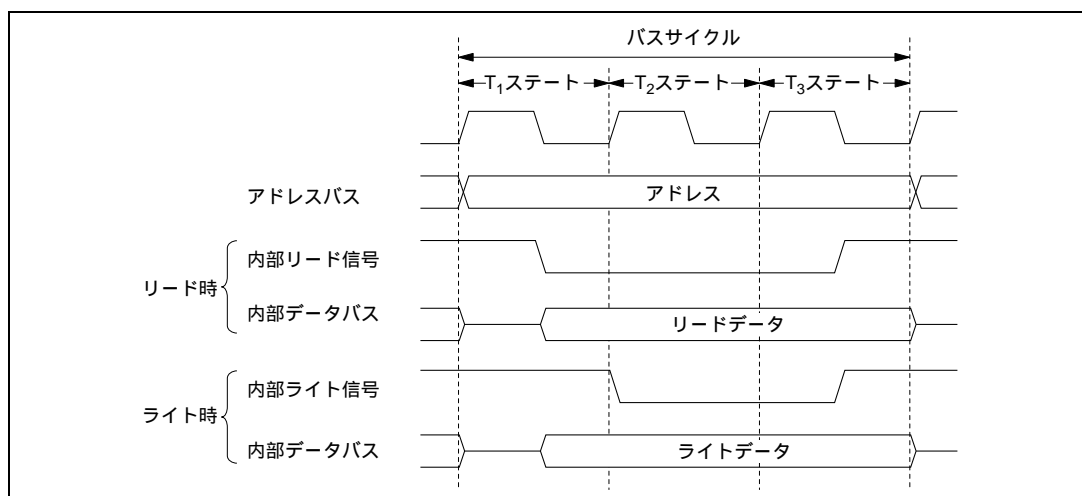


図 2.16 内蔵周辺モジュールアクセスサイクル

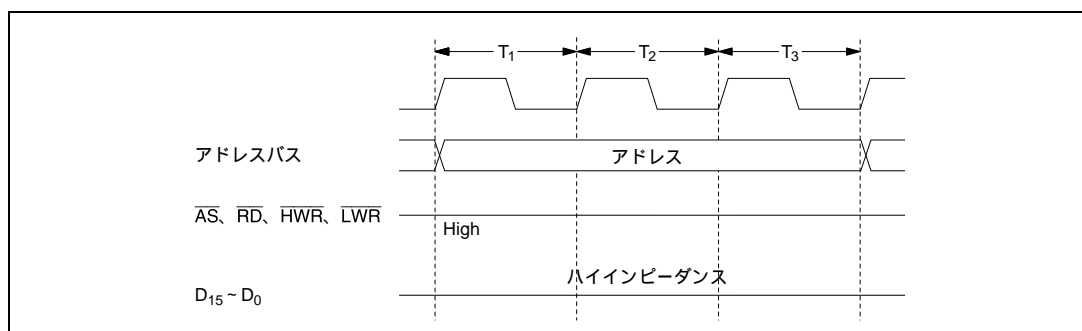


図 2.17 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア（エリア0~7）に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅（8ビットまたは16ビット）とアクセスステート（2ステートまたは3ステート）の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの種類を選択

本 LSI には、7 種類の動作モード（モード 1~7）があります。これらのモードは、モード端子（MD₂ ~ MD₀）を表 3.1 のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類を選択

動作モード*3	端子設定			内容			
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード初期状態*1	内蔵 ROM	内蔵 RAM
-	0	0	0	-	-	-	-
モード 1	0	0	1	拡張モード	8 ビット	無効	有効*2
モード 2	0	1	0	拡張モード	16 ビット	無効	有効*2
モード 3	0	1	1	拡張モード	8 ビット	無効	有効*2
モード 4	1	0	0	拡張モード	16 ビット	無効	有効*2
モード 5	1	0	1	拡張モード	8 ビット	有効	有効*2
モード 6	1	1	0	拡張モード	8 ビット	有効	有効*2
モード 7	1	1	1	シングルチップアドバンストモード	-	有効	有効

【注】 *1 モード 1~6 において、バス幅コントロールレジスタ（ABWCR）を設定することによりデータバス幅をエリアごとに 8 ビットデータバスまたは 16 ビットデータバスにすることができます。

詳細は、「第 6 章 バスコントローラ」を参照してください。

*2 SYSCR の RAME ビットを 0 にクリアすると外部アドレス空間に切り換わります。

*3 FWE 端子 0 のときの動作モードです。1 のときの動作モードは、「第 18 章 ROM」を参照してください。

アドレス空間は、1M バイト / 16M バイトのいずれかを選択することができます。外部データバスのバス幅は ABWCR により、8 ビット / 16 ビットバスモードのいずれかになります。すべてのエリアを 8 ビットアクセス空間に設定した場合、8 ビットバスモードとなります。詳細は「第 6 章 バスコントローラ」を参照してください。

モード 1~4 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 無効拡張モードです。

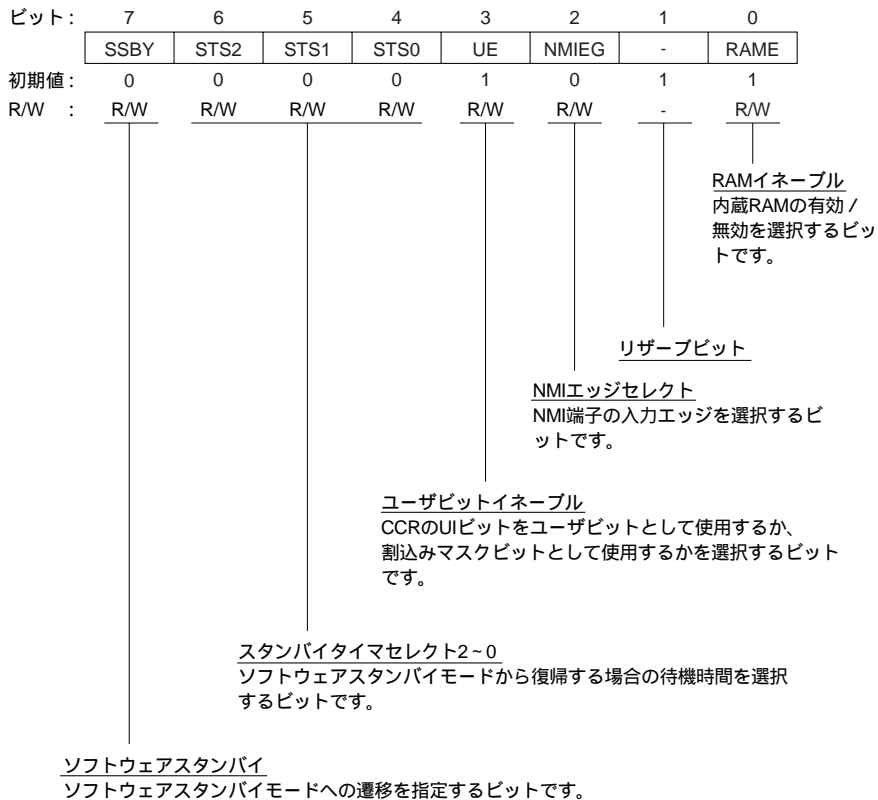
モード 1、2 でサポートするアドレス空間は、最大 1M バイトです。また、モード 3、4 でサポートするアドレス空間は、最大 16M バイトです。

モード 5、6 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 有効拡張モードです。モード 5 でサポートするアドレス空間は、最大 1M バイトです。また、モード 6 でサポートするアドレス空間は、最大 16M バイトです。

モード 7 は、内蔵 ROM と RAM、内部 I/O レジスタで動作するシングルチップモードです。すべ

3.3 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。



ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します (ソフトウェアスタンバイモードについては「第 20 章 低消費電力状態」を参照してください)。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6~4: スタンバイタイムセレクト2~0 (STS2~0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまで CPU と内蔵周辺モジュールが待機する時間を指定します。

水晶発振の場合、動作周波数に応じて待機時間が 7ms 以上となるように指定してください。

待機時間の設定については、「20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時

3. MCU 動作モード

間の設定」を参照してください。

ビット 6	ビット 5	ビット 4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 1024 ステート
	1	-	使用禁止

ビット 3 : ユーザビットイネーブル (UE)

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット 3	説 明
UE	
0	CCR の UI ビットを、割り込みマスクビットとして使用
1	CCR の UI ビットを、ユーザビットとして使用 (初期値)

ビット 2 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 2	説 明
NMIEG	
0	NMI 入力の立下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立上がりエッジで割り込み要求を発生

ビット 1 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効 / 無効を選択します。RAME ビットは、 \overline{RES} 端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット 0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.4 各動作モードの説明

3.4.1 モード 1

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.2 モード 2

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.4.3 モード 3

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、バスリリースコントロールレジスタ (BRCR) のビット 7~5 に 0 をライトすると有効になります (本モードでは A_{20} は常に出力となります)。

3.4.4 モード 4

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、BRCR のビット 7~5 に 0 をライトすると有効になります (本モードでは A_{20} は常に出力となります)。

3.4.5 モード 5

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってアドレスバスとして使用する場合は各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR) を 1 にセットして、ポート 1、2、5 を出力に設定してください。バスモードはリセット直後に、8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により、少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.6 モード 6

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってポート 1、2、5 をアドレスバスとして使用する場合は、各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR) を 1 にセットして、ポート 1、2、5 を出力に設定してください。また、 $A_{23} \sim A_{21}$ を出力する場合には、BRCR のビット 7~5 に 0 をライトしてください (本モードでは A_{20} は

3. MCU 動作モード

常に出力となります)。

バスモードはリセット直後に、8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ただし、ABWCRにより、少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.7 モード7

内蔵ROMとRAM、内部I/Oレジスタで動作するモードです。すべてのポートを使用することができます。

モード7はアドレス空間が1Mバイトとなります。

3.5 各動作モードにおける端子機能

動作モードによりポート1~5、およびポートAの端子機能が切り換わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表3.3 各動作モードにおけるポート1~5、およびポートAの機能

ポート	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート1	$A_7 \sim A_0$	$A_7 \sim A_0$	$A_7 \sim A_0$	$A_7 \sim A_0$	$P1_7 \sim P1_0^{*2}$	$P1_7 \sim P1_0^{*2}$	$P1_7 \sim P1_0$
ポート2	$A_{15} \sim A_8$	$A_{15} \sim A_8$	$A_{15} \sim A_8$	$A_{15} \sim A_8$	$P2_7 \sim P2_0^{*2}$	$P2_7 \sim P2_0^{*2}$	$P2_7 \sim P2_0$
ポート3	$D_{15} \sim D_8$	$D_{15} \sim D_8$	$D_{15} \sim D_8$	$D_{15} \sim D_8$	$D_{15} \sim D_8$	$D_{15} \sim D_8$	$P3_7 \sim P3_0$
ポート4	$P4_7 \sim P4_0^{*1}$	$D_7 \sim D_0^{*1}$	$P4_7 \sim P4_0^{*1}$	$D_7 \sim D_0^{*1}$	$P4_7 \sim P4_0^{*1}$	$P4_7 \sim P4_0^{*1}$	$P4_7 \sim P4_0$
ポート5	$A_{19} \sim A_{16}$	$A_{19} \sim A_{16}$	$A_{19} \sim A_{16}$	$A_{19} \sim A_{16}$	$P5_3 \sim P5_0^{*2}$	$P5_3 \sim P5_0^{*2}$	$P5_3 \sim P5_0$
ポートA	$PA_7 \sim PA_4$	$PA_7 \sim PA_4$	$PA_7 \sim PA_5^{*3}, A_{20}$	$PA_7 \sim PA_5^{*3}, A_{20}$	$PA_7 \sim PA_4$	$PA_7 \sim PA_5, A_{20}^{*3}$	$PA_7 \sim PA_4$

- 【注】 *1 初期状態を示しています。ABWCRの設定により、バスモードを切り換えることができます。8ビットモード時には $P4_7 \sim P4_0$ に、16ビットバスモード時には $D_7 \sim D_0$ となります。
- *2 初期状態を示しています。各々対応するデータディレクションレジスタ($P1DDR$ 、 $P2DDR$ 、 $P5DDR$)を1に設定することにより、アドレスバスとなります。
- *3 初期状態を示しています。 A_{20} は常にアドレス出力です。 $PA_7 \sim PA_5$ は、BRCRのビット7~5に0をライトすることにより $A_{23} \sim A_{21}$ 出力になります。

3.6 各動作モードのメモリマップ

本LSIのメモリマップを図3.1に示します。アドレス空間は8エリアに分割されています。モード1とモード2、モード3とモード4ではそれぞれバスモードの初期状態が異なります。

また、モード1、2、5、7(1Mバイトモード)とモード3、4、6(16Mバイトモード)で、内蔵RAMおよび内部I/Oレジスタの配置が異なります。また、CPUのアドレッシングモードのうち、絶対アドレス8ビット/16ビット(@aa:8/@aa:16)で指定できる範囲が異なります。

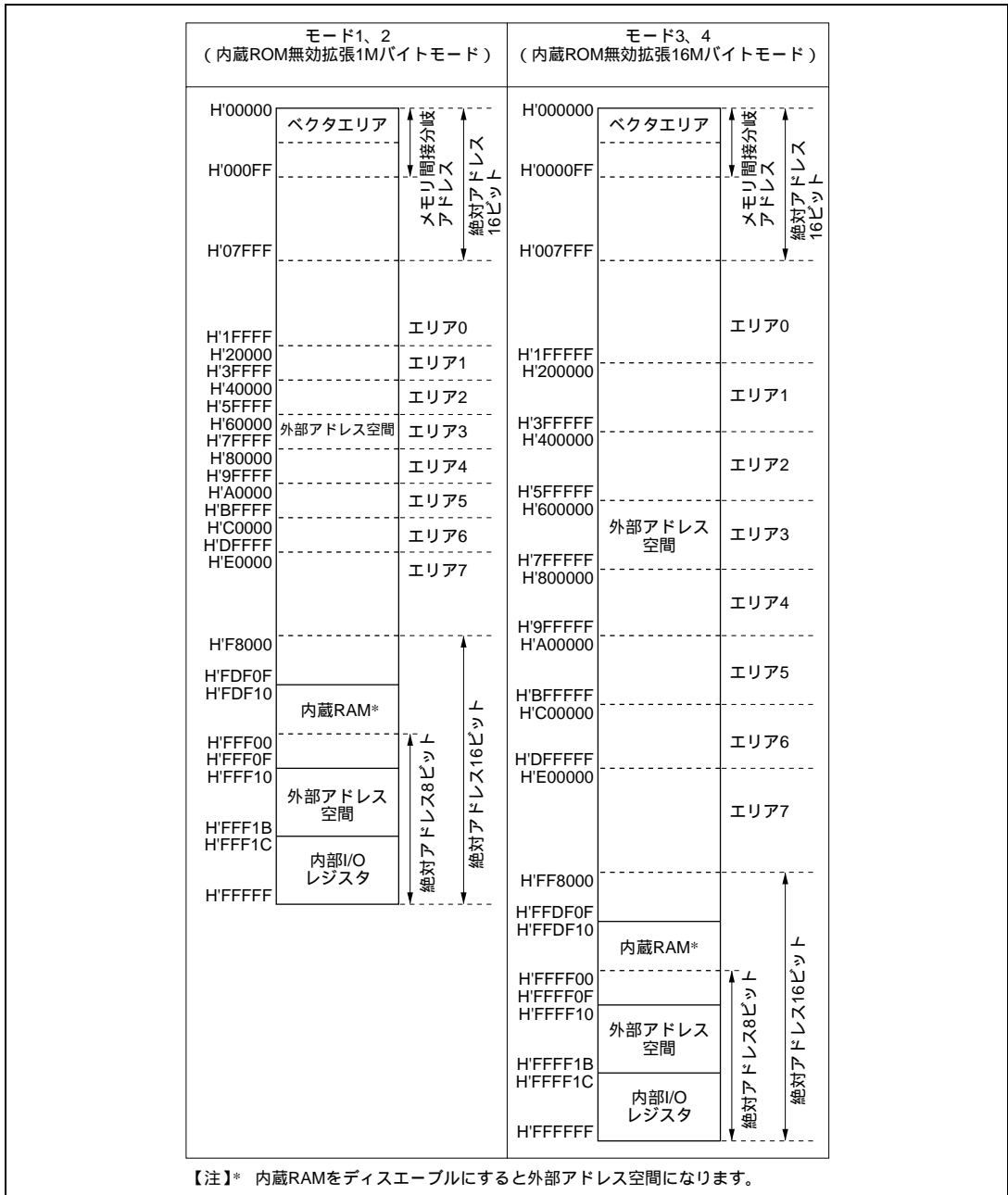


図 3.1 本 LSI の各動作モードにおけるメモリマップ (1)

3. MCU動作モード

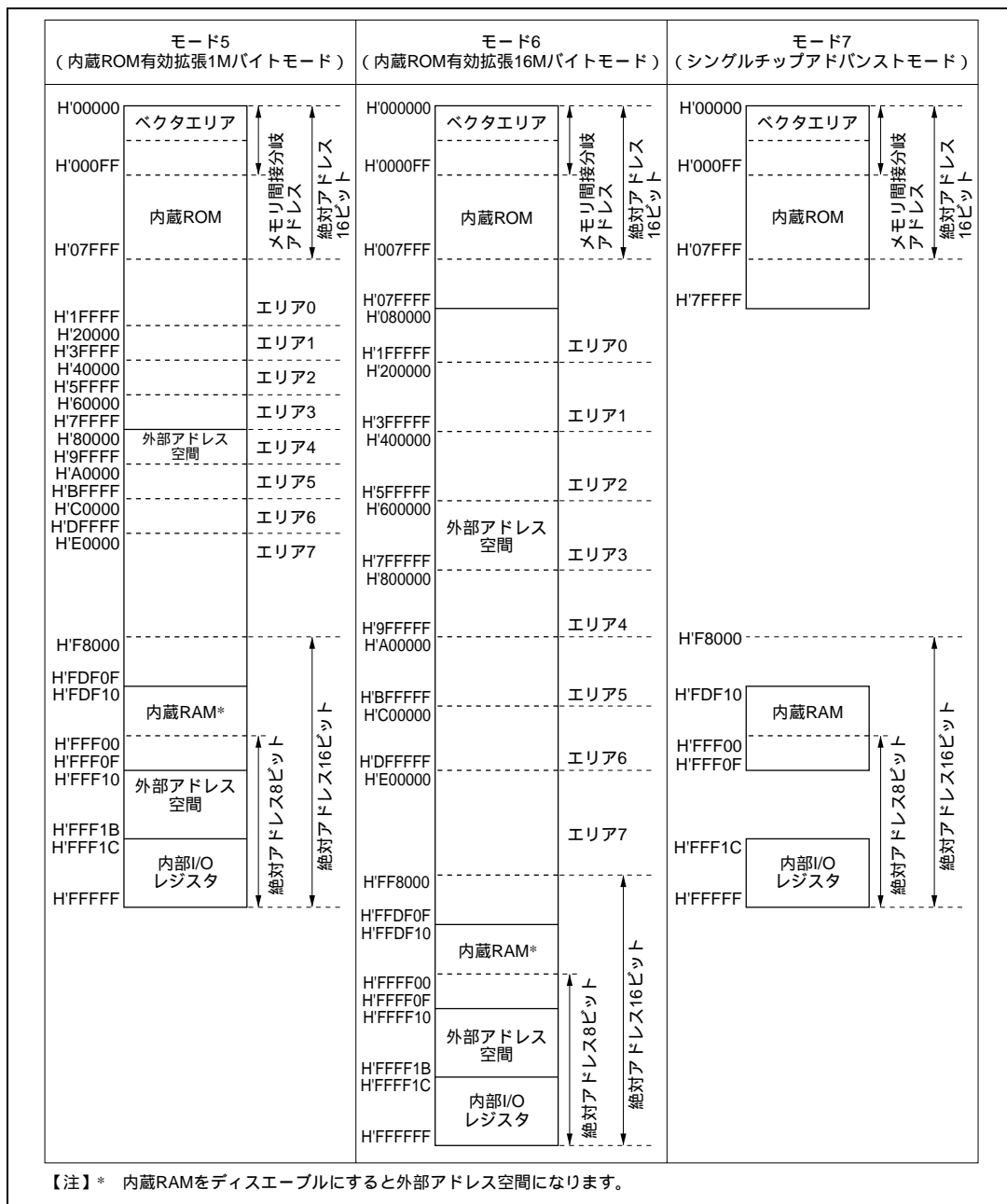


図 3.1 本 LSI の各動作モードにおけるメモリマップ (2)

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割込みによるものがあります。これらの例外処理には表 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子が Low レベルから High レベルに変化すると、ただちに開始します。
	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCRの割込みマスクビットを1にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 (2)、(3) の動作を行います。

4. 例外処理

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。
 これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。
 これらの要因とベクタアドレスとの対応を表 4.2 に示します。

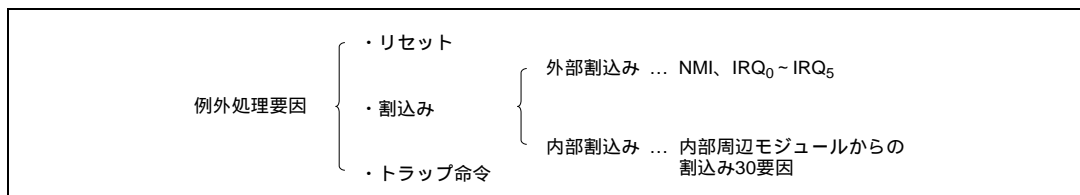


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1
リセット	0	H'0000 ~ H'0003
システム予約	1	H'0004 ~ H'0007
	2	H'0008 ~ H'000B
	3	H'000C ~ H'000F
	4	H'0010 ~ H'0013
	5	H'0014 ~ H'0017
	6	H'0018 ~ H'001B
外部割り込み NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)	8	H'0020 ~ H'0023
	9	H'0024 ~ H'0027
	10	H'0028 ~ H'002B
	11	H'002C ~ H'002F
外部割り込み	IRQ ₀	H'0030 ~ H'0033
	IRQ ₁	H'0034 ~ H'0037
	IRQ ₂	H'0038 ~ H'003B
	IRQ ₃	H'003C ~ H'003F
	IRQ ₄	H'0040 ~ H'0043
	IRQ ₅	H'0044 ~ H'0047
システム予約	18	H'0048 ~ H'004B
	19	H'004C ~ H'004F
内部割り込み*2	20 ~ 60	H'0050 ~ H'0053 ~ H'00F0 ~ H'00F3

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は、「第 12 章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 システムクロック () サイクルの間 Low レベルにしてください。リセット状態の各端子の状態は「付録 D.2 リセット時の端子状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後、High レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされ、CCR の I ビットが 1 にセットされます。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0003) をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

モード 1、3 のリセットシーケンスを図 4.2 に、モード 2、4 のリセットシーケンスを図 4.3 に、モード 5、6、7 のリセットシーケンスを図 4.4 に示します。

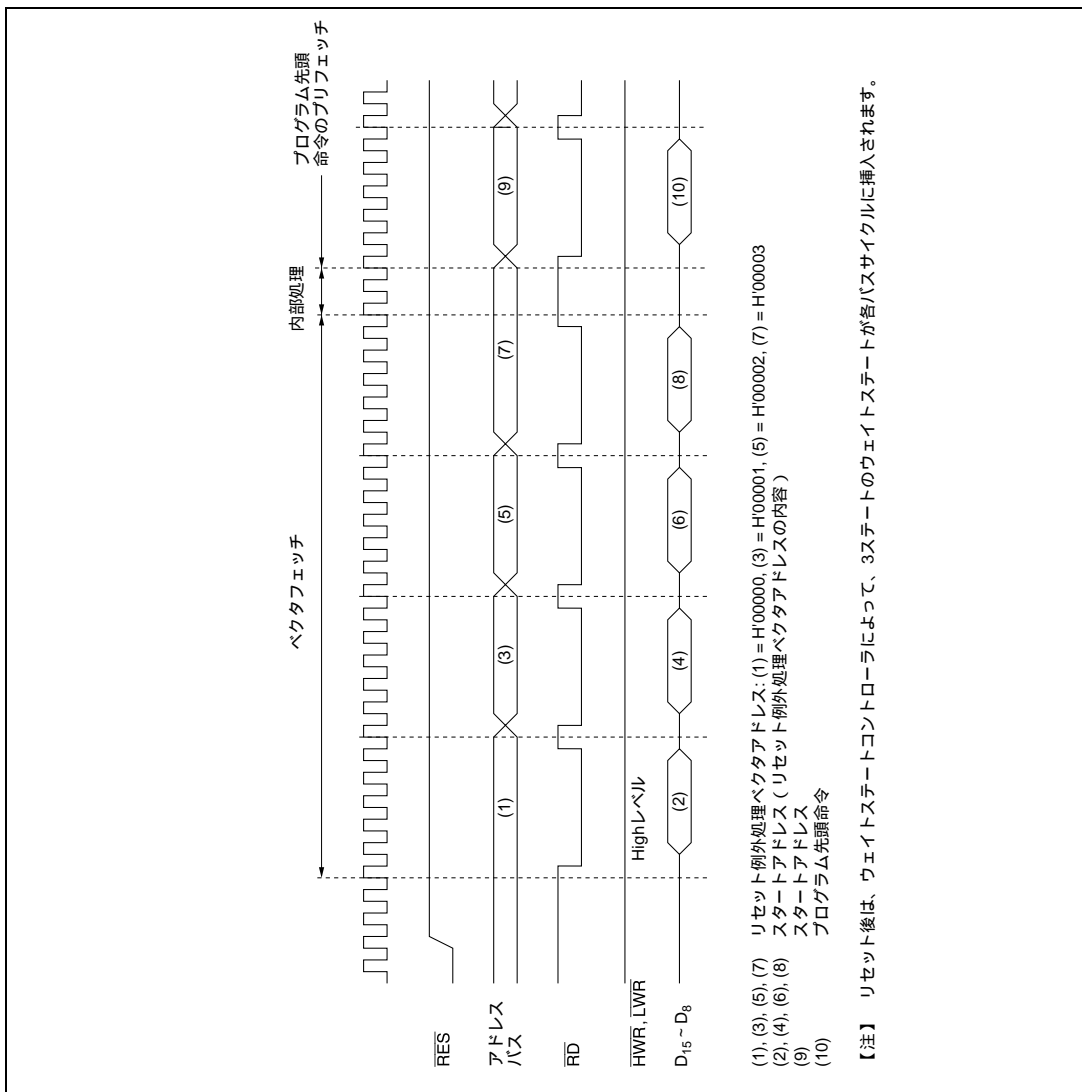


図 4.2 リセットシーケンス (モード 1、3)

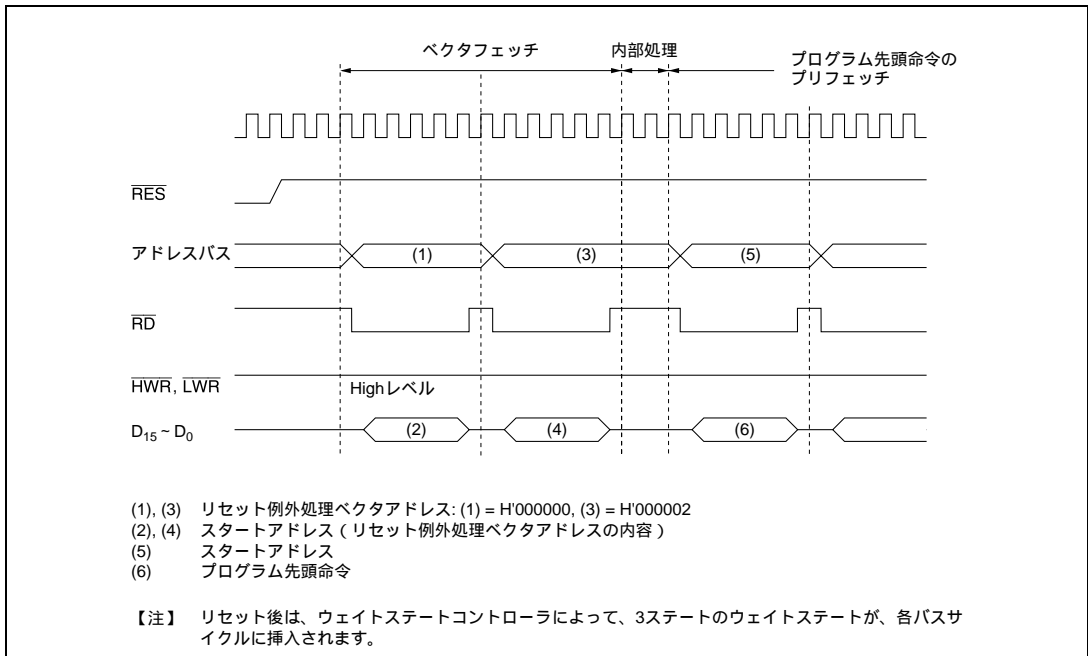


図 4.3 リセットシーケンス (モード 2、4)

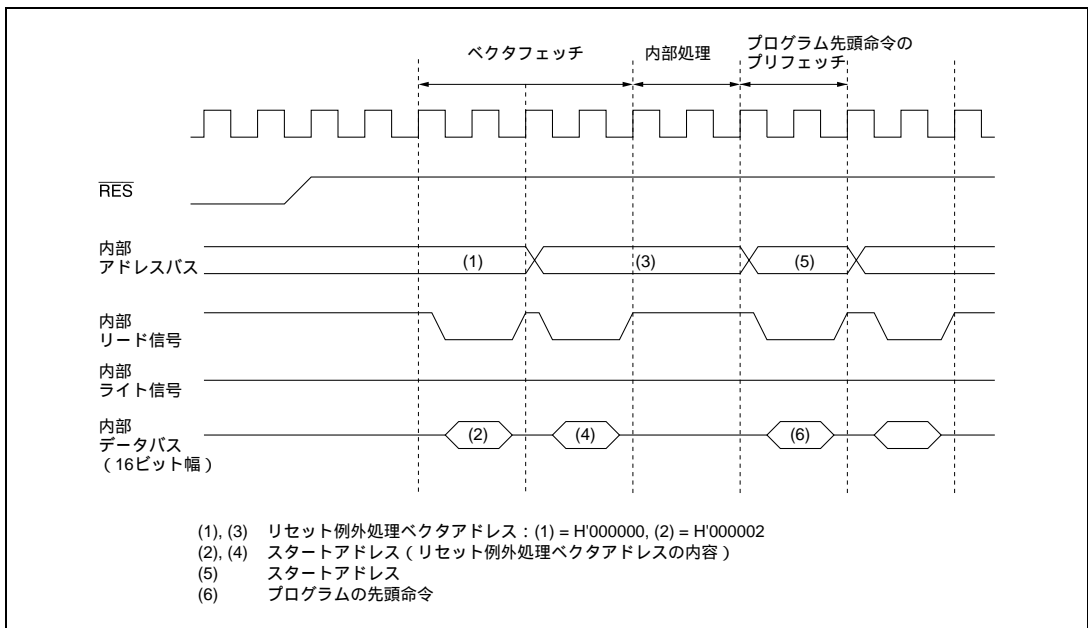


図 4.4 リセットシーケンス (モード 5、6、7)

4.2.3 リセット直後の割込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP をイニシャライズする命令としてください (例: MOV .L #xx:32, SP)。

4.3 割込み

割込み例外処理を開始させる要因には、7 つの外部割込み (NMI、IRQ₀ ~ IRQ₅) と、内蔵周辺モジュールからの要求による 30 の内部要因があります。割込み要因と要因数を図 4.5 に示します。

割込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、リフレッシュコントローラ、16 ビットインテグレートドタイマユニット (ITU)、DMA コントローラ (DMAC)、シリアルコミュニケーションインタフェース (SCI)、および A/D 変換器があります。割込みベクタアドレスは、各要因別に割り当てられています。

NMI は最優先の割込みで、常に受け付けられます。割込みは、割込みコントローラによって制御されます。割込みコントローラは、NMI 以外の割込みを 2 レベルの優先順位を設定して、多重割込みの制御を行うことができます。割込みの優先順位は、割込みコントローラのインタラプトプライオリティレジスタ A、B (IPRA、B) に設定します。

割込みについての詳細は「第 5 章 割込みコントローラ」を参照してください。

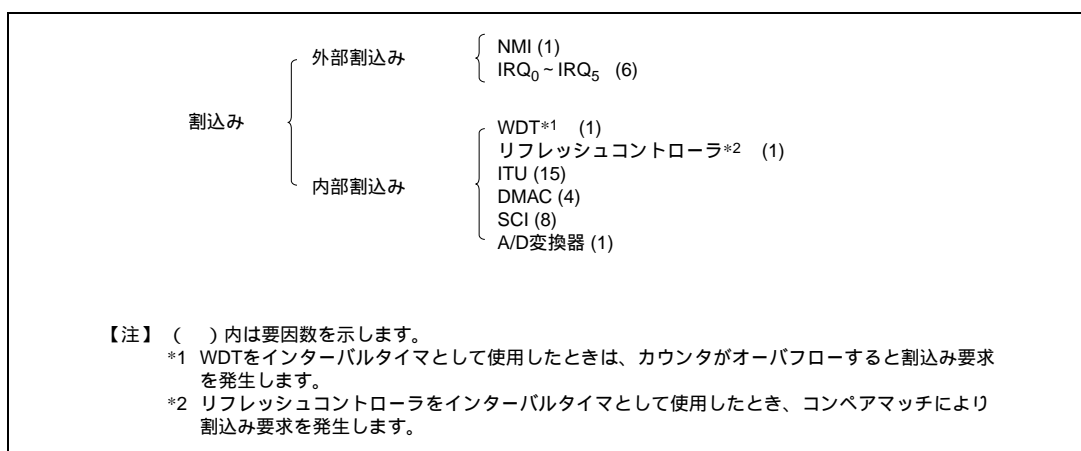


図 4.5 割込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときには CCR の I ビット、UI ビットがそれぞれ 1 にセットされます。

TRAPA 命令は、命令コード中で指定した 0 ~ 3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタック状態を図 4.6 に示します。

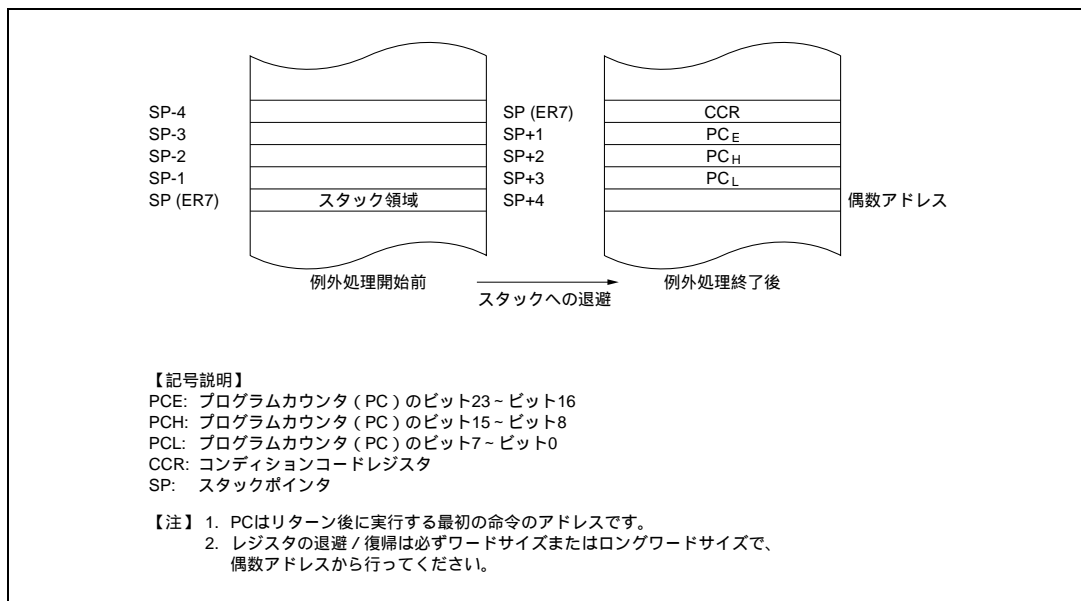


図 4.6 例外処理終了後のスタック状態

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @ - SP)

PUSH.L ERn (MOV.L ERn, @ - SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.7 に示します。

4. 例外処理

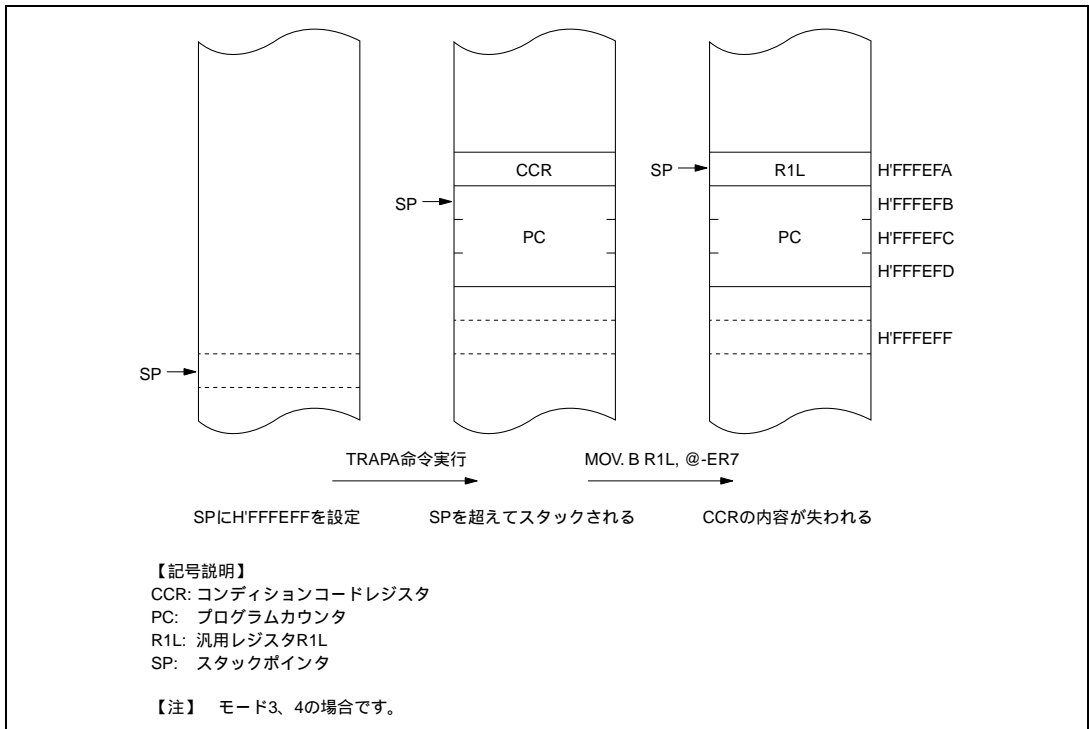


図 4.7 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

割り込みコントローラには、次の特長があります。

- IPR により、優先順位を設定可能
割り込み優先順位を設定するインタラプトプライオリティレジスタA、B (IPRA、B) を備えており、NMI以外の割り込みを要因ごとまたはモジュールごとに2レベルの優先順位を設定できます。
- CPU のコンディションコードレジスタ (CCR) の I、UI ビットにより、3 レベルの許可 / 禁止状態を設定可能。
- 独立したベクタアドレス
すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 7 本の外部割り込み端子
NMIは最優先の割り込みで常に受け付けられます。NMIは立上がりエッジ / 立下がりエッジを選択できます。またIRQ₀ ~ IRQ₅は立下がりエッジ / レベルセンスを独立に選択できます。

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

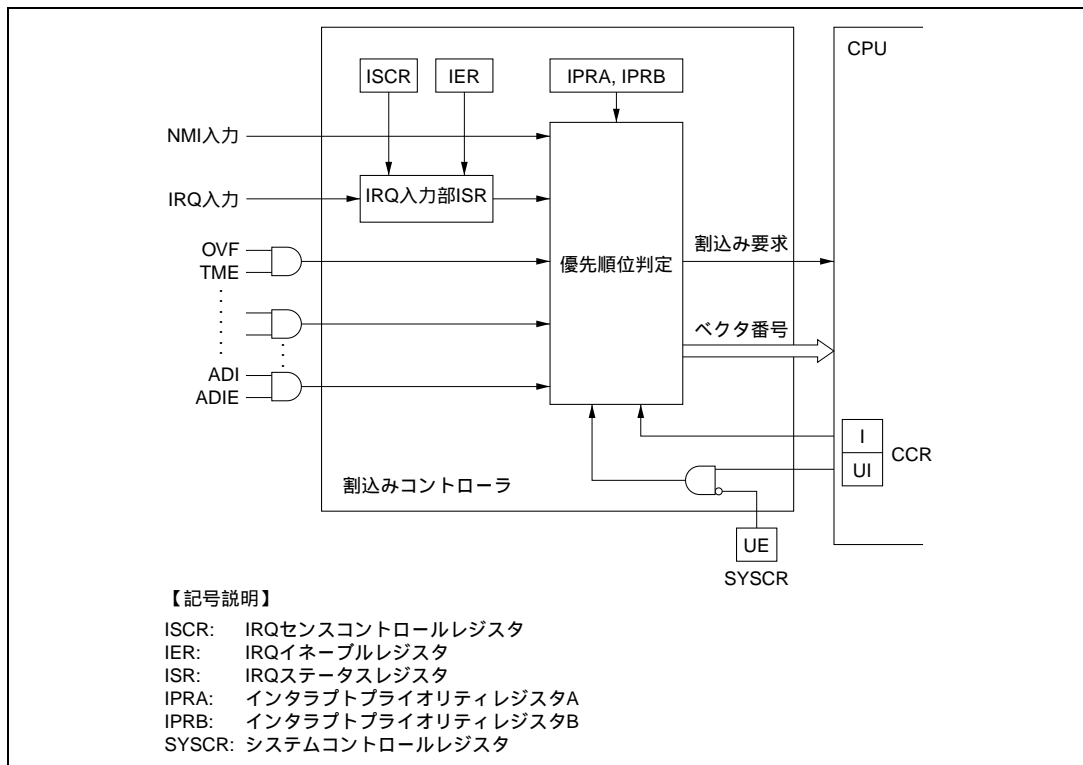


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み、立上がりエッジ/立下がりエッジ選択可能
外部割り込み要求 5~0	$\overline{IRQ}_5 \sim \overline{IRQ}_0$	入力	マスク可能な外部割り込み、立下がりエッジ/レベルセンス選択可能

5.1.4 レジスタ構成

割込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FFF4	IRQ センスコントロールレジスタ	ISCR	R/W	H'00
H'FFF5	IRQ イネーブルレジスタ	IER	R/W	H'00
H'FFF6	IRQ ステータスレジスタ	ISR	R/(W)* ²	H'00
H'FFF8	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'FFF9	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 フラグをクリアするための 0 ライトのみ可能です。

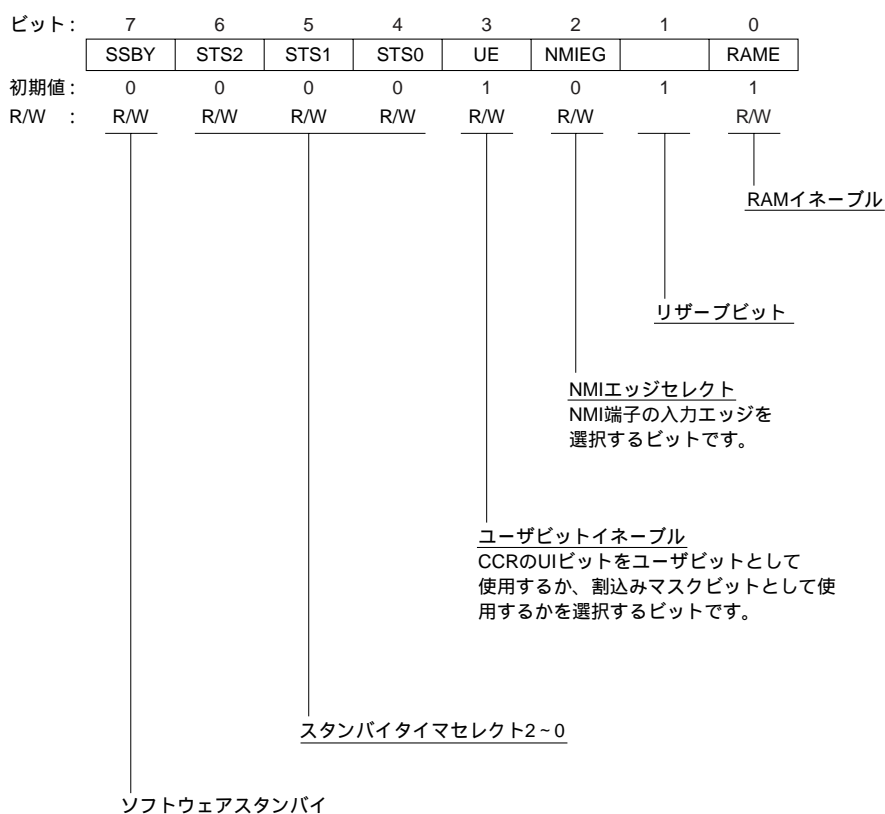
5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCRのUIビットの動作の選択、NMIの検出エッジの選択、および内蔵RAMの有効/無効の選択を行います。

ここでは、ビット3、2についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCRはリセット、またはハードウェアスタンバイモード時にH'0Bにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。



ビット3: ユーザビットイネーブル (UE)

CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット3	説明
UE	
0	CCRのUIビットを割込みマスクビットとして使用
1	CCRのUIビットをユーザビットとして使用 (初期値)

ビット 2 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 2 NMIEG	説明
0	NMI 入力の立下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立上がりエッジで割り込み要求を発生

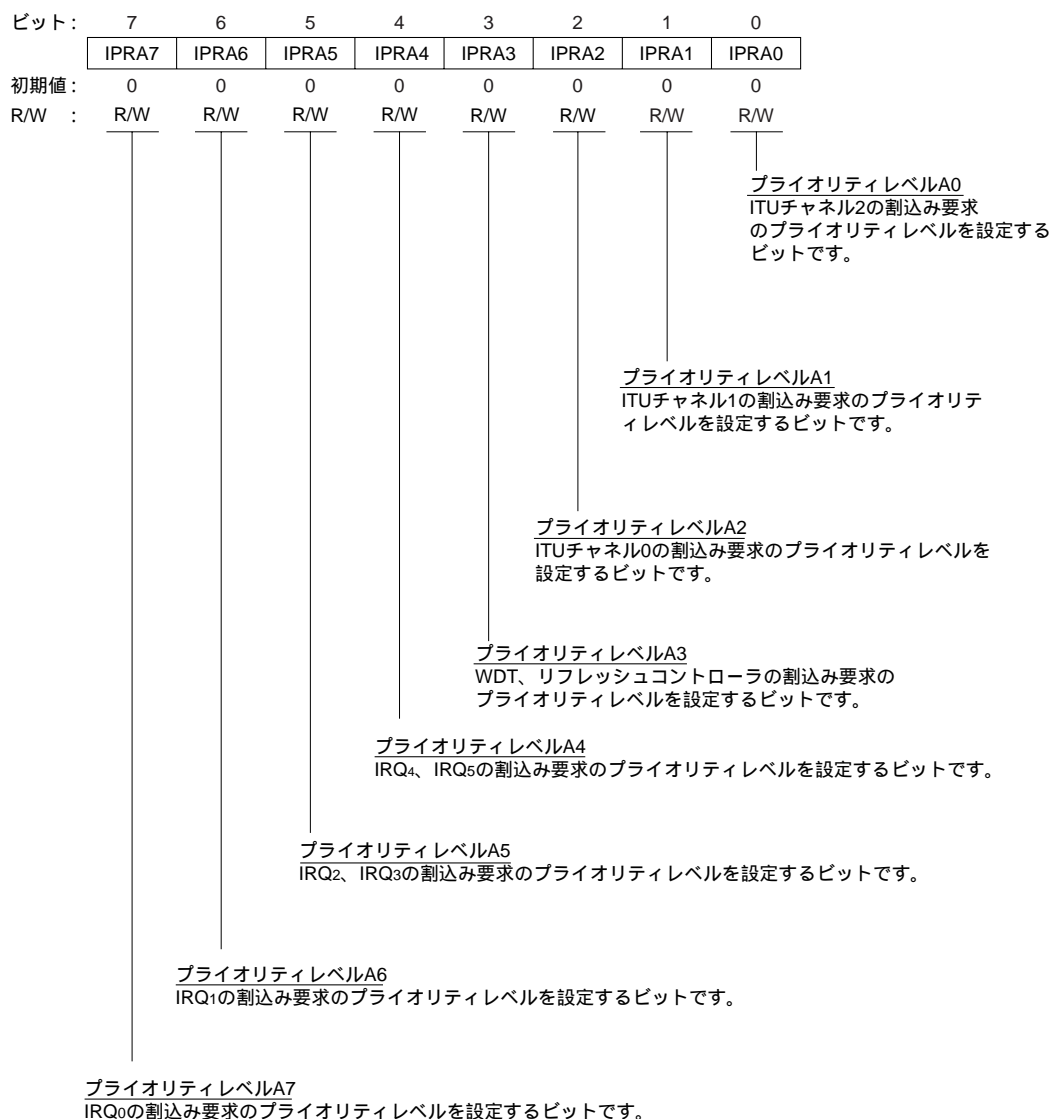
5.2.2 インタラプトプライオリティレジスタ A、B (IPRA、IPRB)

IPRA、IPRB は各々 8 ビットのリード/ライト可能なレジスタで割り込みの優先順位を制御します。

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRA は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。

5. 割込みコントローラ



IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7: プライオリティレベル A7 (IPRA7)

IRQ₀の割込み要求のプライオリティレベルを設定します。

ビット7	説明
IPRA7	
0	IRQ ₀ の割込み要求はプライオリティレベル0 (非優先) (初期値)
1	IRQ ₀ の割込み要求はプライオリティレベル1 (優先)

ビット 6 : プライオリティレベル A6 (IPRA6)

IRQ₁ の割り込み要求のプライオリティレベルを設定します。

ビット 6	説 明	
IPRA6		
0	IRQ ₁ の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	IRQ ₁ の割り込み要求はプライオリティレベル 1 (優先)	

ビット 5 : プライオリティレベル A5 (IPRA5)

IRQ₂、IRQ₃ の割り込み要求のプライオリティレベルを設定します。

ビット 5	説 明	
IPRA5		
0	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル 1 (優先)	

ビット 4 : プライオリティレベル A4 (IPRA4)

IRQ₄、IRQ₅ の割り込み要求のプライオリティレベルを設定します。

ビット 4	説 明	
IPRA4		
0	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル 1 (優先)	

ビット 3 : プライオリティレベル A3 (IPRA3)

WDT、リフレッシュコントローラの割り込み要求のプライオリティレベルを設定します。

ビット 3	説 明	
IPRA3		
0	WDT、リフレッシュコントローラの割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	WDT、リフレッシュコントローラの割り込み要求はプライオリティレベル 1 (優先)	

ビット 2 : プライオリティレベル A2 (IPRA2)

ITU チャンネル 0 の割り込み要求のプライオリティレベルを設定します。

ビット 2	説 明	
IPRA2		
0	ITU チャンネル 0 の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	ITU チャンネル 0 の割り込み要求はプライオリティレベル 1 (優先)	

5. 割込みコントローラ

ビット 1 : プライオリティレベル A1 (IPRA1)

ITU チャンネル 1 の割込み要求のプライオリティレベルを設定します。

ビット 1	説 明
IPRA1	
0	ITU チャンネル 1 の割込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 1 の割込み要求はプライオリティレベル 1 (優先)

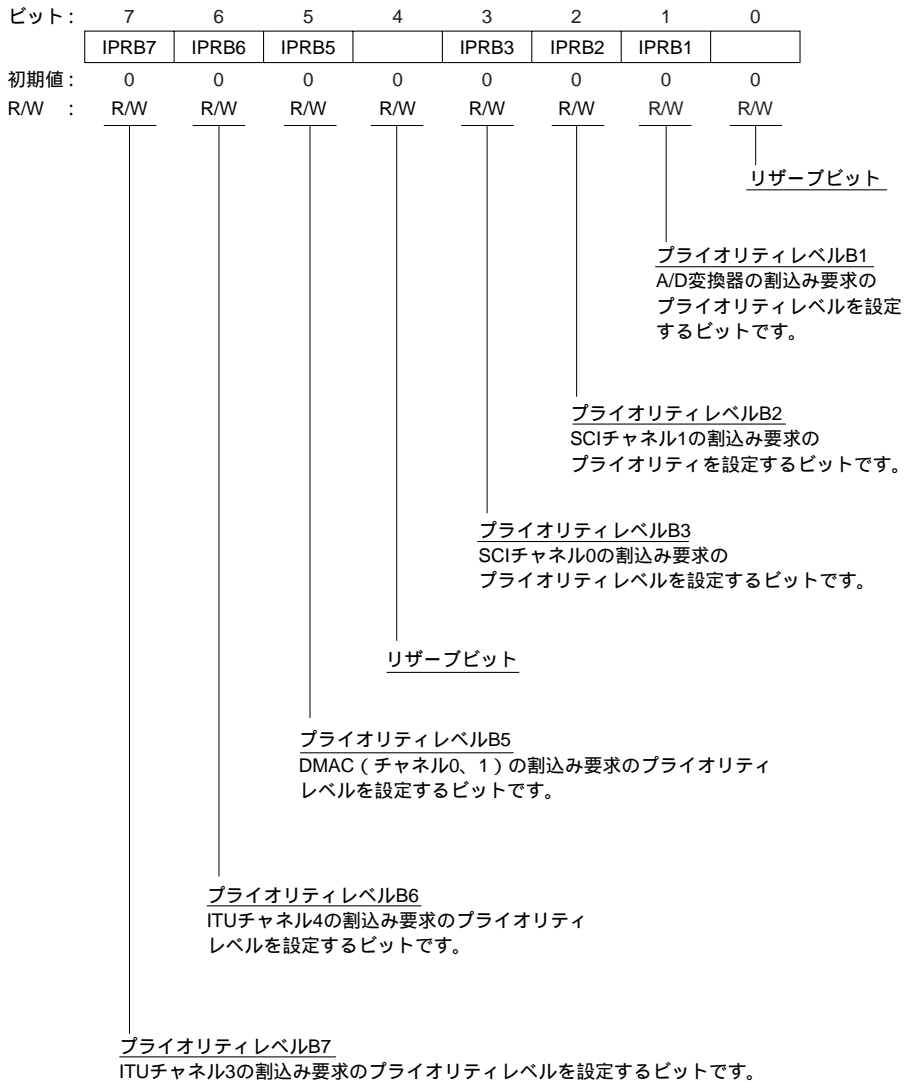
ビット 0 : プライオリティレベル A0 (IPRA0)

ITU チャンネル 2 の割込み要求のプライオリティレベルを設定します。

ビット 0	説 明
IPRA0	
0	ITU チャンネル 2 の割込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 2 の割込み要求はプライオリティレベル 1 (優先)

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

5. 割り込みコントローラ

ビット7：プライオリティレベル B7 (IPRB7)

ITU チャンネル 3 の割り込み要求のプライオリティレベルを設定します。

ビット 7	説明
IPRB7	
0	ITU チャンネル 3 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 3 の割り込み要求はプライオリティレベル 1 (優先)

ビット6：プライオリティレベル B6 (IPRB6)

ITU チャンネル 4 の割り込み要求のプライオリティレベルを設定します。

ビット 6	説明
IPRB6	
0	ITU チャンネル 4 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 4 の割り込み要求はプライオリティレベル 1 (優先)

ビット5：プライオリティレベル B5 (IPRB5)

DMAC (チャンネル 0、1) の割り込み要求のプライオリティレベルを設定します。

ビット 5	説明
IPRB5	
0	DMAC (チャンネル 0、1) の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	DMAC (チャンネル 0、1) の割り込み要求はプライオリティレベル 1 (優先)

ビット4：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット3：プライオリティレベル B3 (IPRB3)

SCI チャンネル 0 の割り込み要求のプライオリティレベルを設定します。

ビット 3	説明
IPRB3	
0	SCI チャンネル 0 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	SCI チャンネル 0 の割り込み要求はプライオリティレベル 1 (優先)

ビット2：プライオリティレベル B2 (IPRB2)

SCI チャンネル 1 の割り込み要求のプライオリティレベルを設定します。

ビット 2	説明
IPRB2	
0	SCI チャンネル 1 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	SCI チャンネル 1 の割り込み要求はプライオリティレベル 1 (優先)

ビット1：プライオリティレベル B1 (IPRB1)

A/D 変換器の割り込み要求のプライオリティレベルを設定します。

ビット1	説明
IPRB1	
0	A/D 変換器の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	A/D 変換器の割り込み要求はプライオリティレベル 1 (優先)

ビット0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQ ステータスレジスタ (ISR)

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ₀ ~ IRQ₃ 割り込み要求のステータスの表示を行います。

ビット:	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W :			R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット
IRQ₅ ~ IRQ₀フラグ
IRQ₅ ~ IRQ₀割り込み要求の
ステータスを表示するビットです。

【注】 * フラグをクリアするための0ライトのみ可能です。

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

5. 割込みコントローラ

ビット 5~0 : IRQ₅ ~ IRQ₀ フラグ (IRQ5F ~ IRQ0F)
 IRQ₅ ~ IRQ₀ 割込み要求のステータスの表示を行います。

ビット 5~0	説明
IRQ5F ~ IRQ0F	
0	〔クリア条件〕 (初期値) (1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQ}}_n$ 入力が High レベルの状態での割込み例外処理を実行したとき (3) IRQnSC = 1 の状態で IRQn 割込み例外処理を実行したとき
1	〔セット条件〕 (1) IRQnSC = 0 の状態で $\overline{\text{IRQ}}_n$ 入力が Low レベルになったとき (2) IRQnSC = 1 の状態で $\overline{\text{IRQ}}_n$ 入力に立下がりエッジが発生したとき

(n = 5 ~ 0)

5.2.4 IRQ イネーブルレジスタ (IER)

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ₀ ~ IRQ₅ 割込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
IRQ₅ ~ IRQ₀ イネーブル
 IRQ₅ ~ IRQ₀ 割込みを許可/禁止するかを選択するビットです。

IER はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能ですが割込み要求の許可/禁止には関係ありません。

ビット 5~0 : IRQ₅ ~ IRQ₀ イネーブル (IRQ5E ~ IRQ0E)

IRQ₅ ~ IRQ₀ 割込みを許可/禁止するかを選択します。

ビット 5~0	説明
IRQ5E ~ IRQ0E	
0	IRQ ₅ ~ IRQ ₀ 割込みを禁止 (初期値)
1	IRQ ₅ ~ IRQ ₀ 割込みを許可

5.2.5 IRQ センスコントロールレジスタ (ISCR)

ISCR は 8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子の入力のレベルセンスまたは立下がりエッジを選択します。

ビット:	7	6	5	4	3	2	1	0
			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
IRQ5 ~ IRQ0 センスコントロール
IRQ5 ~ IRQ0 割込みのレベルセンスまたは
立下がりエッジを選択するビットです。

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能ですが、レベルセンスまたは立下がりエッジの選択には関係ありません。

ビット 5 ~ 0 : $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ センスコントロール (IRQ5SC ~ IRQ0SC)

$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 割込みを $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子のレベルセンスで要求するか、立下がりエッジで要求するかを選択します。

ビット 5 ~ 0	説明
IRQ5SC ~ IRQ0SC	
0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の Low レベルで割込み要求を発生 (初期値)
1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立下がりエッジで割込み要求を発生

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ₀～IRQ₅）と内部割り込み（30 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ₀～IRQ₅の7要因があります。このうち、NMI、IRQ₀～IRQ₂はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます。NMI 端子の立上がりエッジまたは立下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ₀～IRQ₅ 割り込み

IRQ₀～IRQ₅ 割り込みは $\overline{\text{IRQ}}_0$ ～ $\overline{\text{IRQ}}_5$ 端子の入力信号により要求されます。IRQ₀～IRQ₅ 割り込みには次の特長があります。

- (1) $\overline{\text{IRQ}}_0$ ～ $\overline{\text{IRQ}}_5$ 端子の Low レベルまたは立下がりエッジのどちらで割り込みを要求するか、ISCR で選択できます。
- (2) IRQ₀～IRQ₅ 割り込み要求を許可するか禁止するかを、IER で選択できます。また、IPRA の IPRA7～IPRA4 ビットにより割り込みプライオリティレベルを設定できます。
- (3) IRQ₀～IRQ₅ 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ₀～IRQ₅ 割り込みのブロック図を図 5.2 に示します。

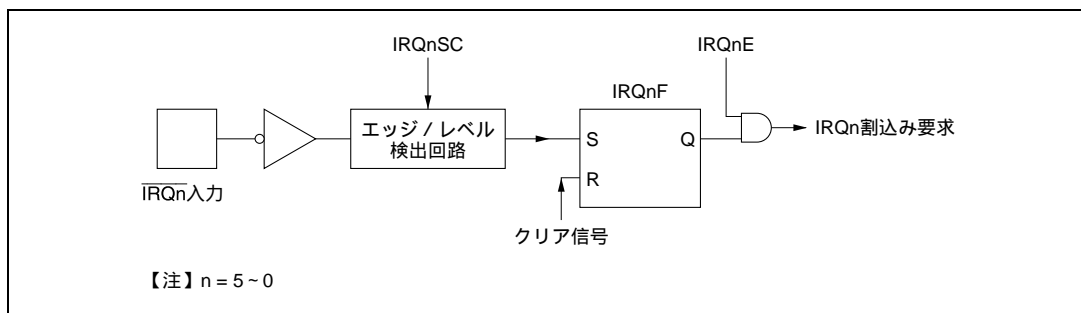


図 5.2 IRQ₀～IRQ₅ 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

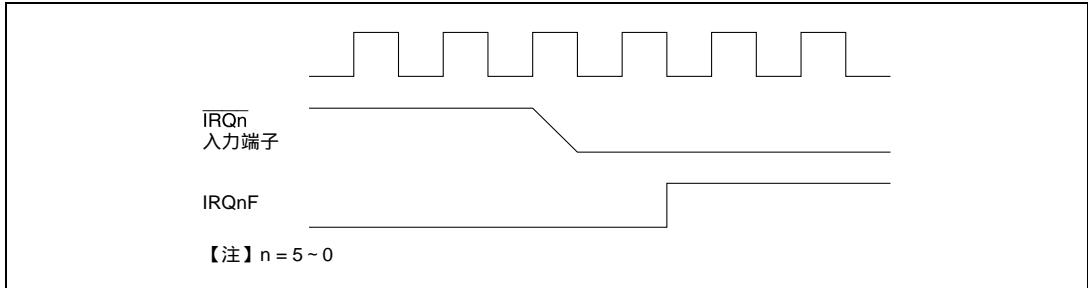


図 5.3 IRQnF セットタイミング

IRQ₀ ~ IRQ₅ 割り込み例外処理のベクタ番号は 12 ~ 17 です。

IRQ₀ ~ IRQ₅ 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合は、対応する DDR を 0 にクリアし、チップセレクト出力端子、リフレッシュ出力端子、SCI の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みは 30 要因あります。

- (1) 各内蔵周辺モジュールには割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、B によって割り込みプライオリティレベルを設定できます。
- (3) ITU、SCI の割り込み要求で DMAC の起動ができます。この場合、割り込みコントローラに対して割り込みは要求されません。このときは I、UI ビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、B により NMI 以外の割り込みの優先順位を変更することができます。

リセット後の割り込み優先順位は表 5.3 に示されるデフォルトの順位となります。

5. 割込みコントローラ

表 5.3 割込み要因とベクタアドレスおよび割込み優先順位一覧

割込み要因	要因発生元	ベクタ番号	ベクタアドレス*	IPR	優先順位
NMI	外部端子	7	H'001C ~ H'001F	-	高 ▲
IRQ ₀		12	H'0030 ~ H'0033	IPRA7	
IRQ ₁		13	H'0034 ~ H'0037	IPRA6	
IRQ ₂		14	H'0038 ~ H'003B	IPRA5	
IRQ ₃		15	H'003C ~ H'003F		
IRQ ₄		16	H'0040 ~ H'0043	IPRA4	
IRQ ₅		17	H'0044 ~ H'0047		
リザーブ	-	18	H'0048 ~ H'004B		
		19	H'004C ~ H'004F		
WOVI (インターバルタイマ)	ウォッチドッグタイマ	20	H'0050 ~ H'0053	IPRA3	
CMI (コンペアマッチ)	リフレッシュコントローラ	21	H'0054 ~ H'0057		
リザーブ	-	22	H'0058 ~ H'005B		
		23	H'005C ~ H'005F		
IMIA0 (コンペアマッチ/インプットキャプチャ A0)	ITU チャンネル 0	24	H'0060 ~ H'0063	IPRA2	
IMIB0 (コンペアマッチ/インプットキャプチャ B0)		25	H'0064 ~ H'0067		
OVI0 (オーバフロー 0)		26	H'0068 ~ H'006B		
リザーブ	-	27	H'006C ~ H'006F		
IMIA1 (コンペアマッチ/インプットキャプチャ A1)	ITU チャンネル 1	28	H'0070 ~ H'0073	IPRA1	
IMIB1 (コンペアマッチ/インプットキャプチャ B1)		29	H'0074 ~ H'0077		
OVI1 (オーバフロー 1)		30	H'0078 ~ H'007B		
リザーブ	-	31	H'007C ~ H'007F		
IMIA2 (コンペアマッチ/インプットキャプチャ A2)	ITU チャンネル 2	32	H'0080 ~ H'0083	IPRA0	
IMIB2 (コンペアマッチ/インプットキャプチャ B2)		33	H'0084 ~ H'0087		
OVI2 (オーバフロー 2)		34	H'0088 ~ H'008B		
リザーブ	-	35	H'008C ~ H'008F		
IMIA3 (コンペアマッチ/インプットキャプチャ A3)	ITU チャンネル 3	36	H'0090 ~ H'0093	IPRB7	
IMIB3 (コンペアマッチ/インプットキャプチャ B3)		37	H'0094 ~ H'0097		
OVI3 (オーバフロー 3)		38	H'0098 ~ H'009B		
リザーブ	-	39	H'009C ~ H'009F		
IMIA4 (コンペアマッチ/インプットキャプチャ A4)	ITU チャンネル 4	40	H'00A0 ~ H'00A3	IPRB6	
IMIB4 (コンペアマッチ/インプットキャプチャ B4)		41	H'00A4 ~ H'00A7		
OVI4 (オーバフロー 4)		42	H'00A8 ~ H'00AB		
リザーブ	-	43	H'00AC ~ H'00AF		低

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	IPR	優先順位
DEND0A	DMAC	44	H'00B0 ~ H'00B3	IPRB5	↑ 高 ↓ 低
DEND0B		45	H'00B4 ~ H'00B7		
DEND1A		46	H'00B8 ~ H'00BB		
DEND1B		47	H'00BC ~ H'00BF		
リザーブ	-	48	H'00C0 ~ H'00C3	-	
		49	H'00C4 ~ H'00C7		
		50	H'00C8 ~ H'00CB		
		51	H'00CC ~ H'00CF		
ERI0 (受信エラー 0) RXI0 (受信データフル 0) TXI0 (送信データエンプティ 0) TEI0 (送信終了 0)	SCI チャンネル 0	52	H'00D0 ~ H'00D3	IPRB3	
		53	H'00D4 ~ H'00D7		
		54	H'00D8 ~ H'00DB		
		55	H'00DC ~ H'00DF		
ERI1 (受信エラー 1) RXI1 (受信データフル 1) TXI1 (送信データエンプティ 1) TEI1 (送信終了 1)	SCI チャンネル 1	56	H'00E0 ~ H'00E3	IPRB2	
		57	H'00E4 ~ H'00E7		
		58	H'00E8 ~ H'00EB		
		59	H'00EC ~ H'00EF		
ADI (A/D エンド)	A/D	60	H'00F0 ~ H'00F3	IPRB1	低

【注】 * アドレスの下位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み動作の流れ

本 LSI では、割り込みの動作は UE ビットの状態によって異なります。UE = 1 のときは I ビットで割り込みの制御が行われます。UE = 0 のときは、I、UI ビットの組み合わせで割り込みの制御が行われます。表 5.4 に UE、I、UI ビットの各組み合わせのときの割り込みの状態を示します。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は無視されます。

表 5.4 UE、I、UI ビットの組み合わせによる割り込みの状態

SYSCR	CCR		状態
	I	UI	
1	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	-	NMI 以外の割り込みを受け付けません。
0	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	0	NMI およびプライオリティレベル 1 の割り込み要因のみを受け付けます。
1		1	NMI 以外の割り込みを受け付けません。

5. 割り込みコントローラ

(1) UE ビット = 1 の場合

IRQ₀ ~ IRQ₃ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I ビットにより一括して、許可 / 禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。プライオリティレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受付の動作フローチャートを図 5.4 に示します。

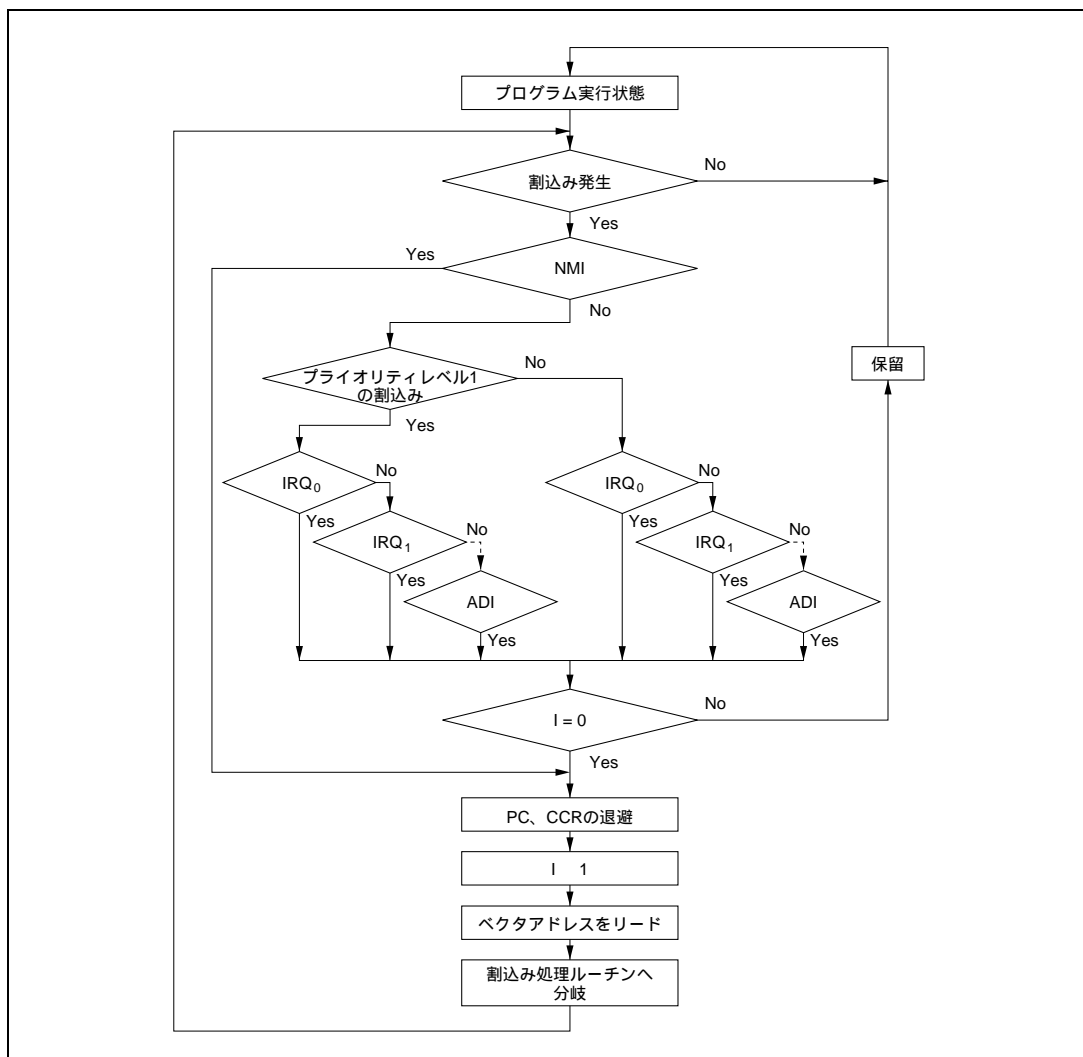


図 5.4 UE = 1 の場合の割り込み受けまでのフロー

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も

高い割り込み要求が選択されます。

- [3] Iビットを参照します。Iビットが0にクリアされているときは、割り込み要求が受け付けられません。Iビットが1にセットされているときは、NMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次にCCRのIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [7] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

(2) UE ビット = 0 の場合

IRQ₀ ~ IRQ₃ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I、UI ビット、IPR によって 3 レベルの許可 / 禁止状態を実現できます。

- (a) プライオリティレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、IビットおよびUIビットがいずれも1にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、IPRA、IPRBをそれぞれH'20、H'00に設定した場合（IRQ₂、IRQ₃割り込み要求の優先順位を他の割り込みより高くした場合）、次のようになります。

- (a) I=0のとき、すべての割り込みを許可
（優先順位：NMI > IRQ₂ > IRQ₃ > IRQ₀...）
- (b) I=1、UI=0のとき、NMI、IRQ₂、IRQ₃割り込みのみを許可
- (c) I=1、UI=1のとき、NMI以外の割り込みを禁止

また、このときの状態遷移を図 5.5 に示します。

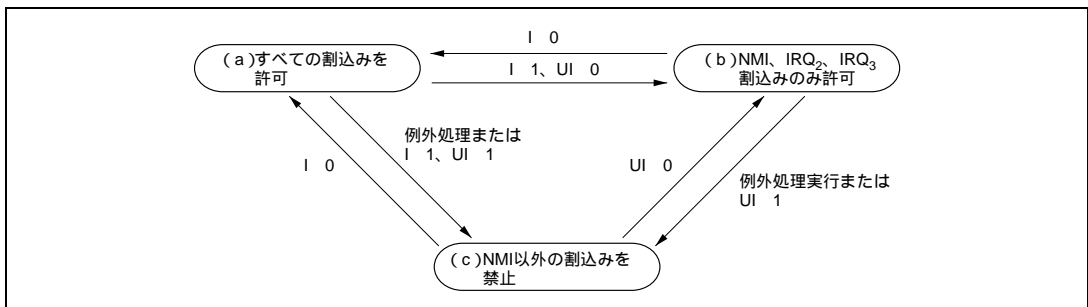


図 5.5 割り込み許可 / 禁止状態の遷移例

5. 割込みコントローラ

UE ビット=0のときの割込み受付の動作フローチャートを図 5.6 に示します。

- [1] 対応する割込みイネーブルビットが1にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して割込み要求が送られます。
- [2] 割込みコントローラに対して割込み要求が送られると、IPRに設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割込み要求が選択されます。
- [3] Iビットを参照します。Iビットが0にクリアされているときは、IPRに関係なく割込み要求が受け付けられます。このときはUIビットの影響を受けません。Iビットが1にセットされ、UIビットが0にクリアされているときは、プライオリティレベル1の割込み要求のみが受け付けられ、プライオリティレベル0の割込み要求は保留となります。I、UIビットがいずれも1にセットされているときは、割込み要求は保留となります。
- [4] 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
- [5] 割込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] CCRのI、UIビットが1にセットされます。これにより、NMIを除く割込みはマスクされます。
- [7] 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

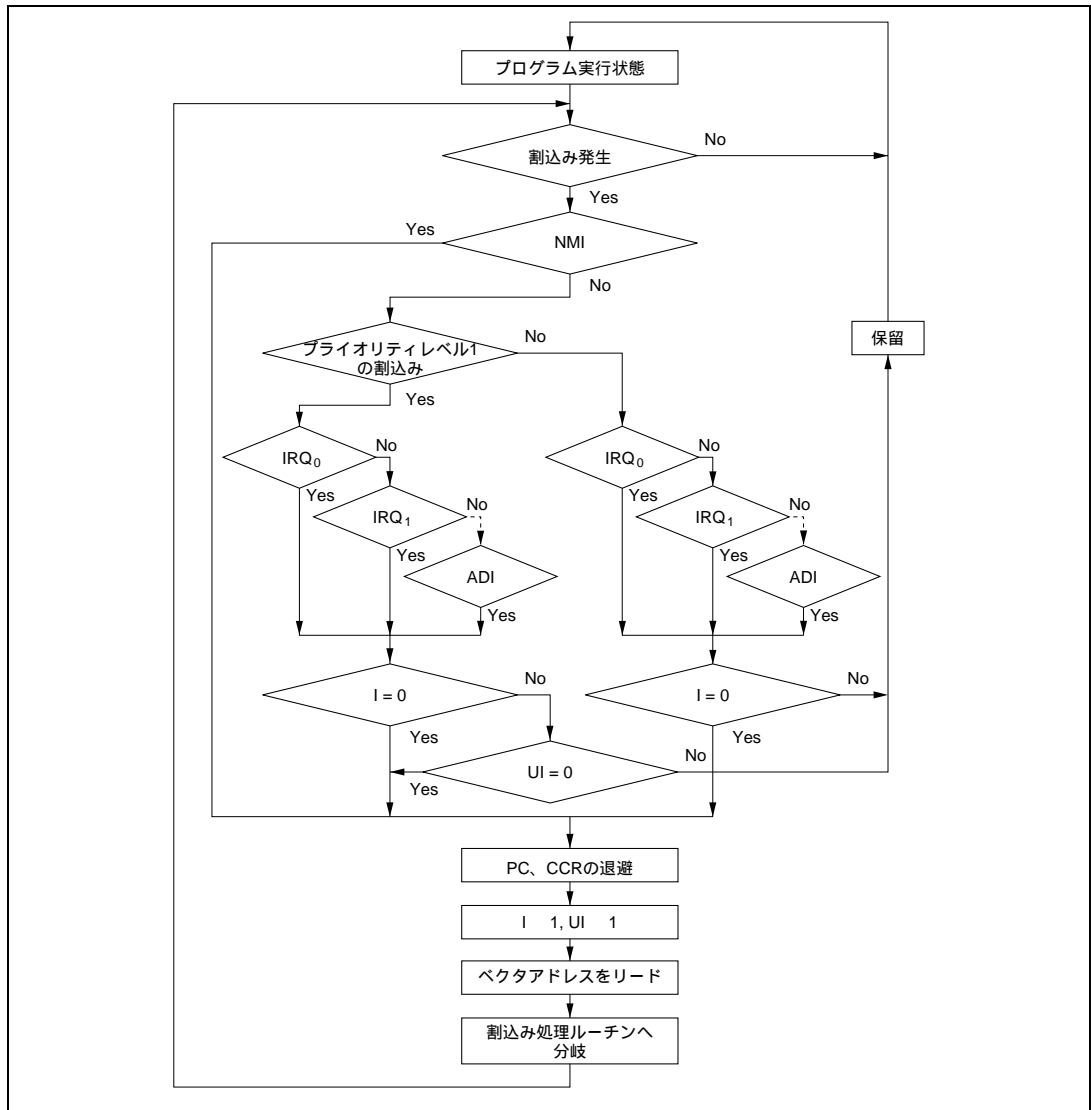


図 5.6 UE = 0 の場合の割り込み受けまでのフロー

5.4.2 割り込み例外処理シーケンス

モード2で、プログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間にとった場合の割り込みシーケンスを図5.7に示します。

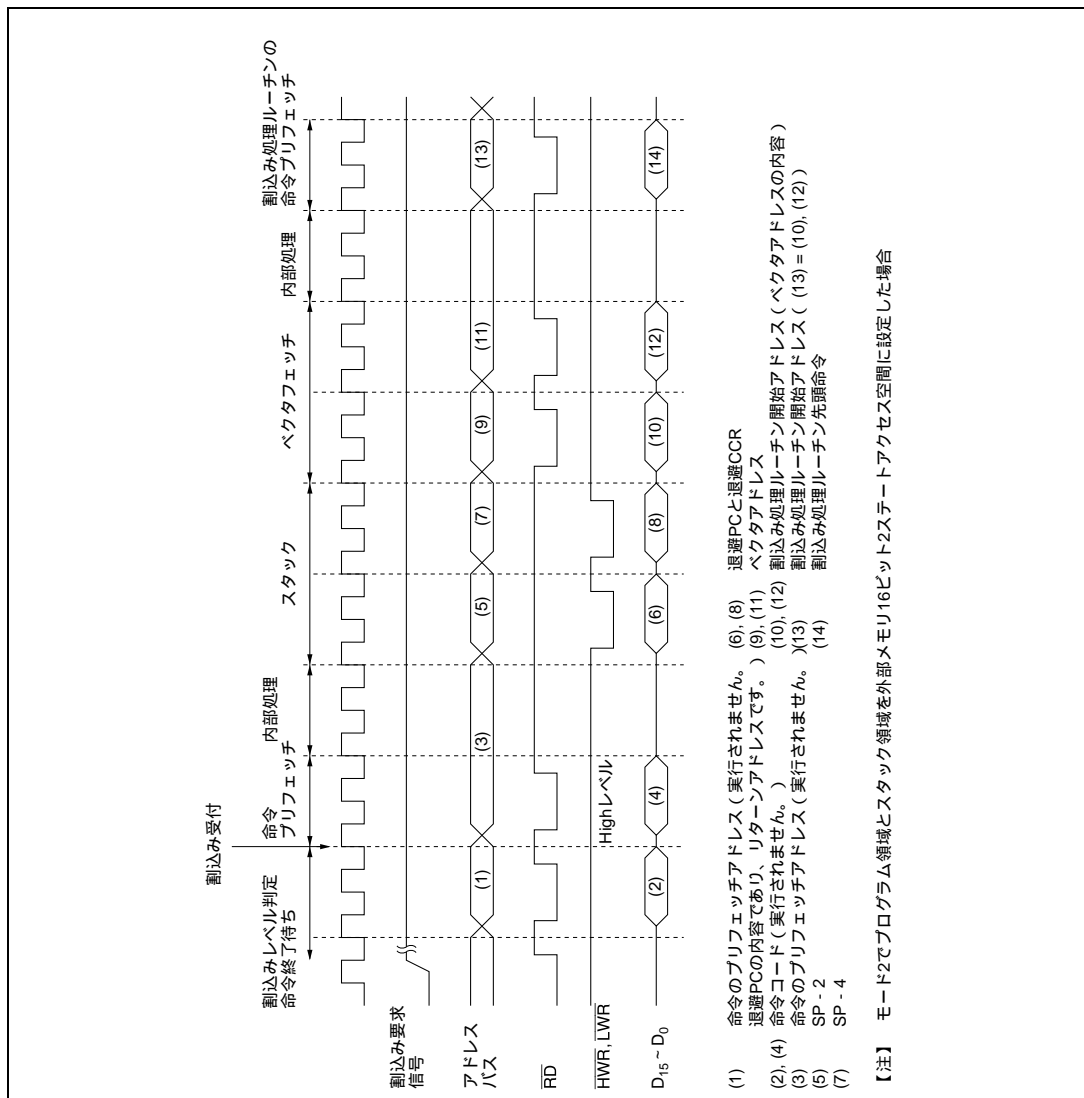


図 5.7 割り込みシーケンス (モード2、2ステートアクセス、スタック外部メモリ)

5.4.3 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 5.5 に示します。

表 5.5 割り込み応答時間

No.	項目	内蔵メモリ	外部メモリ			
			8ビット2ステートアクセス空間	8ビット3ステートアクセス空間	16ビット2ステートアクセス空間	16ビット3ステートアクセス空間
1	割り込み優先順位判定		2* ¹			
2	実行中の命令が終了するまでの最大待ちステート数	1~23	1~27	1~31* ⁴	1~23	1~25* ⁴
3	PC、CCR のスタック	4	8	12* ⁴	4	6* ⁴
4	ベクタフェッチ	4	8	12* ⁴	4	6* ⁴
5	命令フェッチ* ²	4	8	12* ⁴	4	6* ⁴
6	内部処理* ³	4	4	4	4	4
合計		19~41	31~57	43~73	19~41	25~49

単位：ステート

- 【注】 *1 内部割り込みの場合 1 ステートとなります。
 *2 割り込み受付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ
 *3 割り込み受付け後の内部処理およびベクタフェッチ後の内部処理
 *4 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを 0 にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを 0 にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。

ITU の TIER の IMIEA ビットを 0 にクリアする場合の例を図 5.8 に示します。

5. 割り込みコントローラ

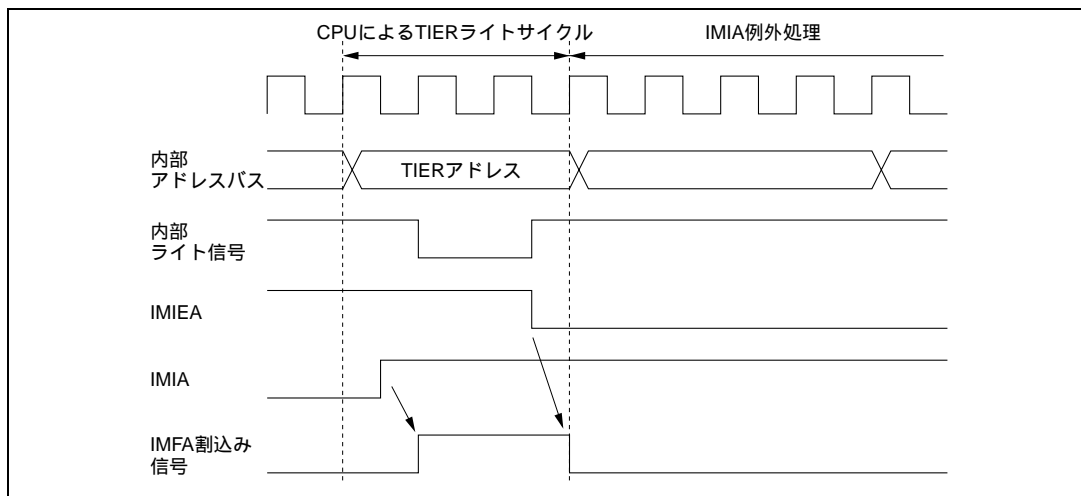


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラが優先順位を判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV . B 命令と EEPMOV . W 命令では、割り込み動作が異なります。

EEPMOV . B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV . W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV . W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1 :      EEPMOV.W
          MOV.W R4, R4
          BNE L1
```


5.5.4 外部割り込み使用上の注意

IRQ_nF フラグは、IRQ_nF=1 の状態で IRQ_nF フラグをリードした後、IRQ_nF フラグに 0 をライトしたとき、クリアされる仕様になっています。しかしながら、IRQ_nF=1 の状態をリードしていないにもかかわらず、IRQ_nF フラグに 0 をライトしただけで、誤って IRQ_nF フラグがクリアされ、割り込み例外処理が実行されない場合があります。

これは、以下のような条件が満たされたときに起こります。

(1) 設定条件

- [1] 複数の外部割り込み (IRQ_a、IRQ_b) を使用している。
- [2] IRQ_aF フラグは 0 ライトによるクリア、IRQ_bF フラグはハードウェアによるクリアと異なったクリア方法を用いている。
- [3] IRQ_aF フラグのクリアに、IRQ ステータスレジスタ (ISR) に対するビット操作命令を使用、もしくは ISR をバイト単位でリードし、IRQ_aF フラグのビットをクリアし、その他のビットはリードした値をバイト単位でライトしている。

(2) 発生条件

- [1] IRQ_aF=1 の状態で IRQ_aF フラグをクリアするための ISR レジスタのリードが実行され、その後、割り込み例外処理の発生により、IRQ_aF フラグがクリアされた。
- [2] IRQ_aF フラグのクリアと IRQ_b の発生 (IRQ_bF フラグのセット) が競合したとき (IRQ_aF フラグをクリアするための ISR をリードしたときには、IRQ_bF=0 であったが、ISR にライトするまでの間に IRQ_bF=1 となってしまった状態)。

上記の設定条件 [1] ~ [3] と発生条件 [1]、[2] がすべて成立した場合、発生条件 [2] の ISR のライト時に IRQ_aF は誤ってクリアされ、割り込み例外処理は実行されません。

ただし、発生条件 [1]、[2] の間に一度でも IRQ_aF フラグに 0 をライトすると、IRQ_aF フラグが誤ってクリアされることはありません。

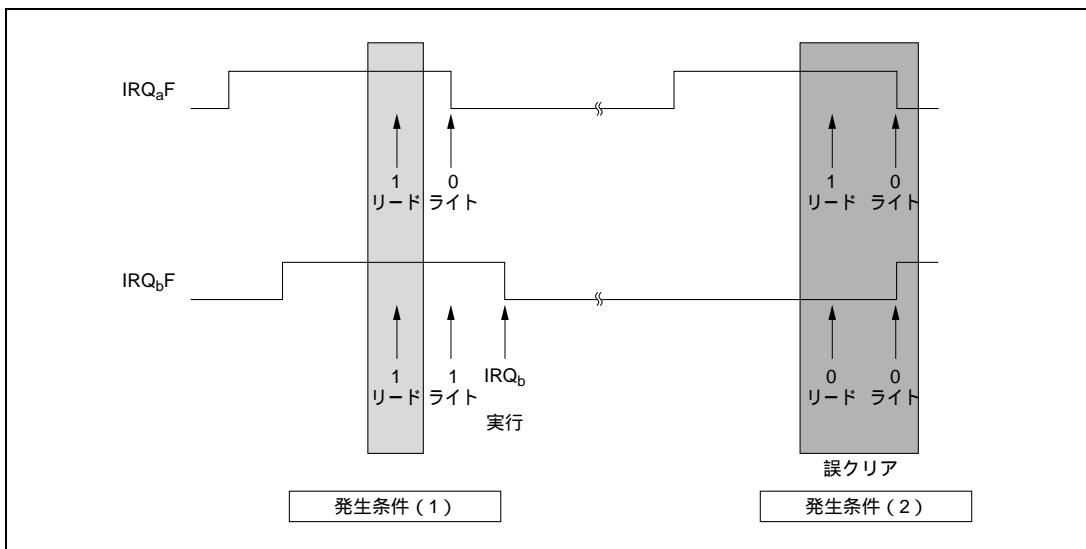


図 5.9 割り込み例外処理が実行されない場合の IRQ_nF フラグ

5. 割込みコントローラ

このような場合には、以下の対策1または2を行い、対処してください。

(a) 対策1

IRQ_aF フラグをクリアするには、ビット演算命令を使用せず、ISR をバイト単位でリードし、IRQ_aF フラグだけを0、その他のビットは1となる値をバイト単位で書き込んでください。

例：a=0 の場合

```
MOV .B @ISR, R0L
MOV .B #HFE, R0L
MOV .B R0L, @ISR
```

(b) 対策2

IRQ_b 割込み例外処理の中で、IRQ_bF フラグをクリアするダミー処理を行ってください。

例：b=1 の場合

```
IRQB MOV .B #HFD, R0L
      MOV .B R0L, @ISR
      :
```

6. バスコントローラ

6.1 概要

本 LSI はバスコントローラを内蔵しており、外部アドレス空間を 8 つのエリアに分割し、エリアごとにバス仕様を設定し、バス制御を行います。これにより、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権の調停機能をもっており、DMA コントローラ (DMAC) やリフレッシュコントローラの動作を制御するとともに、外部にバス権を解放することができます。

6.1.1 特長

バスコントローラの特長を次に示します。

- 外部アドレス空間をエリア 0~7 に分割し、エリアごとに独立して設定可能
 - 1M バイトモードでは 128k バイト、16M バイトモードでは 2M バイトごとにエリアを設定
 - エリア 0~7 に対してチップセレクト ($\overline{CS}_0 \sim \overline{CS}_7$) を出力可能
 - 8 ビットアクセス空間 / 16 ビットアクセス空間の選択可能
 - 2 ステートアクセス空間 / 3 ステートアクセス空間の選択可能
- 4 種類のウェイトモード
 - プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモード 0、1 を選択可能
 - 0~3 ステートのウェイトステートを自動的に挿入可能
- バス権調停機能
 - バスアービタを内蔵し、CPU、DMAC、リフレッシュコントローラ、外部バスマスタのバス権を調停

6. バスコントローラ

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

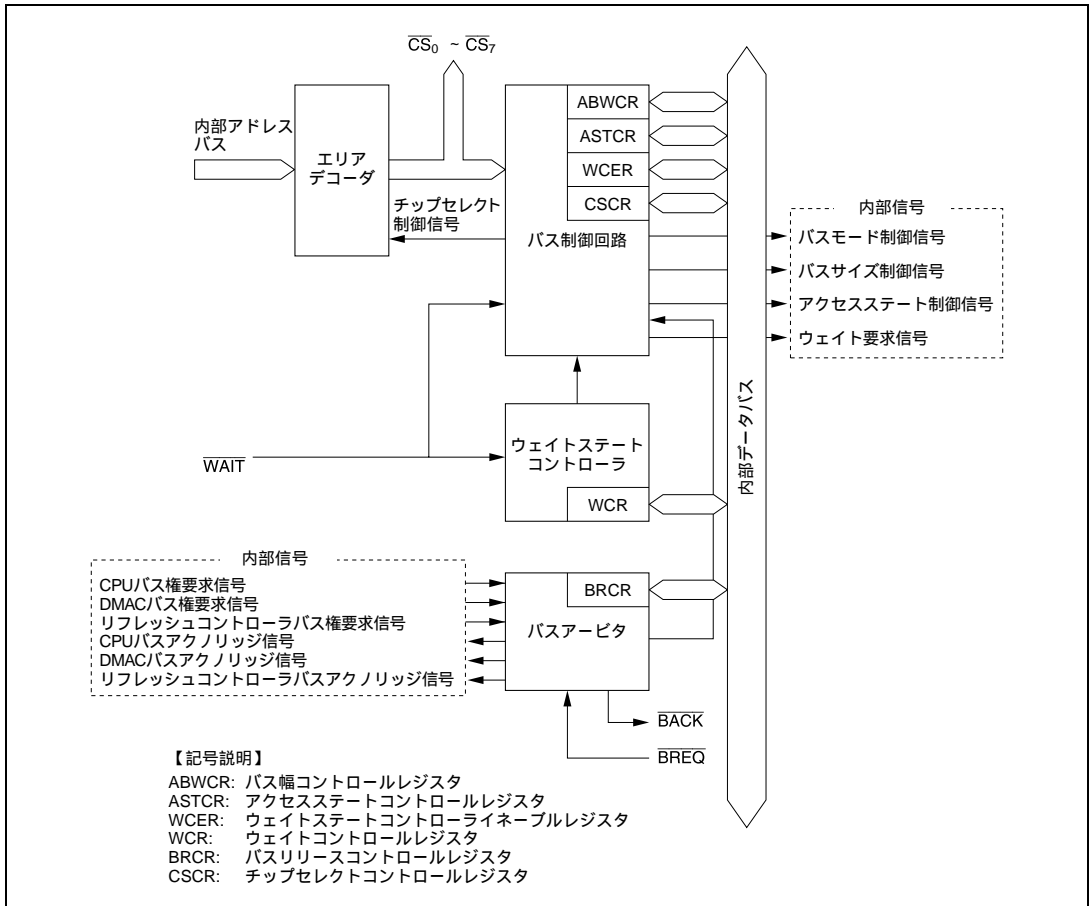


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
チップセレクト 0~7	CS ₀ ~ CS ₇	出力	エリア 0~7 が選択されていることを示すストロープ信号
アドレスストロープ	AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リード	RD	出力	外部アドレス空間をリードしていることを示すストロープ信号
ハイライト	HWR	出力	外部アドレス空間をライトし、データバスの上位側 (D ₁₅ ~ D ₈) が有効であることを示すストロープ信号
ロウライト	LWR	出力	外部アドレス空間をライトし、データバスの下位側 (D ₇ ~ D ₀) が有効であることを示すストロープ信号
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	BREQ	入力	バス権を外部に解放する要求信号
バス権要求アクノリッジ	BACK	出力	バス権を外部に解放したことを示すアクノリッジ信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、3、5、 6	モード 2、4、7
H'FFEC	バス幅コントロールレジスタ	ABWCR	R/W	H'FF	H'00
H'FFED	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	H'FF
H'FFEE	ウェイトコントロールレジスタ	WCR	R/W	H'F3	H'F3
H'FFEF	ウェイトステートコントローラライネーブルレジスタ	WCER	R/W	H'FF	H'FF
H'FFF3	バスリリースコントロールレジスタ	BRCR	R/W	H'FE	H'FE
H'FFF5F	チップセレクトコントロールレジスタ	CSCR	R/W	H'0F	H'0F

【注】 * アドレスは下位 16 ビットを示しています。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値:	1	1	1	1	1	1	1	1
{ モード1,3,5,6,7								
{ モード2,4	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのバス幅を選択するビットです。

ABWCR の内容が H'FF (全エリア 8 ビットアクセス空間) の場合、8 ビットバスモードとなり、データバスは上位側 ($D_{15} \sim D_8$) が有効となります。このときポート 4 は入出力ポートとなります。ABWCR の少なくとも 1 ビットを 0 にクリアした場合には、16 ビットバスモードとなり、データバスは 16 ビット ($D_{15} \sim D_0$) となります。ABWCR はリセット、またはハードウェアスタンバイモード時にモード 1、3、5、6、7 では H'FF に、モード 2、4 では H'00 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7~0: エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか 16 ビットアクセス空間とするかを選択します。

ビット 7~0	説明
ABW7~ABW0	
0	エリア 7~0 を 16 ビットアクセス空間に設定
1	エリア 7~0 を 8 ビットアクセス空間に設定

ABWCR は、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部 I/O レジスタのデータバス幅は ABWCR の設定値にかかわらず固定です。したがって、シングルチップモード (モード 7) では設定値には意味がありません。

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのアクセスステート数を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF にイニシャライズされま

す。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7~0：エリア7~0アクセスステートコントロール（AST7~AST0）

対応するエリアを2ステートアクセス空間とするか3ステートアクセス空間とするかを選択します。

ビット7~0	説明
AST7~AST0	
0	エリア7~0を2ステートアクセス空間に設定
1	エリア7~0を3ステートアクセス空間に設定 (初期値)

ASTCRは、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部I/Oレジスタに対するアクセスステート数はASTCRの設定値にかかわらず固定です。したがって、シングルチップモード（モード7）では設定値には意味がありません。

6.2.3 ウェイトコントロールレジスタ（WCR）

WCRは8ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ（WSC）のウェイトモードとウェイトステート数を設定します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	WMS1	WMS0	WC1	WC0
初期値:	1	1	1	1	0	0	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ウェイトモードセレクト1、0
ウェイトモードを設定するビットです。

ウェイトカウント1、0
挿入するウェイトステート数を
設定するビットです。

WCRはリセット、またはハードウェアスタンバイモード時にHF3にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7~4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

6. バスコントローラ

ビット3、2：ウェイトモードセレクト1、0 (WMS1、0)
ウェイトモードを設定します。

ビット3	ビット2	説明
WMS1	WMS0	
0	0	プログラマブルウェイトモード (初期値)
	1	ウェイトステートコントローラによるウェイトを禁止
1	0	端子ウェイトモード1
	1	端子オートウェイトモード

ビット1、0：ウェイトカウント1、0 (WC1、0)
外部3ステートアクセス空間をアクセスするときに、挿入するウェイトステート数を設定します。

ビット1	ビット0	説明
WC1	WC0	
0	0	WSCによるウェイトを禁止
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入 (初期値)

6.2.4 ウェイトステートコントローライネーブルレジスタ (WCER)

WCERは8ビットのリード/ライト可能なレジスタで、外部3ステートアクセス空間について、WSCの動作を許可/禁止します。

ビット:	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7~0
WSCの動作を許可/禁止するビットです。

WCERはリセット、またはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7~0：ウェイトステートコントローライネーブル7~0 (WCE7~WCE0)
外部3ステートアクセス空間について、WSCの動作を許可/禁止します。

ビット7~0	説明
WCE7~WCE0	
0	WSCの動作を禁止 (端子ウェイトモード0)
1	WSCの動作を許可 (初期値)

WCERは、外部3ステートアクセス空間についてWSCの動作を許可/禁止します。したがって、シングルチップモード(モード7)では設定値に意味はありません。

6.2.5 バスリリースコントロールレジスタ (BRCR)

BRCR は 8 ビットのリード/ライト可能なレジスタで、アドレスバス ($A_{23} \sim A_{21}$) 出力の選択、バス権の外部に対する解放を許可/禁止します。

ビット:	7	6	5	4	3	2	1	0
	A23E	A22E	A21E	—	—	—	—	BRLE
初期値:	1	1	1	1	1	1	1	0
モード1,2,5,7 R/W :	—	—	—	—	—	—	—	R/W
モード3,4,6 R/W :	R/W	R/W	R/W	—	—	—	—	R/W

アドレス23~21イネーブル
 $PA_6 \sim PA_4$ をアドレス出力端子
 $A_{23} \sim A_{21}$ として使用するた
 めのビットです。

リザーブビット

バスリリースイネーブル
 バス権の外部に対する解放を
 許可/禁止するビットです。

BRCR はリセット、またはハードウェアスタンバイモード時に H'FE にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7: アドレス 23 イネーブル (A23E)

PA_4 をアドレス出力端子 A_{23} として使用するためのビットです。0をライトすると PA_4 はアドレス出力 A_{23} となります。モード3、4、6以外ではこのビットはライトできず、 PA_4 は通常のポート機能となります。

ビット7	説明
A23E	
0	PA_4 はアドレス出力端子 A_{23}
1	PA_4 は $PA_4/TP_4/TIOCA_4$ 入出力端子 (初期値)

ビット6: アドレス 22 イネーブル (A22E)

PA_5 をアドレス出力端子 A_{22} として使用するためのビットです。0をライトすると PA_5 はアドレス出力 A_{22} となります。モード3、4、6以外ではこのビットはライトできず、 PA_5 は通常のポート機能となります。

ビット6	説明
A22E	
0	PA_5 はアドレス出力端子 A_{22}
1	PA_5 は $PA_5/TP_5/TIOCB_5$ 入出力端子 (初期値)

ビット5: アドレス 21 イネーブル (A21E)

PA_6 をアドレス出力端子 A_{21} として使用するためのビットです。0をライトすると PA_6 はアドレス出力 A_{21} となります。モード3、4、6以外ではこのビットはライトできず、 PA_6 は通常のポート機能となります。

6. バスコントローラ

ビット 5	説明
A21E	
0	PA ₆ はアドレス出力端子 A ₂₁
1	PA ₆ は PA ₆ /TP ₆ /TIOCA ₂ 入出力端子 (初期値)

ビット 4~1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0: バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可 / 禁止します。

ビット 0	説明
BRLE	
0	バス権の外部に対する解放を禁止し、 $\overline{\text{BREQ}}$ 、BACK 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

6.2.6 チップセレクトコントロールレジスタ (CSCR)

CSCR は 8 ビットのリード / ライト可能なレジスタで、チップセレクト信号 ($\overline{\text{CS}}_7 \sim \overline{\text{CS}}_4$) の出力を許可 / 禁止します。

本レジスタでチップセレクト信号 ($\overline{\text{CS}}_7 \sim \overline{\text{CS}}_4$) 出力を選択すると、端子機能は他の機能に優先してチップセレクト信号 ($\overline{\text{CS}}_7 \sim \overline{\text{CS}}_4$) 出力となります。なお、本レジスタはシングルチップモードではライトできません。

ビット:	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

チップセレクト7~4イネーブル
チップセレクト信号の出力を
許可 / 禁止するビットです。
リザーブビット

CSCR はリセット、またはハードウェアスタンバイモード時に H'0F にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7~4: チップセレクト 7~4 イネーブル (CS7E ~ CS4E)

対応するチップセレクト信号の出力を許可 / 禁止します。

ビット n	説明
CSnE	
0	チップセレクト信号 (CSn) の出力を禁止 (初期値)
1	チップセレクト信号 (CSn) の出力を許可

【注】 n = 7 ~ 4

ビット3~0:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1Mバイトモードのとき128kバイト、16Mバイトモードのとき2Mバイトごとのエリア0~7に分割されています。メモリマップの概要を図6.2に示します。

H'00000	エリア0 (128kバイト)	H'000000	エリア0 (2Mバイト)	H'00000	内蔵ROM*1	H'000000	内蔵ROM*1
H'1FFFF H'20000	エリア1 (128kバイト)	H'1FFFFFF H'200000	エリア1 (2Mバイト)	H'1FFFF H'20000		H'1FFFFFF H'200000	エリア0 (2Mバイト)
H'3FFFF H'40000		H'3FFFFFF H'400000		H'3FFFF H'40000		H'3FFFFFF H'400000	エリア1 (2Mバイト)
H'5FFFF H'60000	エリア2 (128kバイト)	H'5FFFFFF H'600000	エリア2 (2Mバイト)	H'5FFFF H'60000		H'5FFFFFF H'600000	エリア2 (2Mバイト)
H'7FFFF H'80000	エリア3 (128kバイト)	H'7FFFFFF H'800000	エリア3 (2Mバイト)	H'7FFFF H'80000		H'7FFFFFF H'800000	エリア3 (2Mバイト)
H'9FFFF H'A0000	エリア4 (128kバイト)	H'9FFFFFF H'A00000	エリア4 (2Mバイト)	H'9FFFF H'A0000		エリア4 (128kバイト)	エリア4 (2Mバイト)
H'BFFFF H'C0000	エリア5 (128kバイト)	H'BFFFFFF H'C00000	エリア5 (2Mバイト)	H'BFFFF H'C0000		エリア5 (128kバイト)	エリア5 (2Mバイト)
H'DFFFF H'E0000	エリア6 (128kバイト)	H'DFFFFFF H'E00000	エリア6 (2Mバイト)	H'DFFFF H'E0000	エリア6 (128kバイト)	エリア6 (2Mバイト)	
	内蔵RAM*1、*2		内蔵RAM*1、*2		内蔵RAM*1、*2	内蔵RAM*1、*2	
	外部アドレス空間*3		外部アドレス空間*3		外部アドレス空間*3	外部アドレス空間*3	
H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1

a. 内蔵ROM無効
1Mバイトモード
(モード1、2)

b. 内蔵ROM無効
16Mバイトモード
(モード3、4)

c. 内蔵ROM有効
1Mバイトモード
(モード5)

d. 内蔵ROM有効
16Mバイトモード
(モード6)

【注】 *1 内蔵ROM、内蔵RAM、内部I/Oレジスタのバス幅、アクセスステータ数は固定です。
*2 SYSCRのRAMEビットを0にクリアするとエリア7の指定に従います。
*3 外部アドレス空間は、エリア7の指定に従います。

図 6.2 各動作モードにおけるアクセスエリアマップ

各エリアごとに選択信号 ($\overline{CS}_7 \sim \overline{CS}_0$) を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCER、WCR で指定されます。

各エリアのバス仕様を表 6.3 に示します。

6. バスコントローラ

表 6.3 各エリアのバス仕様

ABWCR	ASTCR	WCER	WCR		バス仕様		
ABWn	ASTn	WCEn	WMS1	WMS0	バス幅	アクセス ステート	ウェイトモード
0	0	-	-	-	16	2	禁止
	1	0	-	-	16	3	端子ウェイトモード 0
	1	1	0	0	16	3	プログラマブルウェイトモード
			0	1	16	3	禁止
			1	0	16	3	端子ウェイトモード 1
			1	1	16	3	端子オートウェイトモード
1	0	-	-	-	8	2	禁止
	1	0	-	-	8	3	端子ウェイトモード 0
	1	1	0	0	8	3	プログラマブルウェイトモード
			0	1	8	3	禁止
			1	0	8	3	端子ウェイトモード 1
			1	1	8	3	端子オートウェイトモード

【注】 n=7~0

6.3.2 チップセレクト信号

本 LSI は、エリア 7~0 に対してそれぞれチップセレクト信号 ($\overline{CS}_7 \sim \overline{CS}_0$) を出力することができ、拡張モードで当該エリアが選択されたとき、Low レベルを出力します。図 6.3 に \overline{CS}_n 信号出力タイミングを示します。

(1) $\overline{CS}_3 \sim \overline{CS}_0$ 出力方法

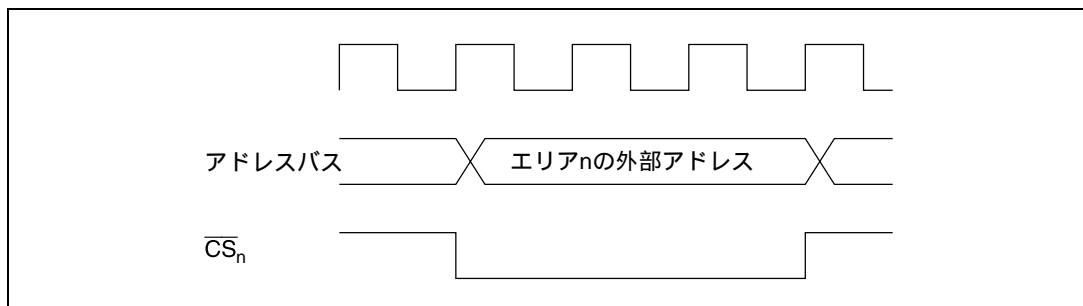
$\overline{CS}_3 \sim \overline{CS}_0$ の出力の許可または禁止は各 \overline{CS}_n 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

内蔵 ROM 無効拡張モード時、 \overline{CS}_0 端子はリセット直後に出力状態となっています。 $\overline{CS}_3 \sim \overline{CS}_1$ 端子はリセット直後に入力状態となっていますので、 $\overline{CS}_3 \sim \overline{CS}_1$ を出力する場合には対応する DDR を 1 にセットしてください。内蔵 ROM 有効拡張モード時、 $\overline{CS}_3 \sim \overline{CS}_0$ 端子はリセット直後に入力状態となっていますので、 $\overline{CS}_3 \sim \overline{CS}_0$ を出力する場合には、対応する DDR を 1 にセットしてください。

詳細は「第 9 章 I/O ポート」を参照してください。

(2) $\overline{CS}_7 \sim \overline{CS}_4$ 出力方法

$\overline{CS}_7 \sim \overline{CS}_4$ の出力許可または禁止はチップセレクトコントロールレジスタ (CSCR) を設定することにより行います。 $\overline{CS}_7 \sim \overline{CS}_4$ 端子はリセット直後に入力状態となっていますので、 $\overline{CS}_7 \sim \overline{CS}_4$ 端子を出力する場合には CSCR の対応するビットを 1 にセットしてください。詳細は「第 9 章 I/O ポート」を参照してください。

図 6.3 \overline{CS}_n 信号の出力タイミング ($n=7\sim 0$)

内蔵 ROM、内蔵 RAM および内部 I/O レジスタを選択した場合、 \overline{CS}_n 、 \overline{CS}_0 端子は High レベルです。 \overline{CS}_n 信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

6.3.3 データバス

本 LSI は、エリア 0~7 をそれぞれ 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定することができます。8 ビットアクセス空間では、データバスの上位側 ($D_{15}\sim D_8$) を使用します。また 16 ビットアクセス空間ではデータバスの上位側 ($D_{15}\sim D_8$)、下位側 ($D_7\sim D_0$) を使用します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時にはデータバスの上位側に対して \overline{HWR} 信号が、データバスの下位側に対して \overline{LWR} 信号が有効です。

表 6.4 にアクセス空間と使用するデータバスを示します。

表 6.4 アクセス空間と使用するデータバス

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 ($D_{15}\sim D_8$)	データバス下位 ($D_7\sim D_0$)
8 ビットアクセス空間	-	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		不定
16 ビットアクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

6.3.4 バス制御信号タイミング

(1) 8ビット3ステートアクセス空間

図 6.4 に 8 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

$\overline{\text{LWR}}$ 端子は常に High レベルとなっています。ウェイトステートを挿入することができます。

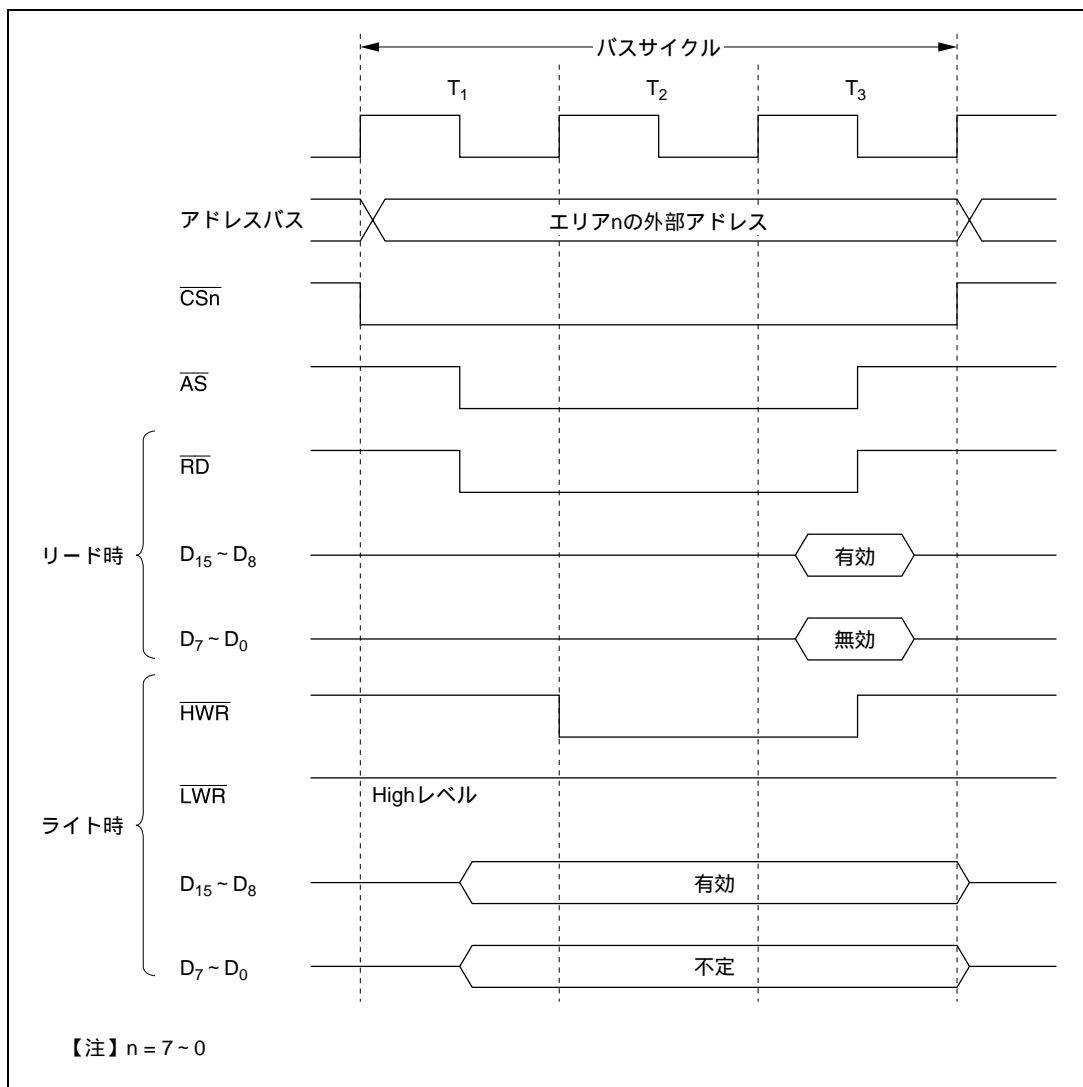


図 6.4 8 ビット 3 ステートアクセス空間のバス制御信号タイミング

(2) 8ビット2ステートアクセス空間

図 6.5 に 8 ビット 2 ステート空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルとなっています。ウェイトステートを挿入することはできません。

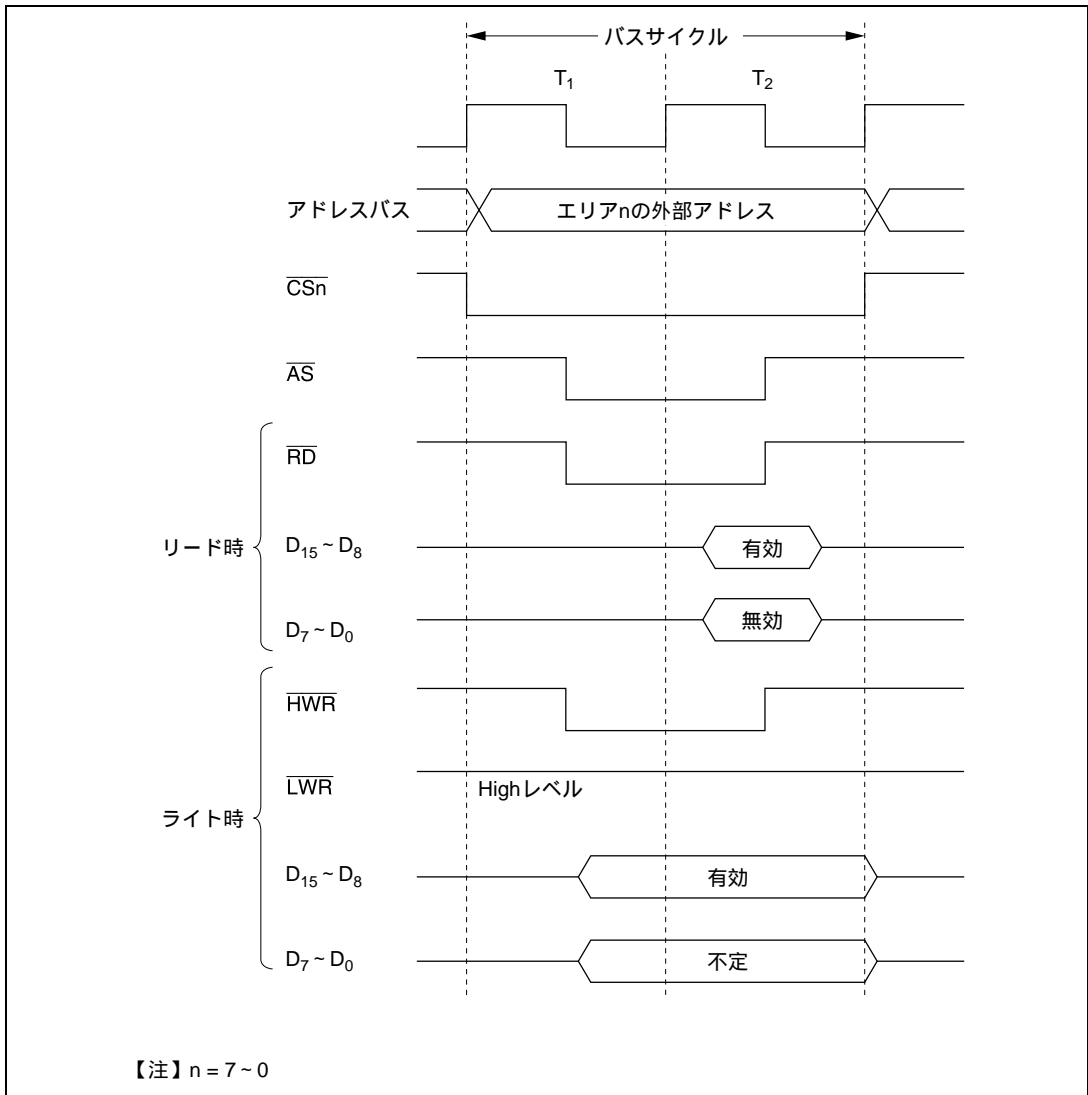


図 6.5 8 ビット 2 ステートアクセス空間のバス制御信号タイミング

6. バスコントローラ

(3) 16ビット3ステートアクセス空間

図 6.6～図 6.8 に 16 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合偶数アドレスに対しては、データバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することができます。

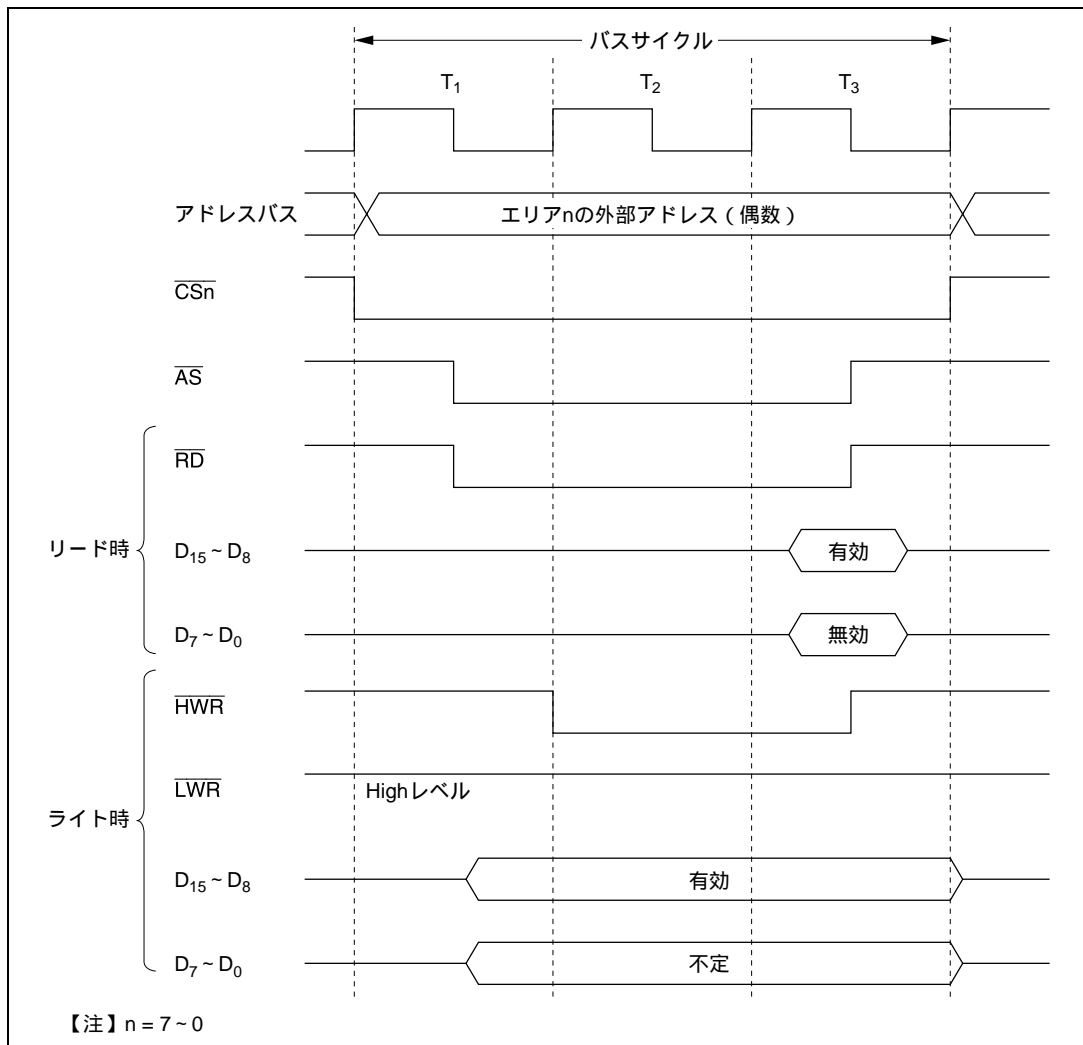


図 6.6 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (1)
(偶数アドレスバイトアクセス)

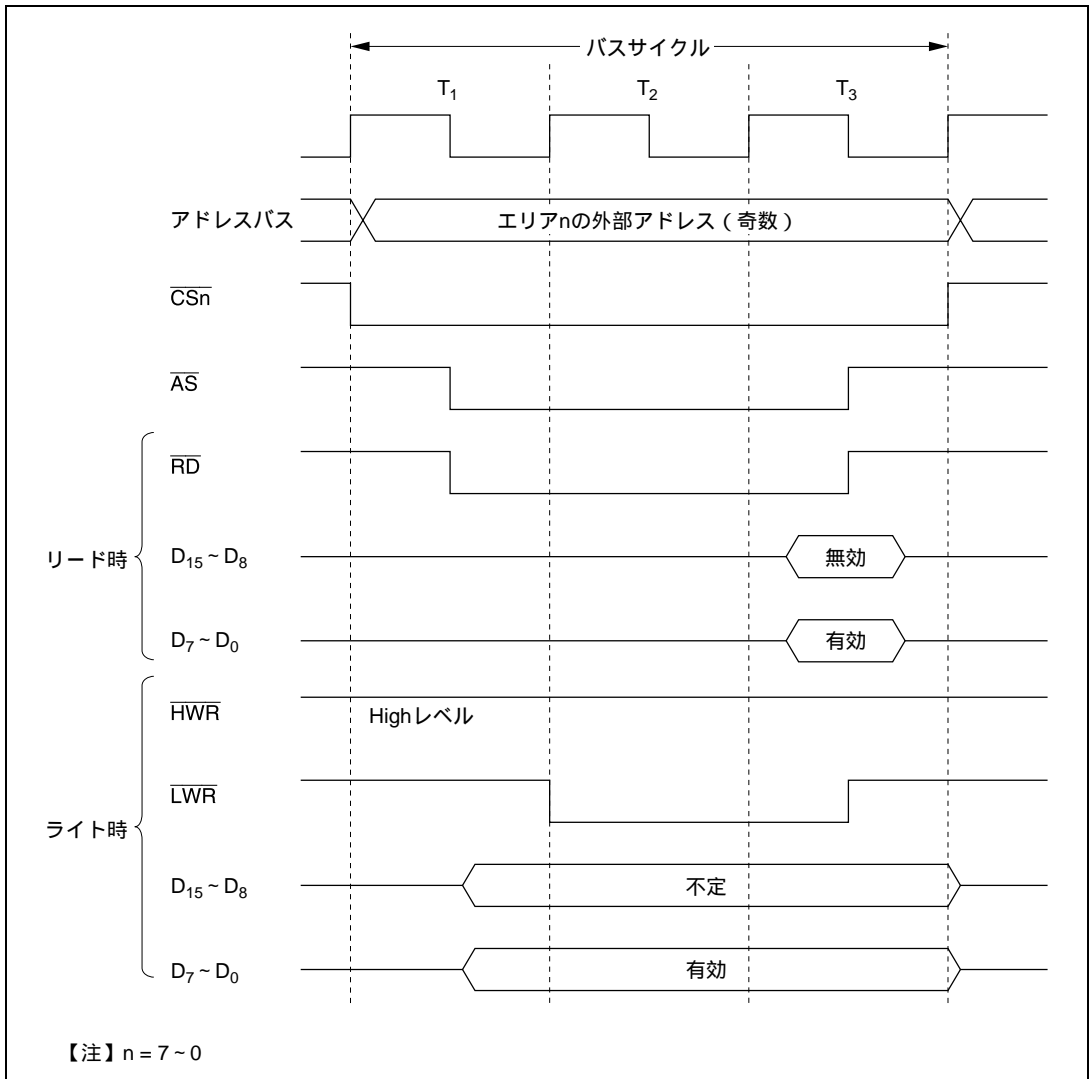


図 6.7 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (2)
(奇数アドレスバイトアクセス)

6. バスコントローラ

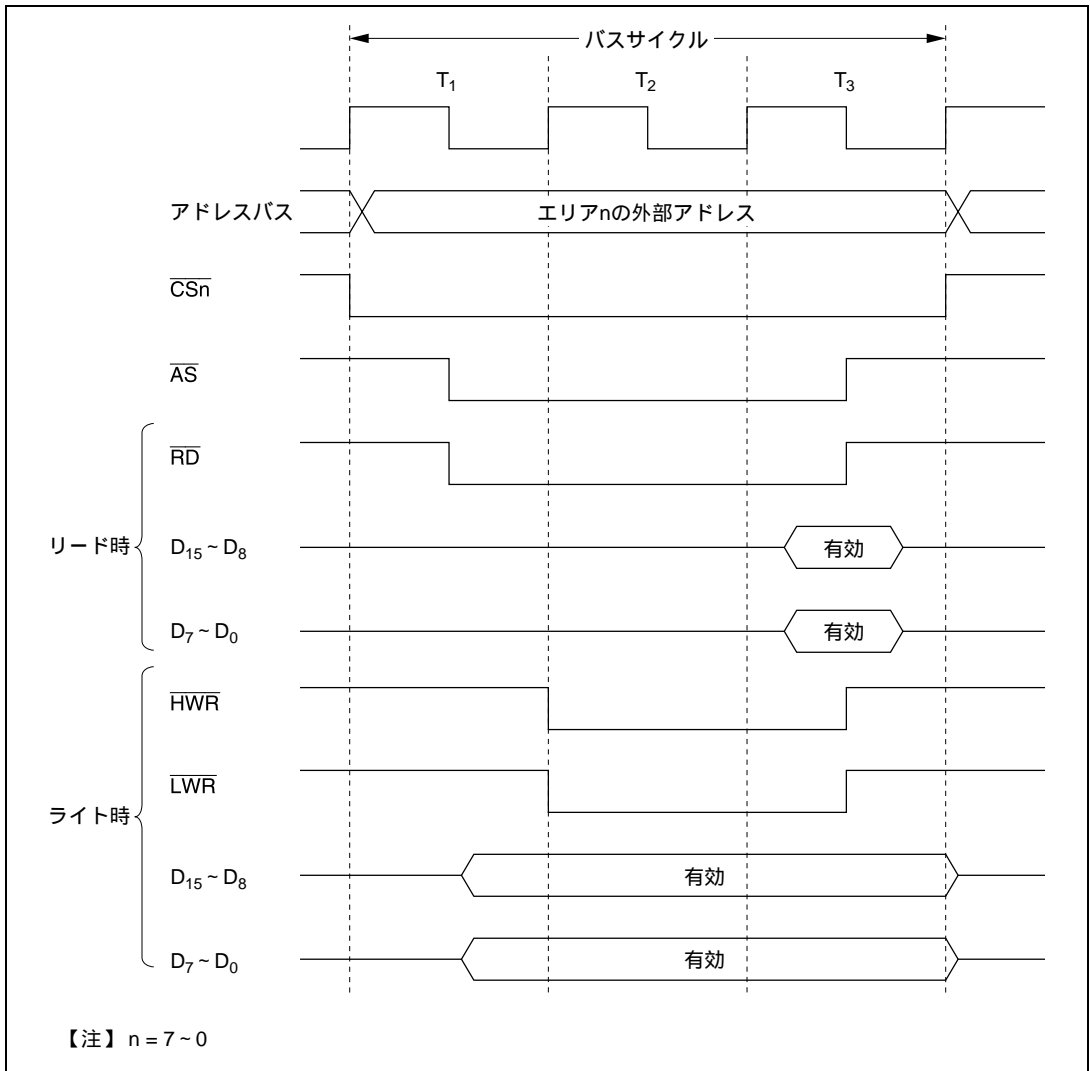


図 6.8 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (3)
(ワードアクセス)

(4) 16ビット2ステートアクセス空間

図 6.9~図 6.11 に 16 ビット 2 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することはできません。

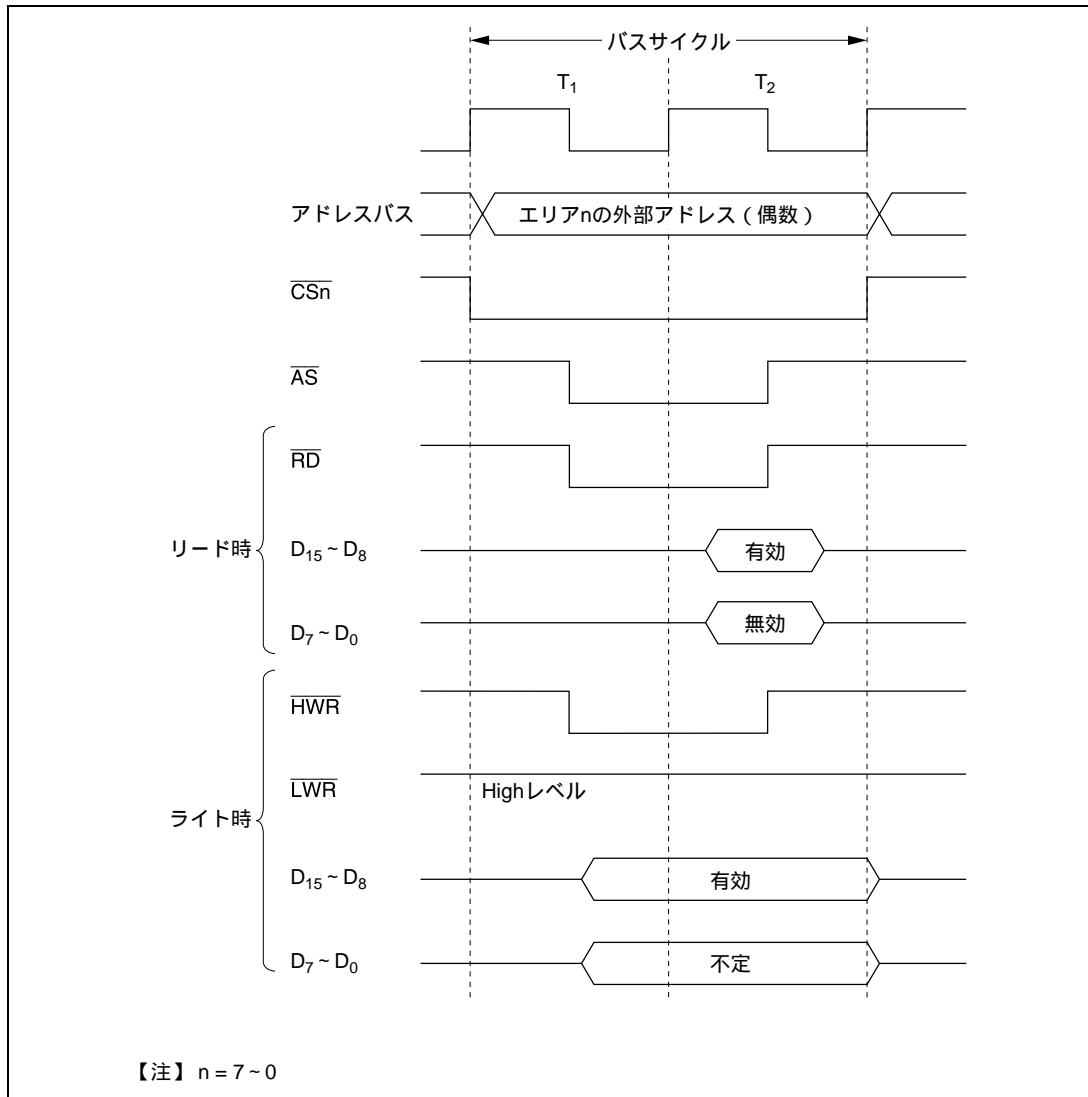


図 6.9 16ビット2ステートアクセス空間のバス制御信号タイミング(1)
(偶数アドレスバイトアクセス)

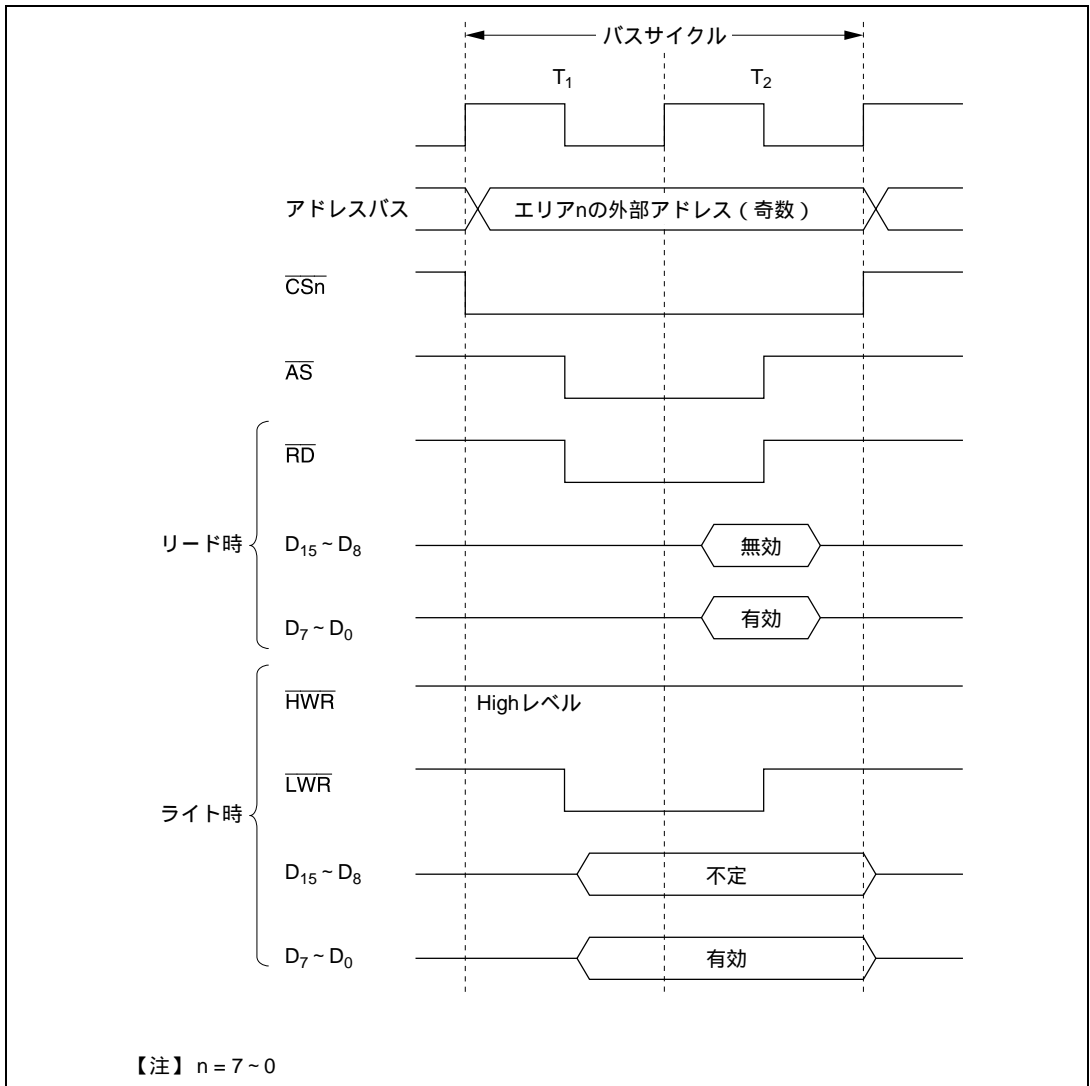


図 6.10 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (2)
(奇数アドレスバイトアクセス)

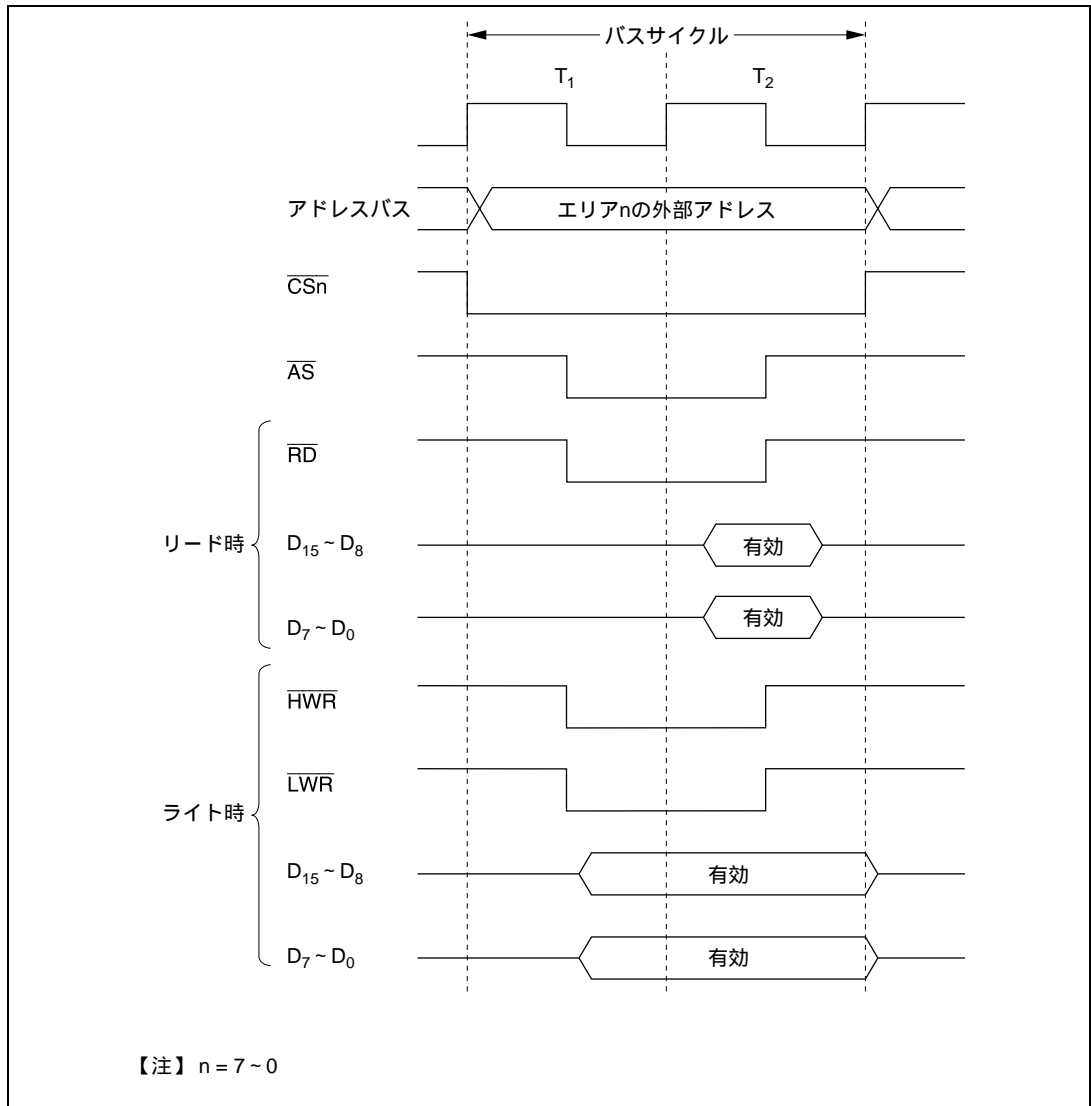


図 6.11 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (3) (ワードアクセス)

6.3.5 ウェイトモード

ウェイトモードには、4種類のモードがあります。ウェイトモードの選択方法を表 6.5 に示します。

表 6.5 ウェイトモードの選択

ASTCR ASTn ビット	WCER WCEn ビット	WCR		WSC 動作	ウェイトモード
		WMS1 ビット	WMS0 ビット		
0	-	-	-	禁止	ウェイト禁止
1	0	-	-	禁止	端子ウェイトモード 0
1	1	0	0	許可	プログラマブルウェイトモード
		0	1	許可	ウェイト禁止
		1	0	許可	端子ウェイトモード 1
		1	1	許可	端子オートウェイトモード

【注】 n=7~0

(1) WSC 動作を禁止したエリアのウェイトモード

WSC の動作を禁止した外部 3 ステートアクセス空間 ($ASTn = 1$, $WCEn = 0$) では端子ウェイトモード 0 によるウェイトステートの挿入が可能です。他のウェイトモードは使用できません。また、WMS1、0 ビットの設定は WSC の動作を禁止したエリアでは意味がありません。

(a) 端子ウェイトモード 0

端子ウェイトモード 0 では、 \overline{WAIT} 端子によるウェイトステートのみが挿入されます。外部 3 ステートアクセス空間をアクセスするとき、 T_2 ステートの立下がりのタイミングで \overline{WAIT} 端子が Low レベルであると、 T_w ステートが挿入されます。 \overline{WAIT} 端子が Low レベルに保持されると \overline{WAIT} 端子が High レベルに立上がるまで T_w が挿入されます。

このタイミングを図 6.12 に示します。

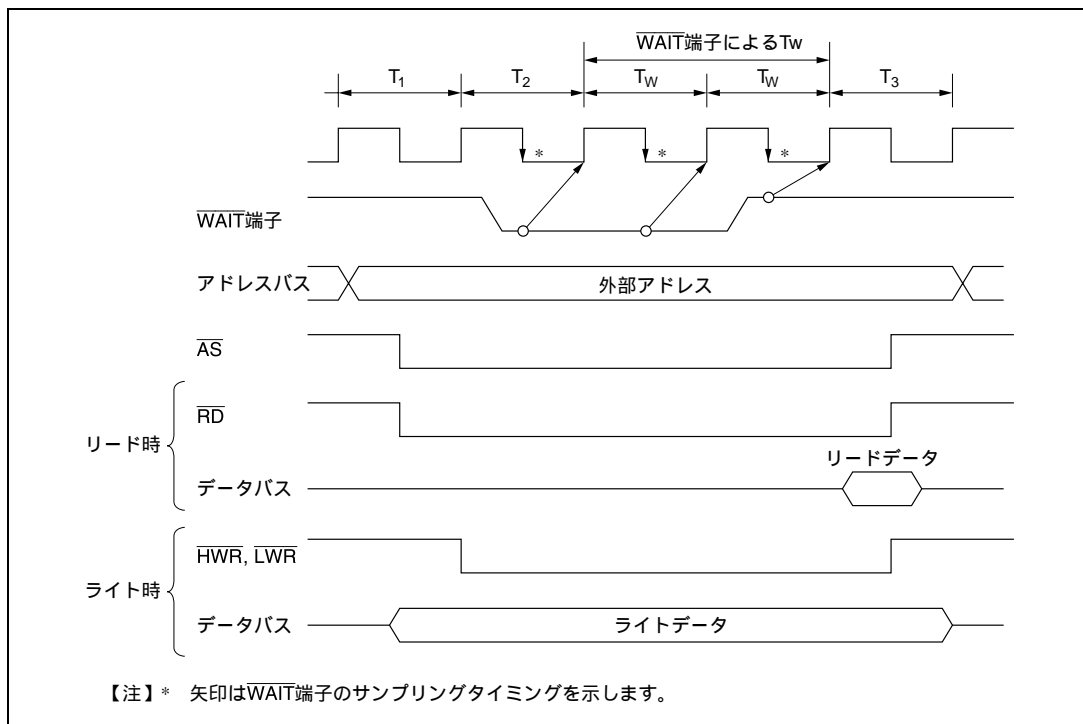


図 6.12 端子ウェイトモード 0

(2) WSC 動作を許可したエリアのウェイトモード

WSC の動作を許可した外部 3 ステートアクセス空間 ($AST_n = 1$, $WCE_n = 1$) では WMS1、0 ビットにより端子ウェイトモード 1、端子オートウェイトモード、プログラマブルウェイトモードの中からウェイトモードを選択できます。ただし WMS1、0 ビットは各エリアに共通ですので、WSC の動作を許可したエリアのウェイトモードは同一になります。

(a) 端子ウェイトモード 1

端子ウェイトモード 1 では、外部 3 ステートアクセス空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の立下がりのタイミングで $\overline{\text{WAIT}}$ 端子を Low レベルにすることで、さらに T_w を挿入することができます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルに立上がるまで T_w が挿入されます。

端子ウェイトモード 1 は、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入すると T_w 数を変える場合などに有効です。

ウェイトカウントが 0 の場合は、端子ウェイトモード 0 と同様の動作になります。

ウェイトカウントが 1 ($WC1 = 0$, $WC0 = 1$) で、かつ $\overline{\text{WAIT}}$ 端子入力による T_w が 1 ステートの場合のタイミングを図 6.13 に示します。

6. バスコントローラ

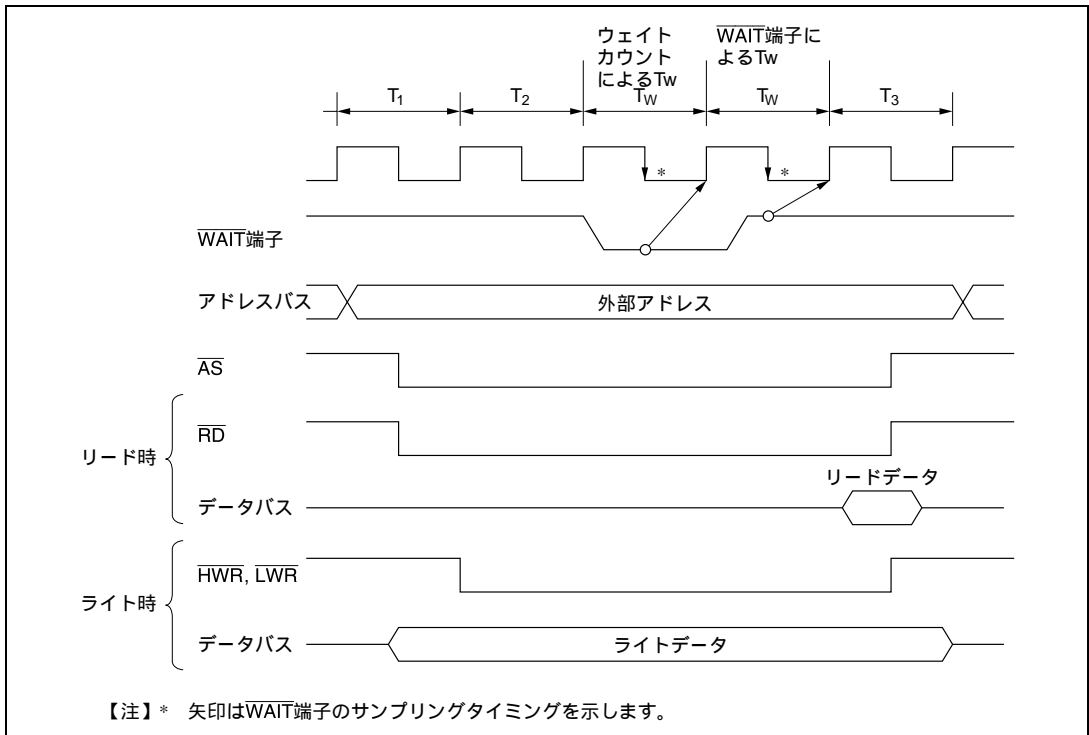


図 6.13 端子ウェイトモード 1

(b) 端子オートウェイトモード

端子オートウェイトモードでは、 $\overline{\text{WAIT}}$ 端子が Low レベルのとき、WC1、0 ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの の立下がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであれば WC1、0 ビットによって設定された数だけ T_w を挿入します。

$\overline{\text{WAIT}}$ 端子を Low レベルに保持しても、設定された数を超える T_w は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを図 6.14 に示します。図 6.14 は、ウェイトカウントが 1 の場合です。

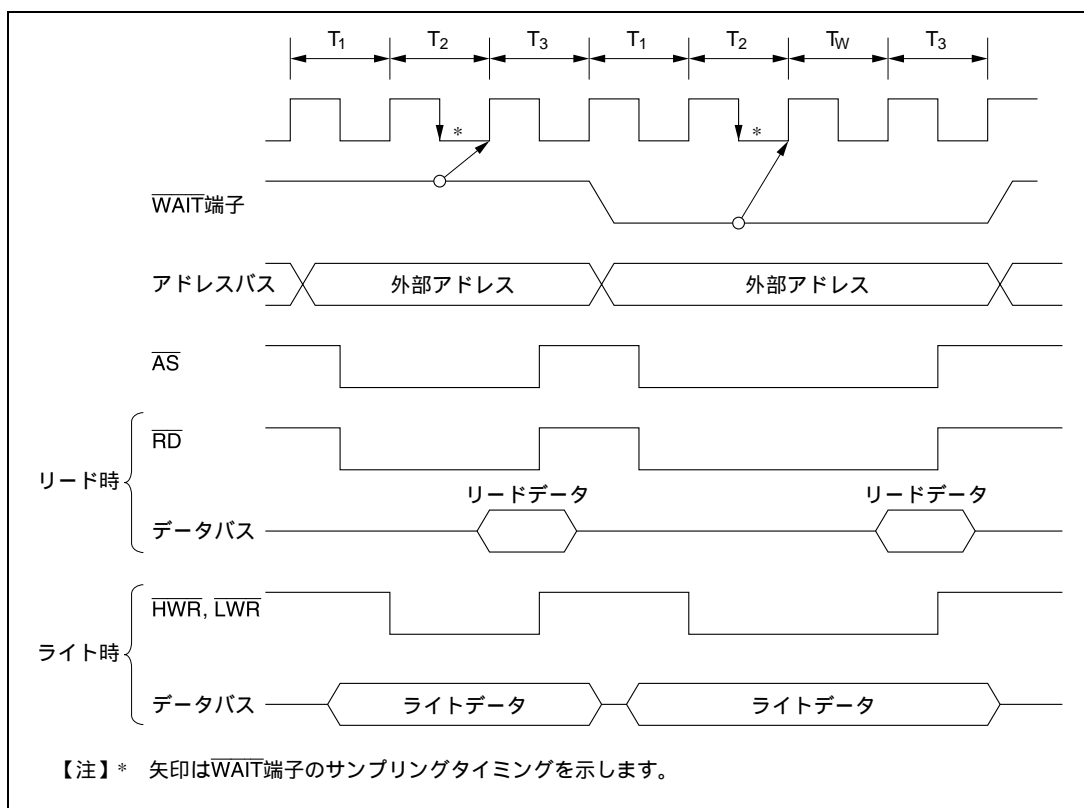


図 6.14 端子オートウェイトモード

6. バスコントローラ

(c) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部 3 ステートアクセス空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 6.15 に示します。図 6.15 は、ウェイトカウントが 1 の場合 ($WC1=0$ 、 $WC0=1$) です。

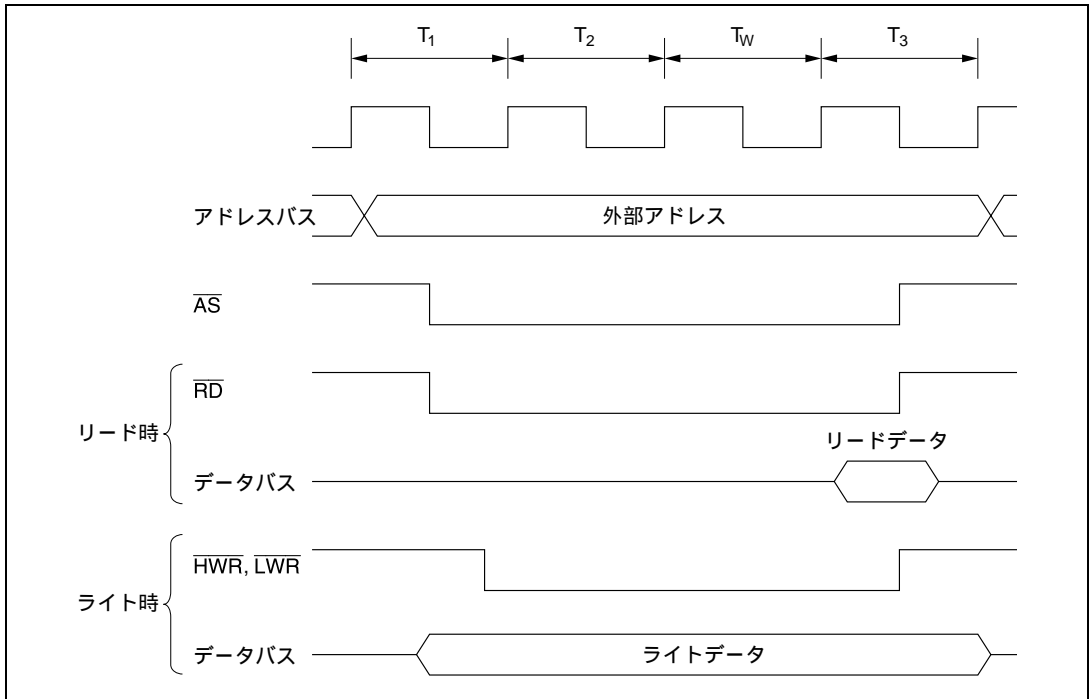


図 6.15 プログラマブルウェイトモード

(3) WSC の設定例

リセット後の WCER、ASTCR は、いずれも H'FF、WCR は H'F3 となっています。このため全エリアともプログラマブルウェイトモードの 3 ステート挿入となります。

その後、ソフトウェアにより、ASTCR、WCER、WCR を設定し、エリアごとのウェイトモードを選択してください。

ウェイトモードの設定例を図 6.16 に示します。

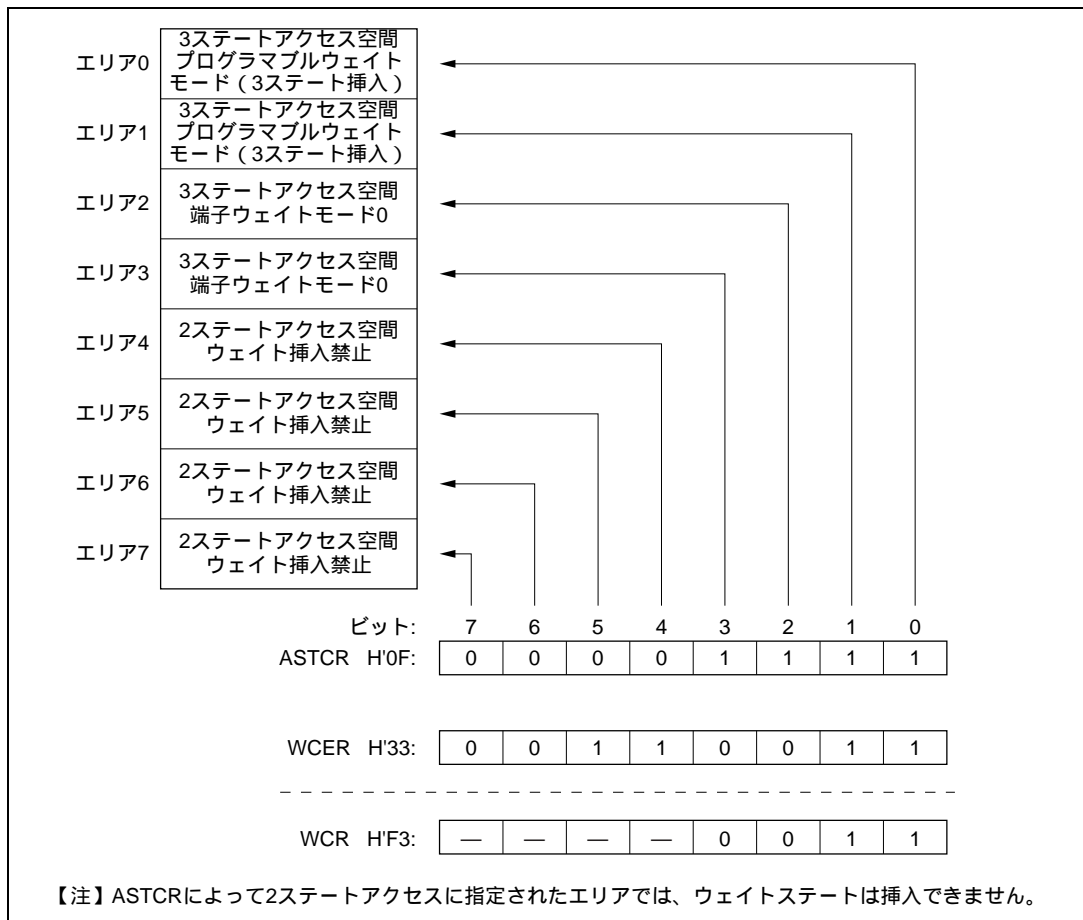


図 6.16 ウェイトモードの設定例

6.3.6 メモリとの接続例

バスコントローラは、各エリアごとに、データバス幅を8ビットアクセス空間または16ビット空間に、またアクセスステート数を2ステートアクセス空間または3ステートアクセス空間のいずれかに設定することができます。3ステートアクセス空間に対しては多種のウェイト挿入が可能ですので高速性が要求されるデバイスと低速デバイスを容易に接続することが可能です。

本LSIとメモリとの接続例を図6.18に、また、このときのメモリマップを図6.17に示します。エリア0に256kワード×16ビットのEPROMを接続し、16ビット3ステートアクセスを行います。エリア1に32kワード×8ビットのSRAMを2個（SRAM1、2）接続し、16ビット2ステートアクセスを行います。

エリア2に32kワード×8ビットのSRAMを1個（SRAM3）接続し、8ビット3ステートアクセス・端子オートウェイトステートを行います。

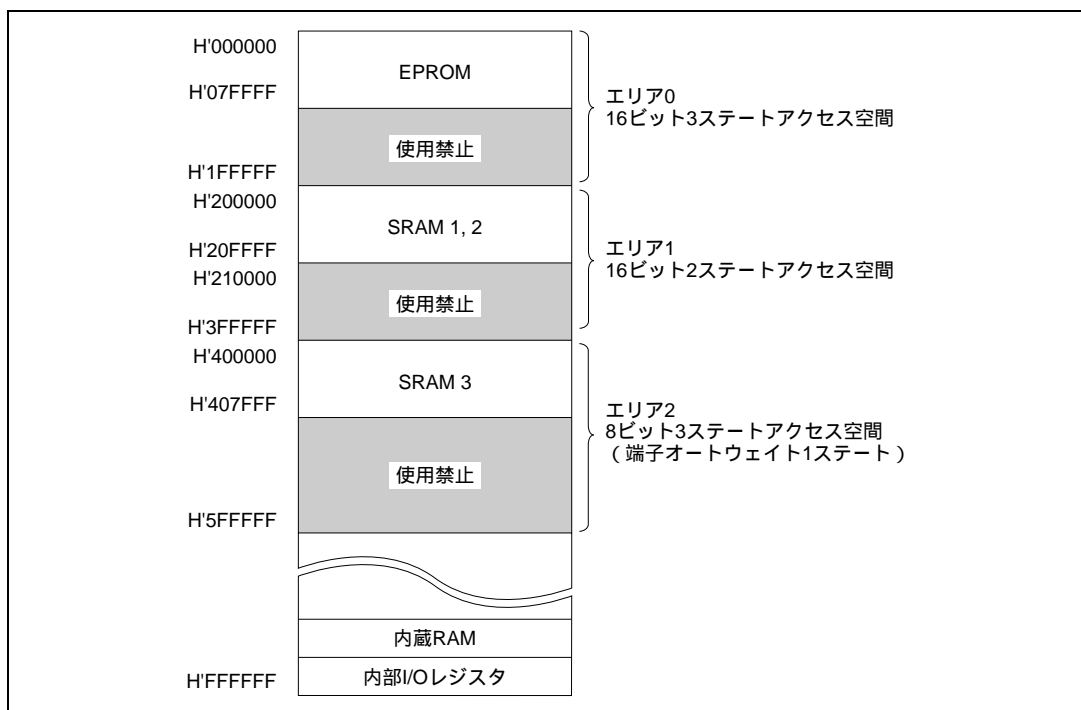


図 6.17 メモリマップ例

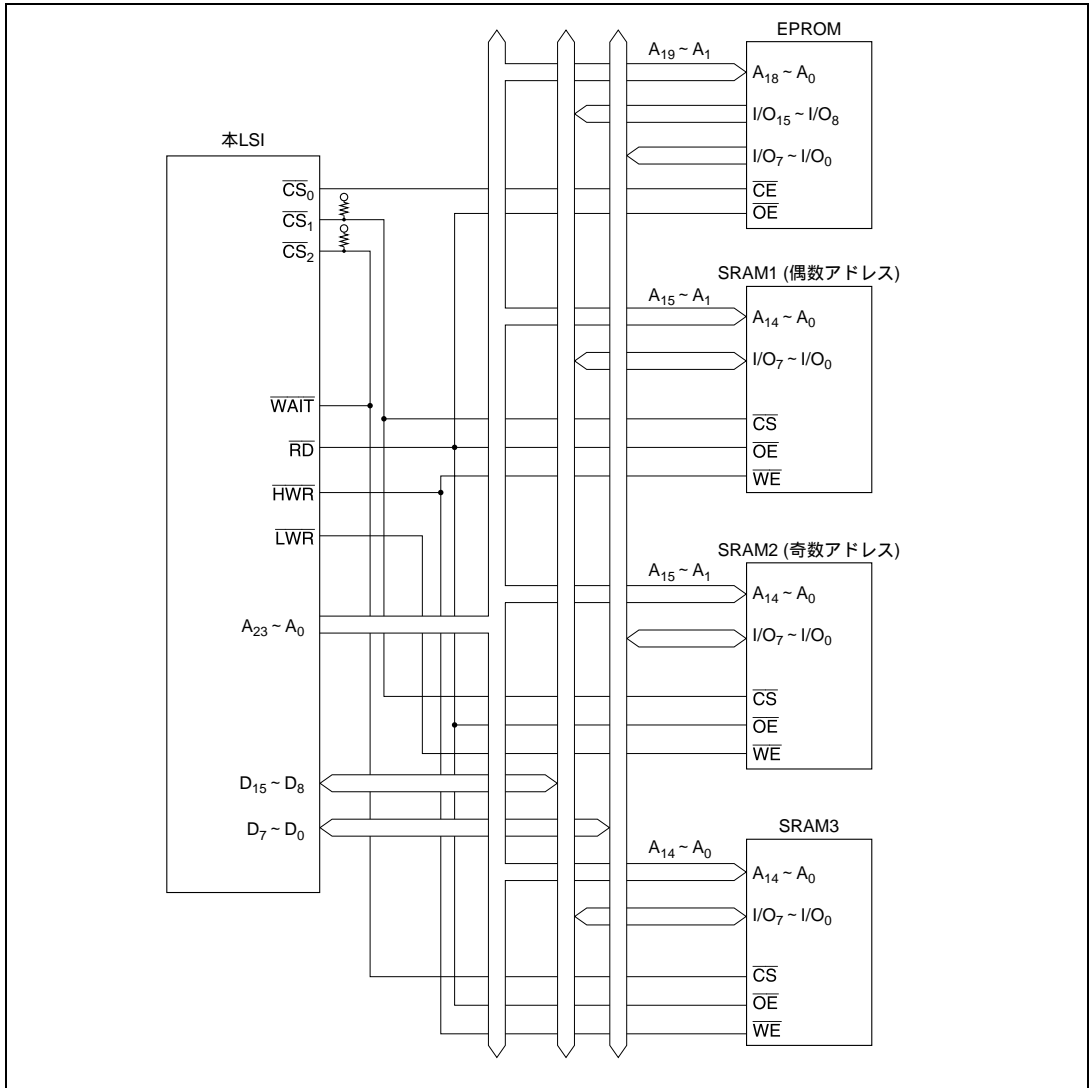


図 6.18 メモリとの接続例

6.3.7 バスアービタの動作

バスコントローラは、バスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、リフレッシュコントローラ、外部バスマスタの4つがあり、バス権を占有した状態でリード/ライトやリフレッシュ動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクリッジ信号によりバスの使用を許可して、バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクリッジを返します。バス権要求アクリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

（高） 外部バスマスタ > リフレッシュコントローラ > DMAC > CPU （低）

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

(1) CPU

CPUは最も優先順位の低いバスマスタです。CPUがバスマスタの場合にDMAC、リフレッシュコントローラ、または外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- [1] バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません
- [2] CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生するとただちに、バス権が移行します。CPUの内部動作は継続されます。
- [3] CPUがスリープモードの場合、他のバスマスタからバス権要求が発生するとただちにバス権が移行します。

(2) DMAC

DMACは、起動要求が発生するとバスアービタに対してバス権を要求します。

DMACがバスマスタの場合にリフレッシュコントローラ、または外部バスマスタからのバス権要求が発生すると、バスアービタはバス権の要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

DMACの1バイトまたは1ワードの転送が終了したとき、バス権を移行します。DMACの転送サイクルはリードサイクルとライトサイクルで構成され、これらのリードサイクルと次のライトサイクルの間ではバス権は移行しません。

なお、DMACの各チャンネルには優先順位が設けられています。詳細については、「8.4.9 DMAC複数チャンネルの動作」を参照してください。

(3) リフレッシュコントローラ

リフレッシュコントローラは、リフレッシュサイクル要求が発生するとバスマスタに対してバス権を要求します。リフレッシュサイクルが終了すると、バス権を放棄します。詳細は、「第7章 リフレッシュコントローラ」を参照してください。

(4) 外部バスマスタ

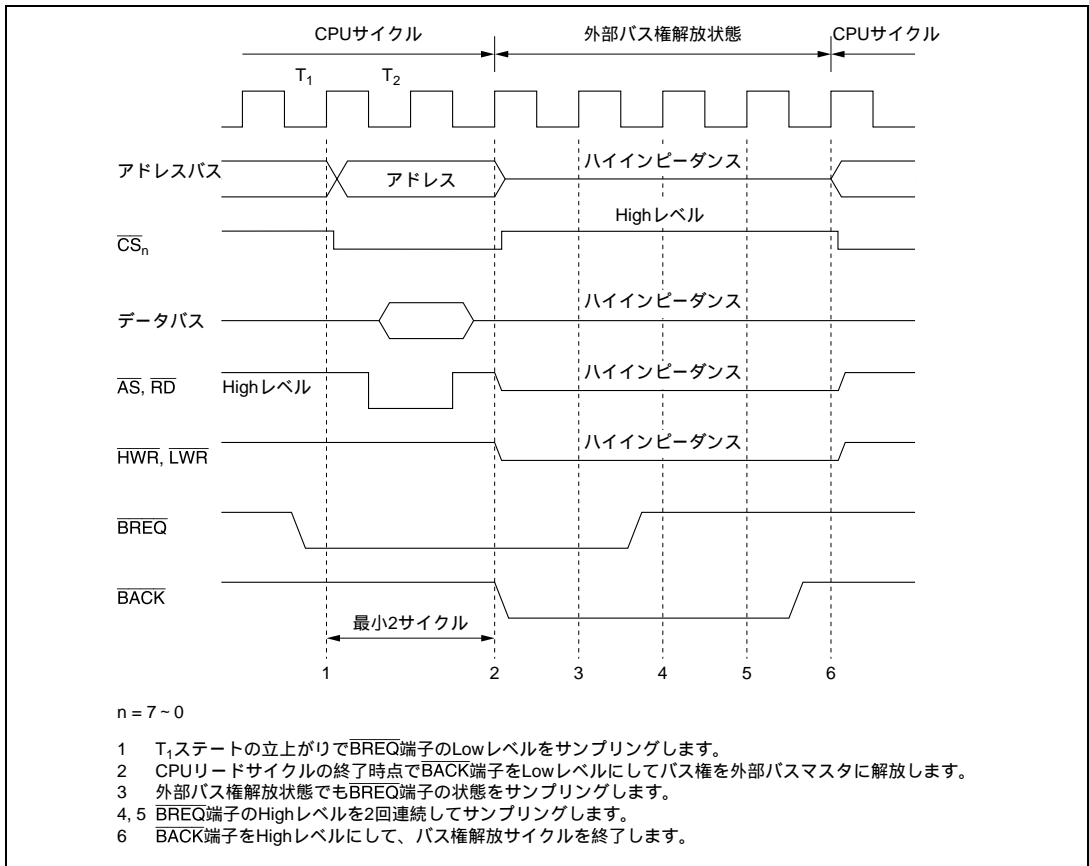
BRCR の BRLE ビットを 1 にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、 $\overline{\text{BREQ}}$ 端子を Low レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタが一旦バス権を獲得すると $\overline{\text{BREQ}}$ を Low レベルにしている間、バス権を保持し続けます。本 LSI は、外部バス権解放状態になると、アドレスバス、データバス、バス制御信号 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$) がハイインピーダンスとなり、チップセレクト信号 ($\overline{\text{CSn}}$: n = 7 ~ 0) は High レベルとなります。また外部バス権解放状態では、BACK 端子が Low レベル出力となります。

バスアービタは、の立上がりで $\overline{\text{BREQ}}$ 端子をサンプリングします。 $\overline{\text{BREQ}}$ 端子の Low レベルをサンプルすると所定のタイミングで外部バス権解放状態となります。 $\overline{\text{BACK}}$ 端子が Low レベルになるまで $\overline{\text{BREQ}}$ 端子を Low レベルに保持してください。

外部バス権解放で、 $\overline{\text{BREQ}}$ 端子の High レベルを 2 回連続してサンプリングすると、 $\overline{\text{BACK}}$ 端子を High レベルにしてバス権解放サイクルを終了します。

図 6.19 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。 $\overline{\text{BREQ}}$ 端子を Low レベルとしてから外部バス権解放状態となるまで最小 2 ステートがかかります。

6. バスコントローラ



- 1 T₁ステートの立上がりでBREQ端子のLowレベルをサンプリングします。
- 2 CPUリードサイクルの終了時点でBACK端子をLowレベルにしてバス権を外部バスマスタに解放します。
- 3 外部バス権解放状態でもBREQ端子の状態をサンプリングします。
- 4, 5 BREQ端子のHighレベルを2回連続してサンプリングします。
- 6 BACK端子をHighレベルにして、バス権解放サイクルを終了します。

図 6.19 外部バス権解放状態 (2 ステートアクセス空間リードサイクル中)

6.4 使用上の注意

6.4.1 DRAM および PSRAM の接続

エリア 3 に DRAM または PSRAM を直接接続する場合、バス制御信号タイミングが異なります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

6.4.2 レジスタライトタイミング

(1) ABWCR、ASTCR および WCER のライトタイミング

ABWCR、ASTCR および WCER をライトした場合、ライトデータは次のバスサイクルから有効になります。

このタイミングを図 6.20 に示します。

エリア 0 上の命令でエリア 0 を 3 ステートアクセス空間から 2 ステートアクセス空間へ変更した場合の例です。

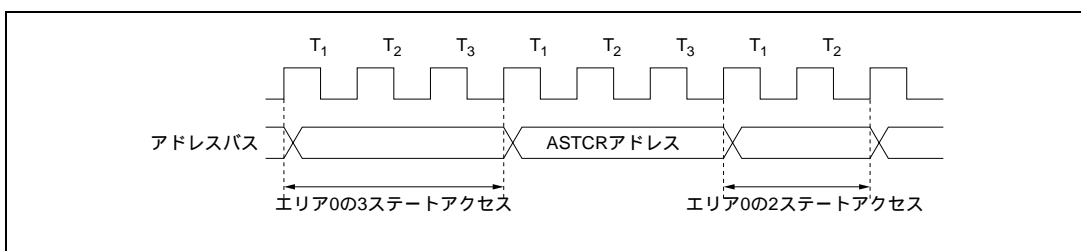


図 6.20 ASTCR ライトタイミング

(2) DDR ライトタイミング

\overline{CS}_n 端子に対応するポートの DDR をライトし、 \overline{CS}_n 出力と入力ポートを切り換える場合、ライトデータは DDR ライトサイクルの T_3 から有効になります。このタイミングを図 6.21 に示します。 \overline{CS}_1 端子を出力とする場合の例です。

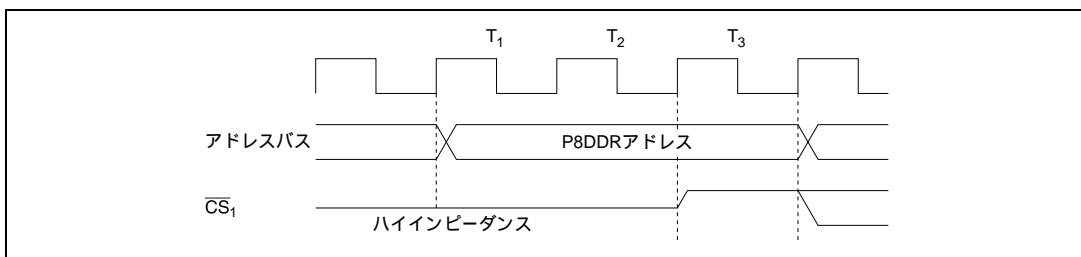


図 6.21 DDR ライトタイミング

(3) BRCR ライトタイミング

BRCR にライトし、 $A_{23} \sim A_{21}$ 出力と入出力ポートを切り換える場合、ライトデータは BRCR ライトサイクルの T_1 から有効になります。このタイミングを図 6.22 に示します。

入力ポートを $A_{23} \sim A_{21}$ 出力とする場合の例です。

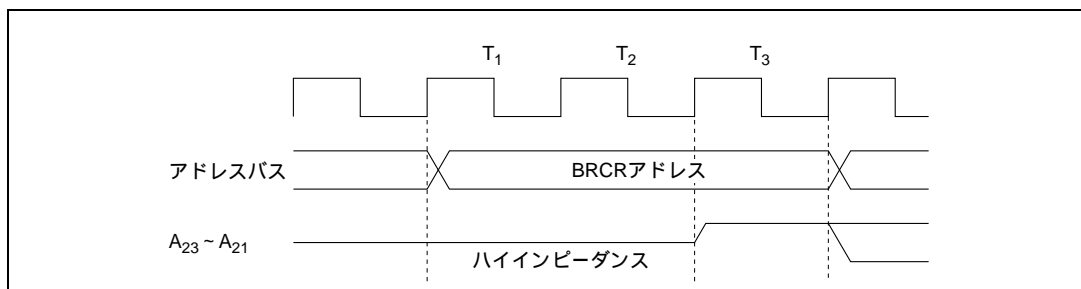


図 6.22 BRCR ライトタイミング

6.4.3 $\overline{\text{BREQ}}$ 端子の入力タイミング

$\overline{\text{BREQ}}$ 端子を Low レベルにした後、 $\overline{\text{BACK}}$ 端子が Low レベルになるまで Low レベルを保持してください。 $\overline{\text{BACK}}$ 端子が Low レベルになる前に $\overline{\text{BREQ}}$ 端子を High レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときには $\overline{\text{BREQ}}$ 端子を 3 ステート以上 High レベルにしてください。 $\overline{\text{BREQ}}$ 端子の High レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

6.4.4 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に 1 ステートバス解放状態が発生することがあります (図 6.23 参照)。

ソフトウェアスタンバイモードを使用するときは、SLEEP 命令を実行する前に、BRCR の BRLE ビットを 0 にクリアしてください。

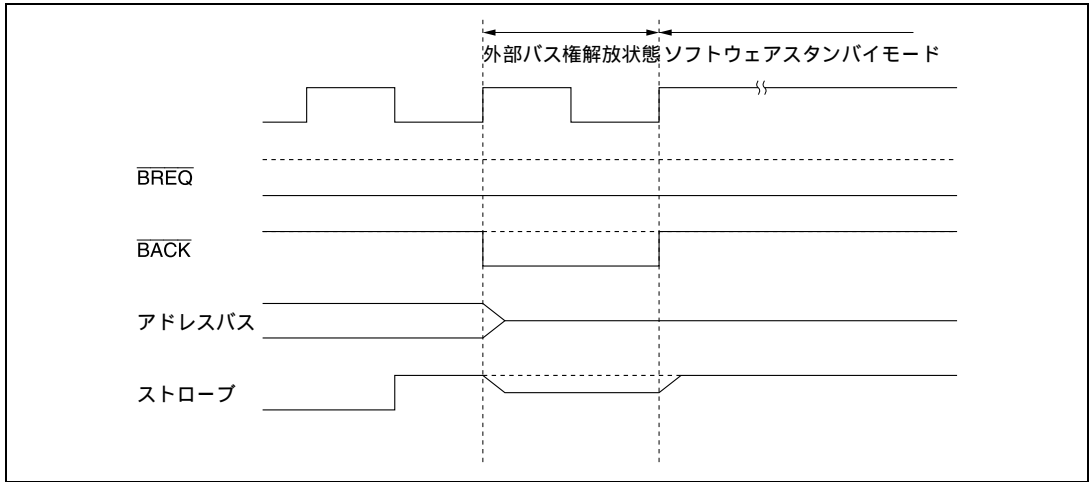


図 6.23 バス解放状態とソフトウェアスタンバイモードの競合

7. リフレッシュコントローラ

7.1 概要

本 LSI は、リフレッシュコントローラを内蔵しており、 $\times 16$ ビット構成の DRAM を直接接続できます。また、DRAM の代わりに PSRAM を直接接続することも可能です。

DRAM または PSRAM を直接接続できる外部アドレス空間はエリア 3 です。モード 1、2 (1M バイトモード) は最大 128k バイト、モード 3、4、6 (16M バイトモード) は最大 2M バイトを使用できます。

DRAM、PSRAM のリフレッシュが不要なシステムでは、8 ビットインターバルタイマとして使用できます。

消費電流低減のため、リフレッシュコントローラを使用しない場合には、リフレッシュコントローラを単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

【注】モード 5、7 では、リフレッシュ機能は使用できません。

7.1.1 特長

リフレッシュコントローラは、DRAM リフレッシュ制御、PSRAM リフレッシュ制御、またはインターバルタイマのうち、いずれか一つの機能を使用できます。リフレッシュコントローラの特長を以下に示します。

- (1) DRAM リフレッシュコントローラとしての特長
 - $\times 16$ ビット構成の DRAM を直接接続可能
 - 2CAS 方式、または 2WE 方式のいずれか一方を選択可能
 - DRAM のアドレス入力のマルチプレクスは、8 ビットカラムアドレスまたは 9 ビットカラムアドレスのいずれか一つを選択可能
 - (例)
 - 1M ビット DRAM 8 ビットロウアドレス \times 8 ビットカラムアドレス
 - 4M ビット DRAM 9 ビットロウアドレス \times 9 ビットカラムアドレス
 - 4M ビット DRAM 10 ビットロウアドレス \times 8 ビットカラムアドレス
 - リフレッシュ制御は $\overline{\text{CAS}}$ ピフオ $\overline{\text{RAS}}$ リフレッシュを採用
 - プログラムによりリフレッシュ間隔を選択可能
 - プログラムによりセルフリフレッシュモードを設定可能
 - ウェイトステート挿入可能
- (2) PSRAM リフレッシュコントローラとしての特長
 - リフレッシュ制御のため $\overline{\text{RFSH}}$ 信号を出力
 - プログラムによりリフレッシュ間隔を選択可能
 - プログラムによりセルフリフレッシュモードを設定可能
 - ウェイトステート挿入可能
- (3) インターバルタイマとしての特長
 - リフレッシュタイマカウンタ (RTCNT) を 8 ビットアップカウンタとして使用可能

7. リフレッシュコントローラ

- カウントクロックは7種類(/2、 /8、 /32、 /128、 /512、 /2048、 /4096)から選択可能
- RTCNT とリフレッシュタイムコンスタントレジスタ (RTCOR) のコンペアマッチにより割込み発生可能

7.1.2 ブロック図

リフレッシュコントローラのブロック図を図 7.1 に示します。

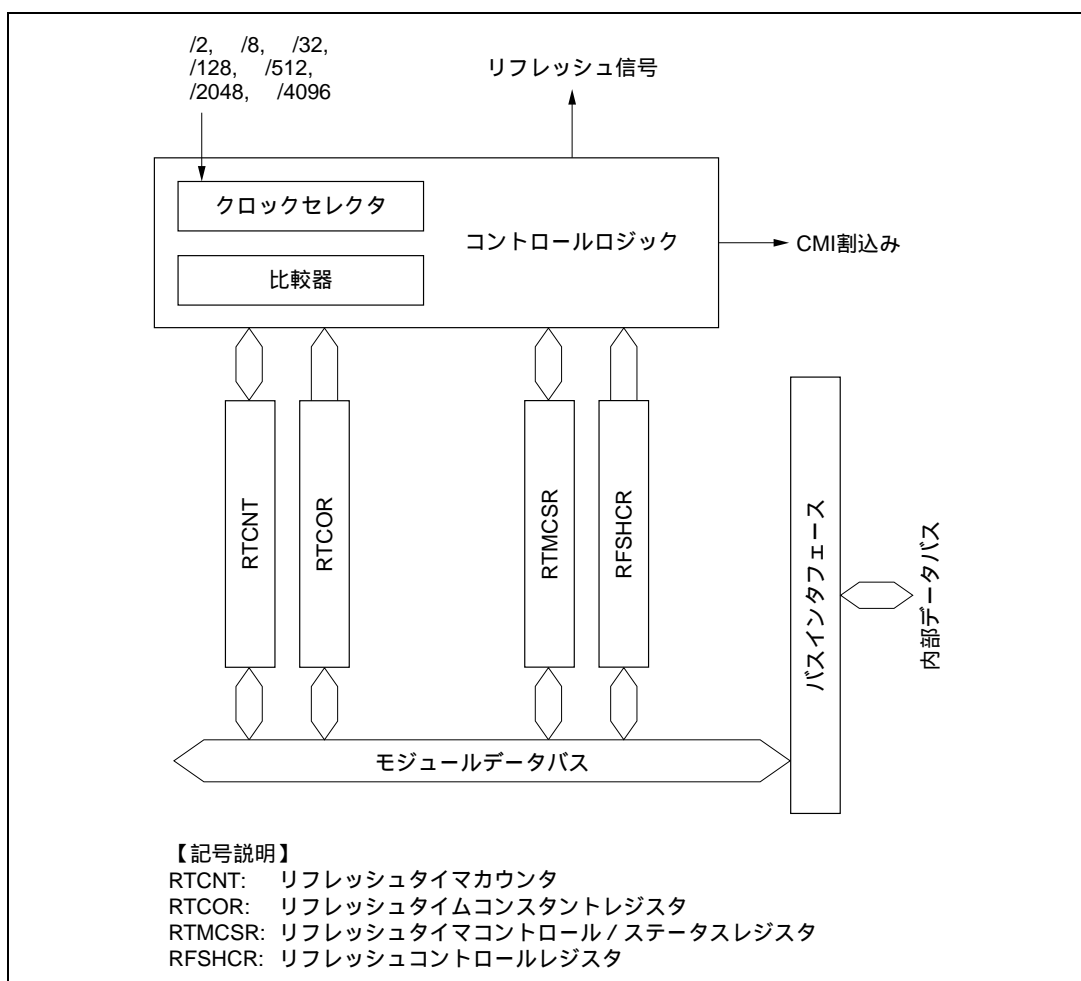


図 7.1 リフレッシュコントローラのブロック図

7.1.3 端子構成

リフレッシュコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

端子	信号		入出力	機能
	名称	略称		
RFSH	リフレッシュ	RFSH	出力	リフレッシュサイクル時 Low レベルとなります。DRAM および PSRAM のリフレッシュに使用します。
HWR	アッパーライト/アッパーカラムアドレスストロープ	UW / UCAS	出力	2WE 方式 DRAM の UW 端子 / 2CAS 方式 DRAM の UCAS 端子と接続します。
LWR	ロウアライト/ロウアカラムアドレスストロープ	LW / LCAS	出力	2WE 方式 DRAM の LW 端子 / 2CAS 方式 DRAM の LCAS 端子と接続します。
RD	カラムアドレスストロープ/ライトイネーブル	CAS / WE	出力	2WE 方式 DRAM の CAS 端子 / 2CAS 方式 DRAM の WE 端子と接続します。
CS ₃	ロウアドレスストロープ	RAS	出力	DRAM の RAS 端子と接続します。

7.1.4 レジスタ構成

リフレッシュコントローラのレジスタ構成を表 7.2 に示します。

表 7.2 レジスタ構成

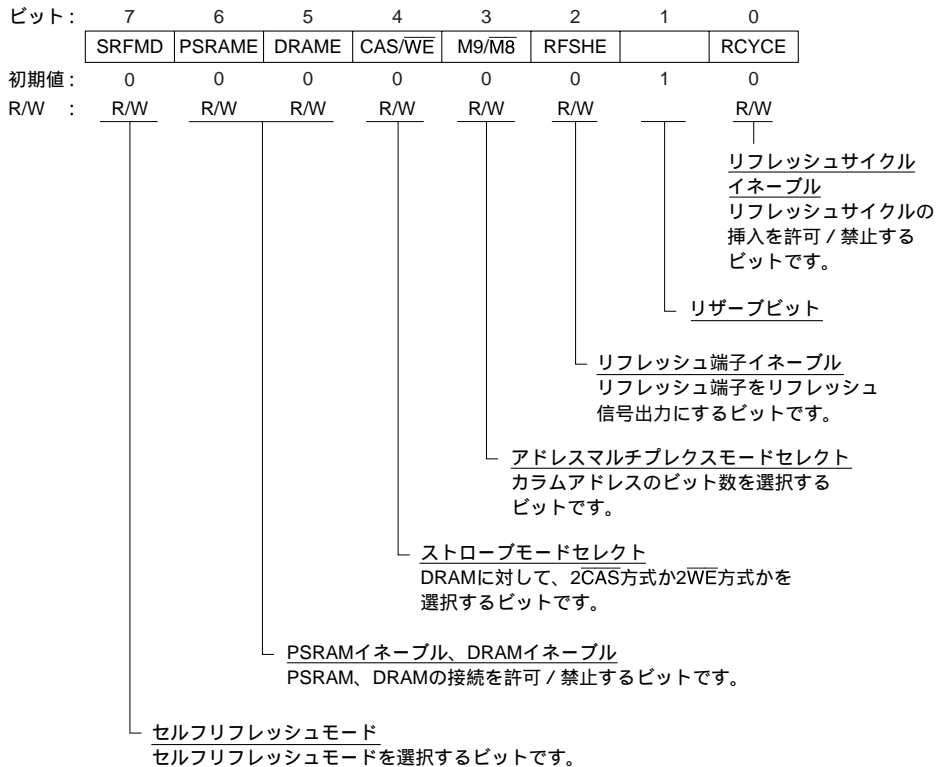
アドレス*	名称	略称	R/W	初期値
H'FFAC	リフレッシュコントロールレジスタ	RFSHCR	R/W	H'02
H'FFAD	リフレッシュタイマコントロール/ステータスレジスタ	RTMCSR	R/W	H'07
H'FFAE	リフレッシュタイマカウンタ	RTCNT	R/W	H'00
H'FFAF	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】 * アドレスの下位 16 ビットを示しています。

7.2 各レジスタの説明

7.2.1 リフレッシュコントロールレジスタ (RFSHCR)

RFSHCR は、8 ビットのリード/ライト可能なレジスタで、リフレッシュコントローラの動作モードを選択します。



RFSHCR は、リセット、またはハードウェアスタンバイモード時に H'02 にイニシャライズされます。

ビット7: セルフリフレッシュモード (SRFMD)

ソフトウェアスタンバイモード時、DRAM または PSRAM のセルフリフレッシュを指定します。

PSRAME = 1、DRAME = 0 のとき、SRFMD ビットを 1 にセットした後に、ソフトウェアスタンバイモードに遷移すると、PSRAM のセルフリフレッシュが可能となります。

また、PSRAME = 0、DRAME = 1 のとき、SRFMD ビットを 1 にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAM のセルフリフレッシュが可能となります。

いずれの場合もソフトウェアスタンバイモードの解除により、通常のアクセス状態に戻ります。

ビット7	説明
SRFMD	
0	ソフトウェアスタンバイモード時に、DRAM または PSRAM のセルフリフレッシュを禁止 (初期値)
1	ソフトウェアスタンバイモード時に、DRAM または PSRAM のセルフリフレッシュが可能

ビット6 : PSRAM イネーブル (PSRAME)

ビット5 : DRAM イネーブル (DRAME)

外部アドレス空間のエリア3に対して、DRAM または PSRAM の接続を許可 / 禁止します。

DRAM または PSRAM を接続する場合、エリア3のバスサイクルおよびリフレッシュサイクルはASTCRの設定にかかわらず、3ステートアクセスとなります。ただし、ウェイトステートは、ASTCRのAST3=0の場合、挿入することはできません。

PSRAME ビットまたは DRAME ビットが1にセットされていると、RFSHCRのビット0、2、3、4、およびRTMCSR、RTCNT、RTCORへのライトはできません。ただし、RTMCSRのCMFフラグについては、フラグをクリアするための0ライトのみ可能です。

ビット6	ビット5	説明
PSRAME	DRAME	
0	0	インターバルタイムとして使用可能 (DRAM、PSRAMの直接接続不可能)
	1	DRAMの直接接続が可能
1	0	PSRAMの直接接続が可能
	1	使用禁止

ビット4 : ストローブモードセレクト (CAS/WE)

2CAS方式か2WE方式のいずれかを選択します。

本ビットの設定はPSRAME=0、DRAME=1のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが1にセットされているとライトすることはできません。

ビット4	説明
CAS/WE	
0	2WE方式を選択 (初期値)
1	2CAS方式を選択

ビット3 : アドレスマルチプレクスモードセレクト (M9/M8)

8ビットカラムアドレスまたは9ビットカラムアドレスのいずれかを選択します。

本ビットの設定はPSRAME=0、DRAME=1のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが1にセットされているとライトすることはできません。

7. リフレッシュコントローラ

ビット3 M9/M8	説明
0	8ビットカラムモードを選択 (初期値)
1	9ビットカラムモードを選択

ビット2: リフレッシュ端子イネーブル (RFSHE)

RFSH 端子のリフレッシュ信号出力を許可 / 禁止します。

本ビットは、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

ビット2 RFSHE	説明
0	RFSH 端子のリフレッシュ信号出力を禁止 (RFSH 端子は入出力ポートとして使用可) (初期値)
1	RFSH 端子のリフレッシュ信号出力を許可

ビット1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット0: リフレッシュサイクルイネーブル (RCYCE)

リフレッシュサイクルの挿入を許可または禁止します。本ビットは PSRAME = 1、または DRAME = 1 のときに有効となります。PSRAME = 0 かつ DRAME ビット = 0 のときは、本ビットの設定にかかわらずリフレッシュサイクルは挿入されません。

ビット0 RCYCE	説明
0	リフレッシュサイクルを禁止 (初期値)
1	エリア 3 に対するリフレッシュサイクルを許可

7.2.2 リフレッシュタイマコントロールステータスレジスタ (RTMCSR)

RTMCSR は、8 ビットのリード/ライト可能なレジスタで、RTCNT に入力するクロックの選択を行います。また、インターバルタイマとして使用する場合は、割込み要求の許可/禁止も行います。

ビット:	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W :	R/(W)*	R/W	R/W	R/W	R/W	—	—	—

リザーブビット

クロックセレクト2~0
RTCNTに入力するクロックを内部クロック
から選択するビットです。

コンペアマッチインタラプトイネーブル
CMFフラグによる割込み (CMI) 要求を
許可/禁止するビットです。

コンペアマッチフラグ
RTCNTとRTCORの値が一致した
ことを示すステータスフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

ビット7、6は、リセット、またはスタンバイモード時にイニシャライズされます。

ビット5~3は、リセット、またはハードウェアスタンバイモード時にイニシャライズされますが、ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに移移する前の状態を保持しています。

ビット7: コンペアマッチフラグ (CMF)

RTCNT と RTCOR の値が一致したことを示すステータスフラグです。

ビット7	説明
CMF	
0	[クリア条件] CMF = 1 の状態で、CMF フラグをリードした後、CMF フラグに0をライトしたとき
1	[セット条件] RTCNT = RTCOR になったとき

ビット6: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF フラグが1にセットされたとき、CMF フラグによる割込み (CMI) 要求を許可/禁止します。

PSRAME = 1、または DRAME = 1 のとき、CMIE ビットは常に0にクリアされています。

7. リフレッシュコントローラ

ビット6	説明	
CMIE		
0	CMF フラグによる割込み (CMI) 要求を禁止	(初期値)
1	CMF フラグによる割込み (CMI) 要求を許可	

ビット5~3: クロックセレクト 2~0 (CKS2~CKS0)

RTCNT に入力するクロックを内部クロックから選択します。リフレッシュコントローラとして使用する場合は、RTCNT と RTCOR のコンペアマッチによりリフレッシュ要求を周期的に発生します。インターバルタイマとして使用する場合は、コンペアマッチにより CMI 割込み要求を周期的に発生します。

本ビットは、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

ビット5	ビット4	ビット3	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
		1	/2 でカウント
	1	0	/8 でカウント
		1	/32 でカウント
1	0	0	/128 でカウント
		1	/512 でカウント
	1	0	/2048 でカウント
		1	/4096 でカウント

ビット2~0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

7.2.3 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、リード/ライト可能な 8 ビットのアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNT は、RTMCSR の CKS2~CKS0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致(コンペアマッチ)すると、CMF フラグが 1 にセットされ RTCNT は H'00 にイニシャライズされます。

RTCNT は、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

RTCNT は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

7.2.4 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると RTMCSR の CMF フラグが 1 にセットされ、同時に RTCNT が H'00 にクリアされます。

RTCOR は、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

RTCOR は、リセット、またはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに移行する前の値を保持しています。

7.3 動作説明

7.3.1 概要

リフレッシュコントローラは、エリア 3 に接続した DRAM のインタフェース、エリア 3 に接続した PSRAM のインタフェース、またはインターバルタイマのうち、いずれか一つを選択することができます。

上記の 3 種類の使用方法の概要を表 7.3 に示します。

表 7.3 リフレッシュコントローラの設定方法

レジスタ設定		用途	DRAM インタフェース	PSRAM インタフェース	インターバルタイマ
RFSHCR	SRFMD		セルフリフレッシュモードの指定		0 に設定
	PSRAME		0 に設定	1 に設定	0 に設定
	DRAME		1 に設定	0 に設定	0 に設定
	CAS / \overline{WE}		2 \overline{CAS} 方式 / 2 \overline{WE} 方式選択		-
	M9 / $\overline{M8}$		コラムモード選択	-	-
	RFSHE		RFSH 端子出力選択		0 に設定
	RCYCE		リフレッシュサイクル挿入選択		-
RTCOR			リフレッシュ間隔を設定		割込み周期を設定
RTMCSR	CKS2 ~ 0				
	CMF		RTCNT = RTCOR のとき、1 にセット		
	CMIE		0 に設定		割込み要求の許可 / 禁止を選択
P8DDR	P8 _i DDR		1 に設定 (\overline{CS}_3 出力設定)		0 または 1 に設定
ABWCR	ABW3		0 に設定		-

7. リフレッシュコントローラ

(1) DRAM インタフェース

RTCOR、RTMCSR、RFSHCR の順に初期設定を行い、PSRAME ビットを 0、DRAME ビットを 1 に設定することにより、×16 ビット構成の DRAM をエリア 3 に接続できます。このとき、ポート 8 データディレクションレジスタ (P8DDR) の P8₁DDR ビットを 1 にセットして \overline{CS}_3 出力に設定してください。また、ABWCR により、エリア 3 を 16 ビットアクセス空間に設定してください。

(2) PSRAM インタフェース

RTCOR、RTMCSR、RFSHCR の順に初期設定を行い、PSRAME ビットを 1、DRAME ビットを 0 に設定することにより、PSRAM をエリア 3 に接続できます。このとき、P8DDR の P8₁DDR ビットを 1 にセットして \overline{CS}_3 出力に設定してください。

(3) インターバルタイマ

PSRAME = 0 かつ DRAME = 0 のとき、インターバルタイマとして動作します。RTCOR を設定後、RTMCSR で入力クロックを選択して、CMIE ビットを 1 にセットしてください。

上記設定により、RTCOR と RTMCSR の CKS2 ~ CKS0 ビットで決まるコンペアマッチの周期ごとに CMI 割込み要求が発生することができます。

RTCOR、RTMCSR、RFSHCR の設定は、必ず PSRAME = 0 かつ DRAME = 0 の状態で行ってください。どちらかのビットが 1 の場合、ライトできません。

7.3.2 DRAM リフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

リフレッシュ要求の周期は、RTCOR と RTMCSR の CKS2 ~ CKS0 ビットにより設定します。リフレッシュ要求の周期を図 7.2 に示します。

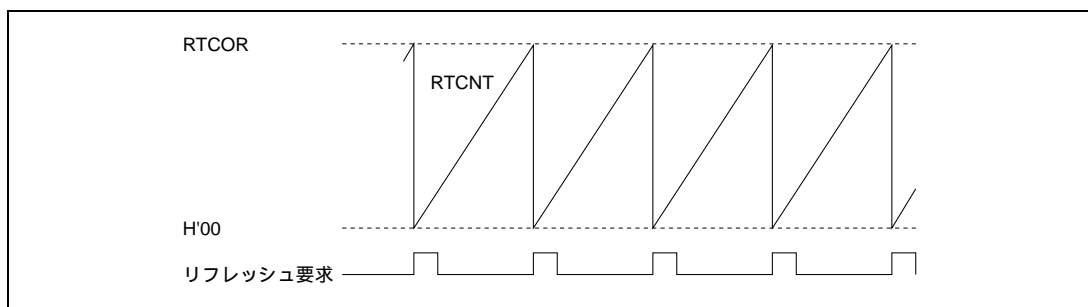


図 7.2 リフレッシュ要求の周期 (RCYCE = 1)

リフレッシュ要求は図 7.2 に示す周期で発生しますが、実際のリフレッシュサイクルの実行は、フレッシュコントローラがバス権を獲得した後に行われます。

表 7.4 にエリア 3 の設定と DRAM のリード/ライトサイクルおよびリフレッシュサイクルの関係を示します。

表 7.4 エリア 3 の設定と DRAM アクセスサイクルおよびリフレッシュサイクルの関係

エリア 3 の設定	CPU または DMA コントローラによる リード/ライトサイクル	リフレッシュサイクル
2 ステートアクセス空間 (AST3=0)	<ul style="list-style-type: none"> 3 ステート ウェイト挿入不可 	<ul style="list-style-type: none"> 3 ステート ウェイト挿入不可
3 ステートアクセス空間 (AST3=1)	<ul style="list-style-type: none"> 3 ステート ウェイト挿入可能 	<ul style="list-style-type: none"> 3 ステート ウェイト挿入可能

リフレッシュサイクルを挿入するために、RFSHCR の RCYCE ビットを 1 にセットしてください。リフレッシュサイクル実行の状態遷移を図 7.3 に示します。

リセット直後、またはスタンバイモード解除直後にリフレッシュ要求が発生すると、リフレッシュ要求保持状態に遷移します。このときには、リフレッシュサイクルは実行されません。イニシャライズのためにリフレッシュサイクルを必要とする DRAM を使用する場合は注意してください。

リフレッシュ要求保持状態でリフレッシュ要求が発生すると、リフレッシュコントローラはバス権を獲得してリフレッシュサイクルを実行します。また、リフレッシュサイクル実行中に発生したリフレッシュ要求は無視されます。

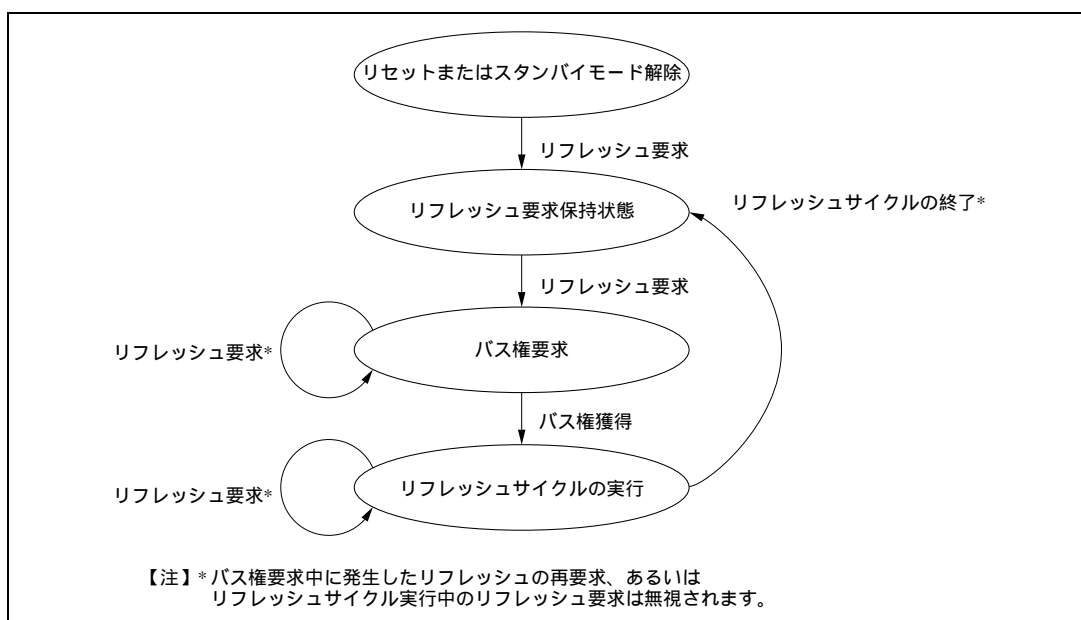


図 7.3 リフレッシュサイクル実行の状態遷移図

(2) アドレスマルチプレクス

RFSHCR の M9/M8 ビットにより、カラムアドレスのビット数を指定すると、アドレスのマルチプレクスは表 7.5 に示すようになります。また、そのときのアドレス出力タイミングを図 7.4 に示します。アドレスのマルチプレクス出力は、エリア 3 に対してのみ行われます。

7. リフレッシュコントローラ

表 7.5 アドレスマルチプレクス

アドレス端子	$A_{23} \sim A_{10}$	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
ロウアドレス出力時のアドレス出力	$A_{23} \sim A_{10}$	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
カラムアドレス出力時のアドレス出力	$M9/\overline{M8} = 0$	$A_{23} \sim A_{10}$	A_9	A_8	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}
	$M9/\overline{M8} = 1$	$A_{23} \sim A_{10}$	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}

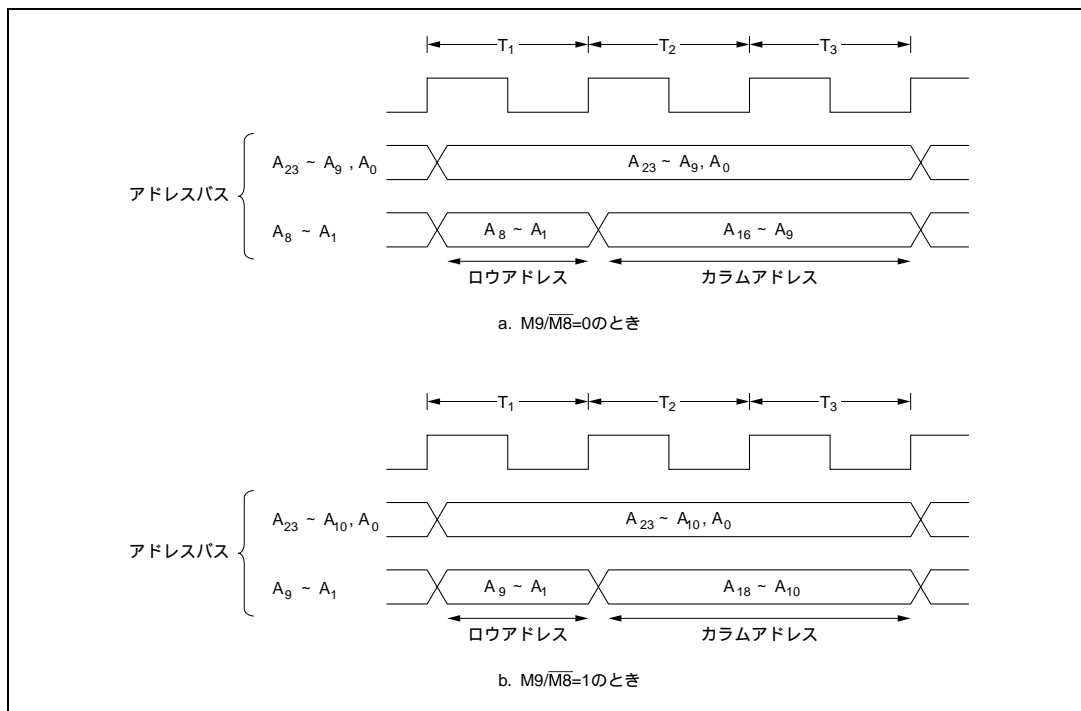


図 7.4 マルチプレクスされたアドレス出力の例（ウェイト挿入なし）

(3) $2\overline{CAS}$ 方式と $2\overline{WE}$ 方式

×16 ビット構成の DRAM のうち、 \overline{UCAS} 、 \overline{LCAS} を使用する方式と \overline{UW} 、 \overline{LW} を使用する方式のいずれかを RFSHCR の CAS/ \overline{WE} ビットにより、選択することができます。

$2\overline{CAS}$ 方式および $2\overline{WE}$ 方式の各々の場合について、DRAM と本 LSI の端子対応を表 7.6 に示します。

表 7.6 DRAM と本 LSI の端子対応

本 LSI の端子	DRAM の端子	
	CAS/ $\overline{WE} = 0$ ($2\overline{WE}$ 方式)	CAS/ $\overline{WE} = 1$ ($2\overline{CAS}$ 方式)
\overline{HWR}	\overline{UW}	\overline{UCAS}
\overline{LWR}	\overline{LW}	\overline{LCAS}
RD	\overline{CAS}	\overline{WE}
\overline{CS}_3	\overline{RAS}	\overline{RAS}

$2\overline{WE}$ 方式による DRAM インタフェースを図 7.5 (1) に、また $2\overline{CAS}$ 方式による DRAM インタフェースを図 7.5 (2) に示します。

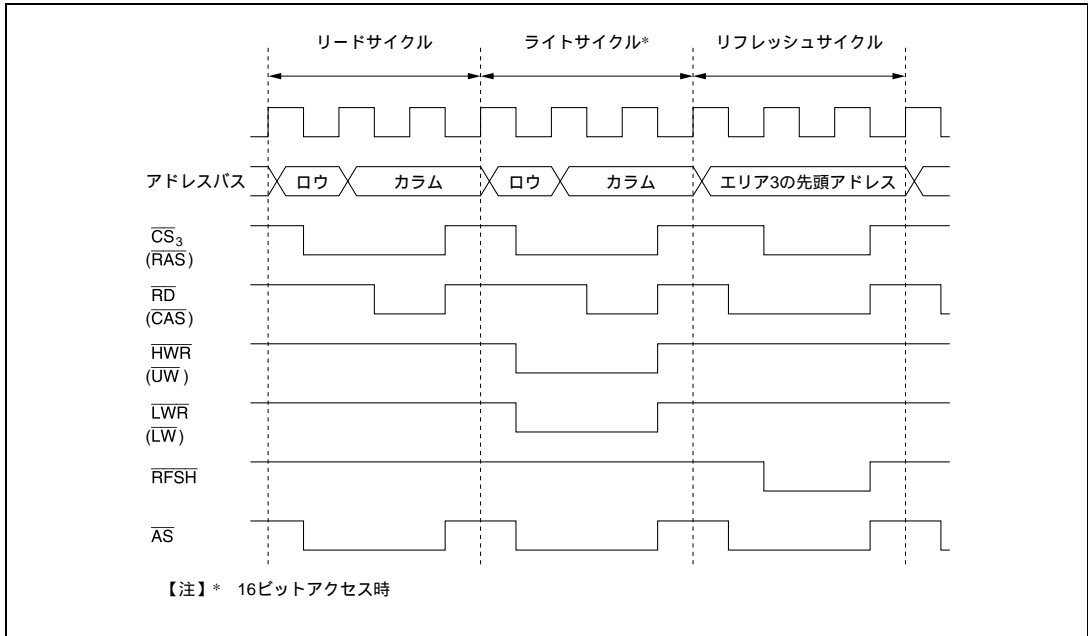


図 7.5 DRAM 制御信号出力タイミング (1) ($2\overline{WE}$ 方式)

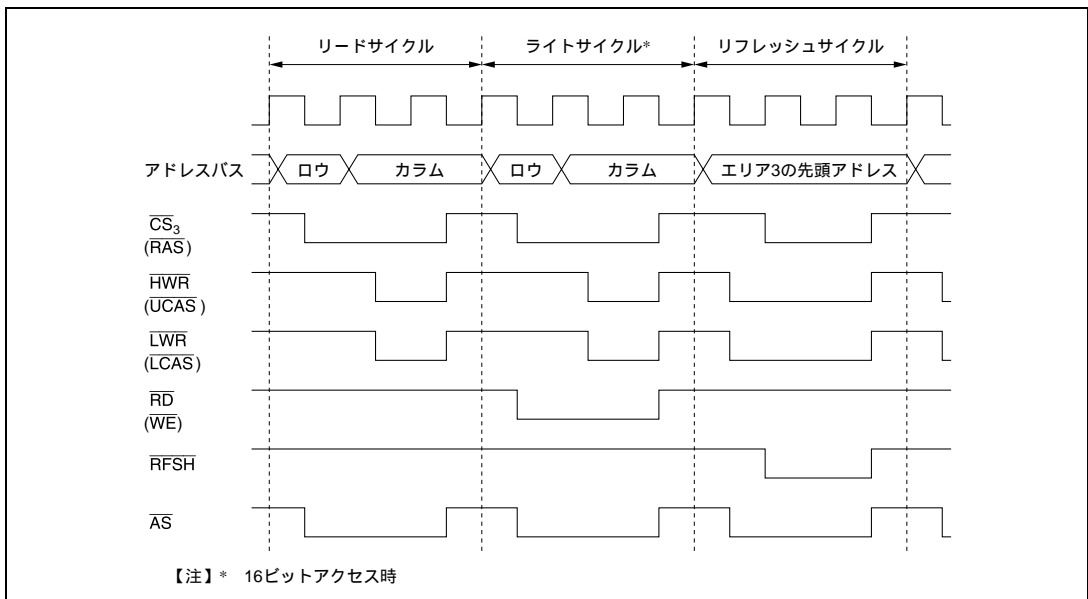


図 7.5 DRAM 制御信号出力タイミング (2) ($2\overline{CAS}$ 方式)

7. リフレッシュコントローラ

(4) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMA コントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(5) ウェイトステートの挿入

ASTCR の AST3 を 1 にセットした場合、バスコントローラの設定によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

詳細は、「6.3.5 ウェイトモード」を参照してください。

(6) セルフリフレッシュモード

DRAM には、セルフリフレッシュ機能を持つものがあります。

RFSHCR の SRFMD ビットを 1 にセットした後、ソフトウェアスタンバイモードに遷移すると、 $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ の順に Low レベル出力となり、DRAM のセルフリフレッシュ機能を使用することができます。ソフトウェアスタンバイモードが解除されると、 $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ は High レベル出力となります。

表 7.7 にソフトウェアスタンバイモード時の端子状態を、また図 7.6 に信号出力タイミングを示します。

表 7.7 ソフトウェアスタンバイモード時の端子状態 (PSRAM = 0、DRAM = 1)

信号	ソフトウェアスタンバイモード時			
	SRFMD = 0		SRFMD = 1 (セルフリフレッシュモード)	
	CAS/WE = 0	CAS/WE = 1	CAS/WE = 0	CAS/WE = 1
$\overline{\text{HWR}}$	ハイインピーダンス	ハイインピーダンス	High	Low
$\overline{\text{LWR}}$	ハイインピーダンス	ハイインピーダンス	High	Low
$\overline{\text{RD}}$	ハイインピーダンス	ハイインピーダンス	Low	High
$\overline{\text{CS}}_3$	High	High	Low	Low
$\overline{\text{RFH}}$	High	High	Low	Low

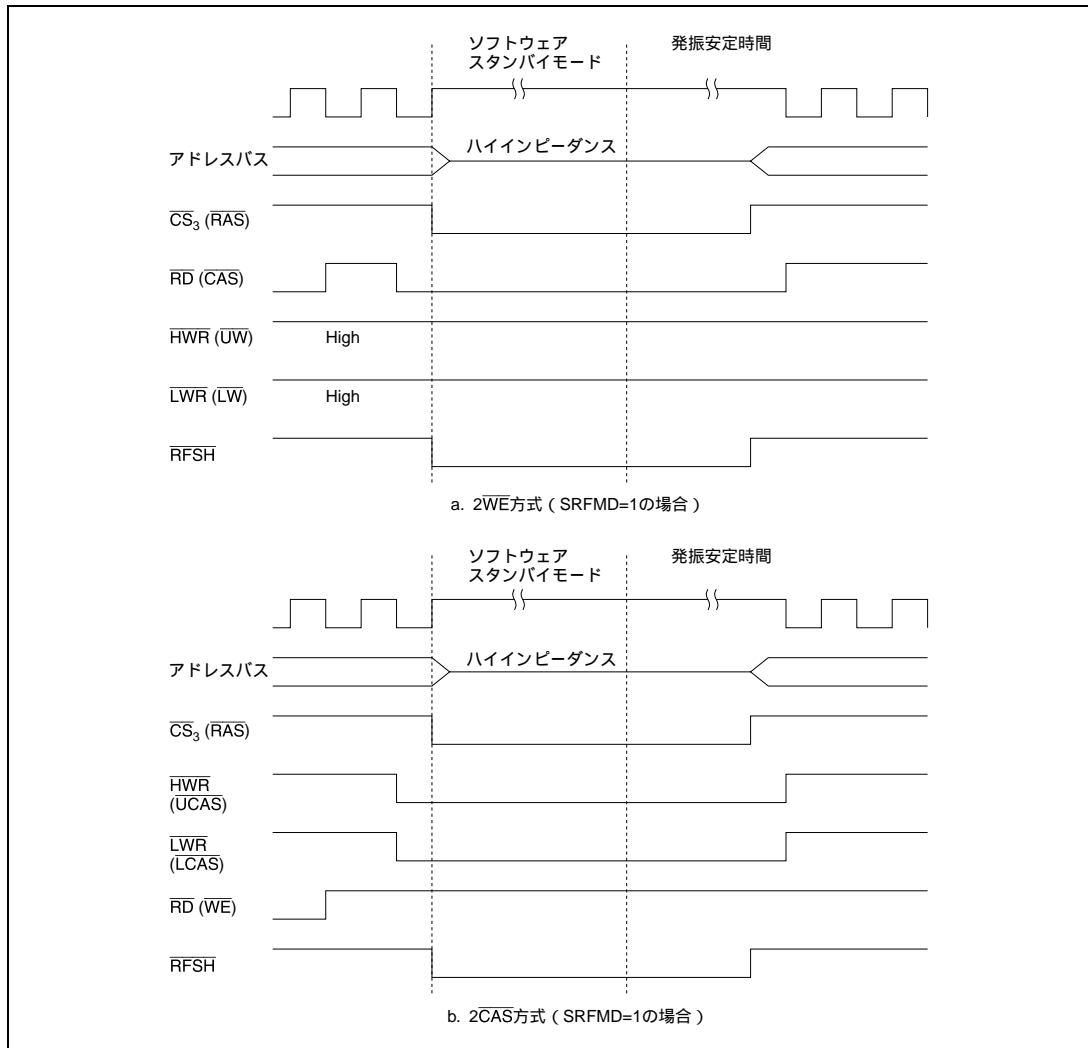


図 7.6 セルフリフレッシュモードの信号出力タイミング (PSRAM = 0、DRAM = 1)

(7) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNT はイニシャライズされますが、RFSHCR、RTMCSR のビット 5~3、RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

7. リフレッシュコントローラ

(8) 使用例

(a) 2WE方式 1Mビット DRAM の接続例 (1Mバイトモード)

図 7.7 に 2WE方式の 1Mビット DRAM の接続例とそのアドレスマップを示します。

また、図 7.8 にそのときのプログラム設定順序を示します。DRAM は、電源投入直後、内部状態を安定させるためにリフレッシュサイクルを必要とします。したがって、他のタイマモジュールによる割り込み、あるいは RTMCSR のビット 7 (CMF) がセットされる回数を数えるなどして、DRAM の安定期間を確保してください。リセット、またはスタンバイ直後の最初のリフレッシュ要求 (CMF フラグのセット) は、リフレッシュサイクル実行に使用されませんので注意してください (図 7.3 参照)。

本機能を使用する場合は、DRAM デバイス特性をよくご確認の上、そのデバイスに適合する使い方をしてください。

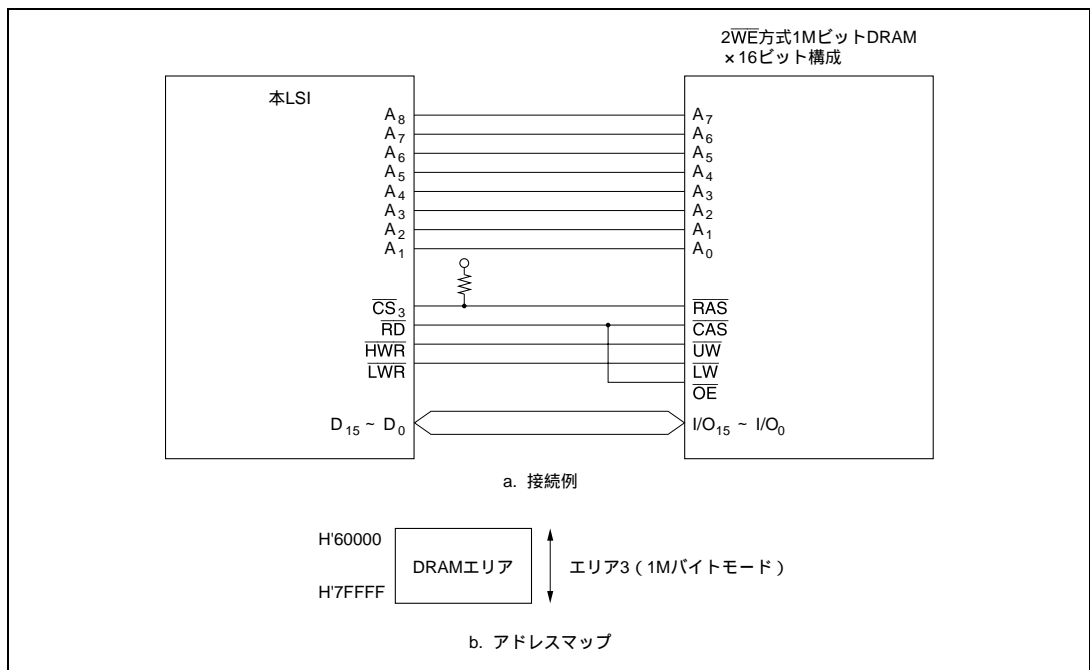


図 7.7 2WE方式 1Mビット DRAM の接続例とアドレスマップ

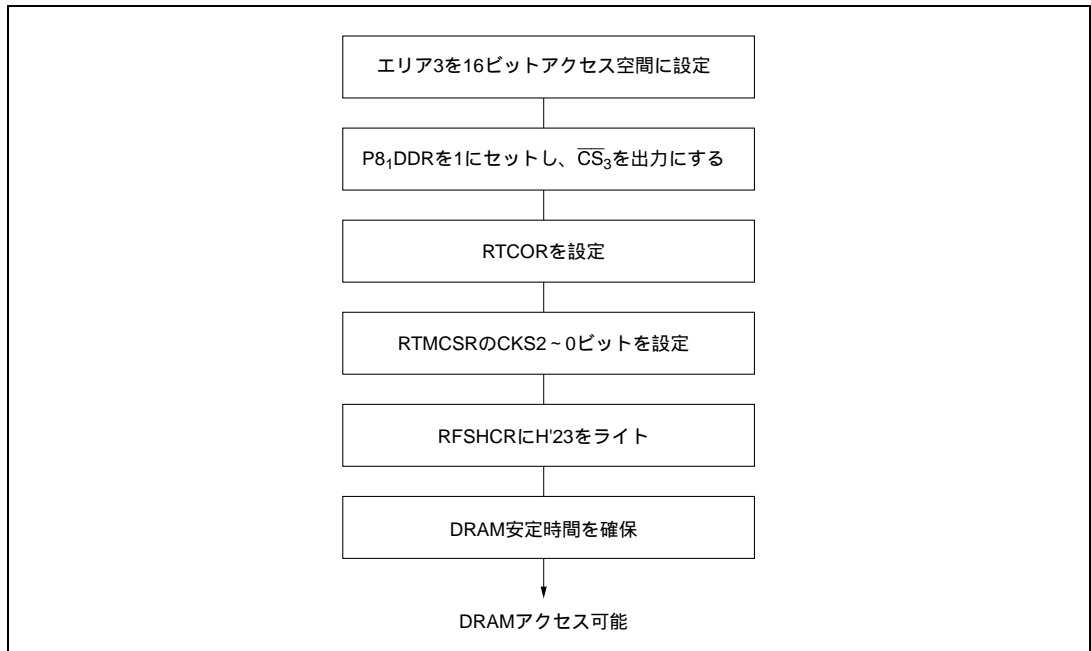


図 7.8 2WE 方式 1M ビット DRAM の設定順序 (1M バイトモード)

7. リフレッシュコントローラ

(b) $2\overline{WE}$ 方式 4M ビット DRAM の接続例 (16M バイトモード)

図 7.9 に、 $2\overline{WE}$ 方式 4M ビット DRAM を 1 個使用する場合の接続例とそのアドレスマップを示します。また図 7.10 にそのときのプログラム設定手順を示します。

本例では、10 ビットロウアドレス×8 ビットカラムアドレスの DRAM を使用して、H'600000 ~ H'67FFFF が DRAM エリアに設定されています。

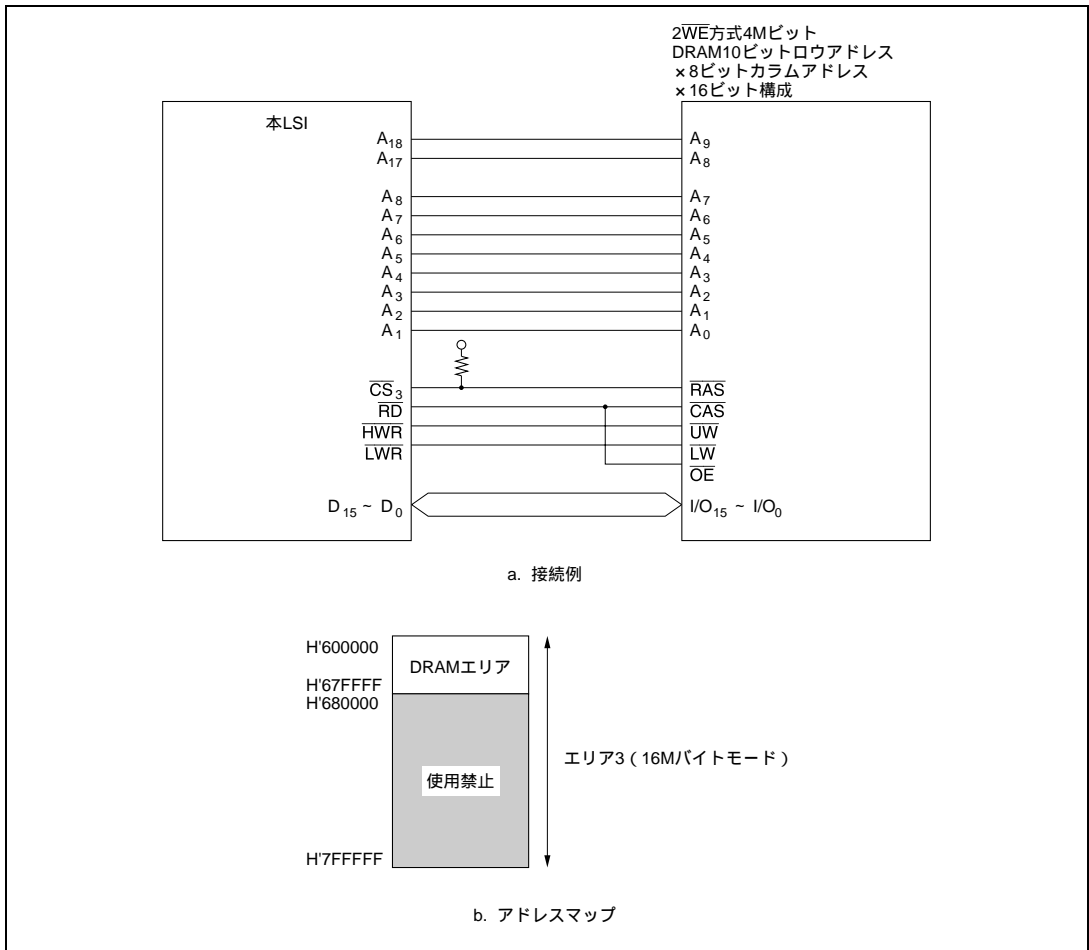


図 7.9 $2\overline{WE}$ 方式 4M ビット DRAM の接続例とアドレスマップ



図 7.10 2WE 方式 4M ビット DRAM (10 ビットロウアドレス × 8 ビットカラムアドレスの場合) の設定順序 (16M バイトモード)

7. リフレッシュコントローラ

(c) 2CAS方式 4M ビット DRAM の使用例 (16M バイトモード)

図 7.11 に 2CAS 方式の 4M ビット DRAM を 1 個使用する場合の接続例とそのアドレスマップを示します。また、図 7.12 にそのときのプログラム設定順序を示します。

本例では、9 ビットロウアドレス × 9 ビットカラムアドレスの DRAM を使用して、H'600000 ~ H'67FFFF が DRAM エリアに設定されています。

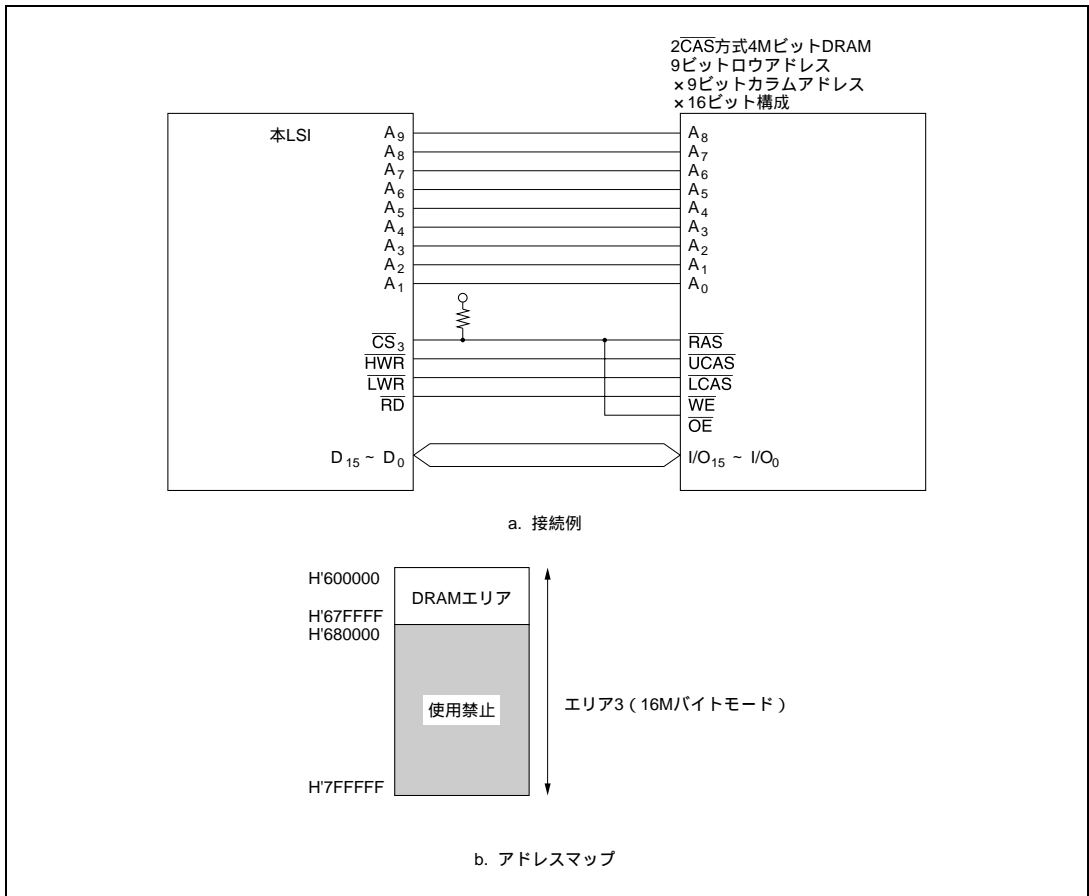


図 7.11 2CAS 方式 4M ビット DRAM の接続例とアドレスマップ

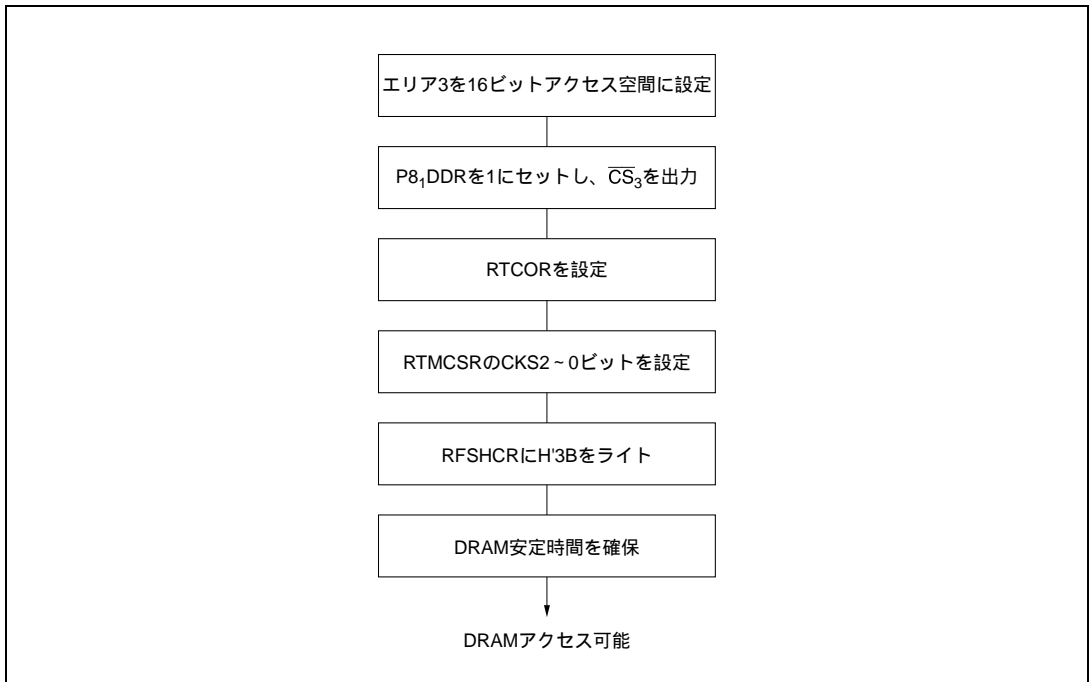


図 7.12 2CAS方式 4M ビット DRAM (9 ビットロウアドレス×9 ビットコラムアドレスの場合) の設定順序 (16M バイトモード)

7. リフレッシュコントローラ

(d) 複数チップの 4M ビット DRAM の接続例 (16M バイトモード)

図 7.13 に 2CAS 方式 4M ビット DRAM を 2 個使用する場合の接続例とそのアドレスマップを示します。上位アドレス A_{19} 、 A_{20} をデコードすることにより、最大 4 個の DRAM をエリア 3 に接続できます。

また、図 7.14 にそのときのプログラム設定順序を示します。本例では、9 ビットロウアドレス × 9 ビットカラムアドレスのタイプのものを使用しています。すべてのチップを同時にリフレッシュする必要があるため、 $\overline{\text{RFSH}}$ 端子を使用しなければなりません。

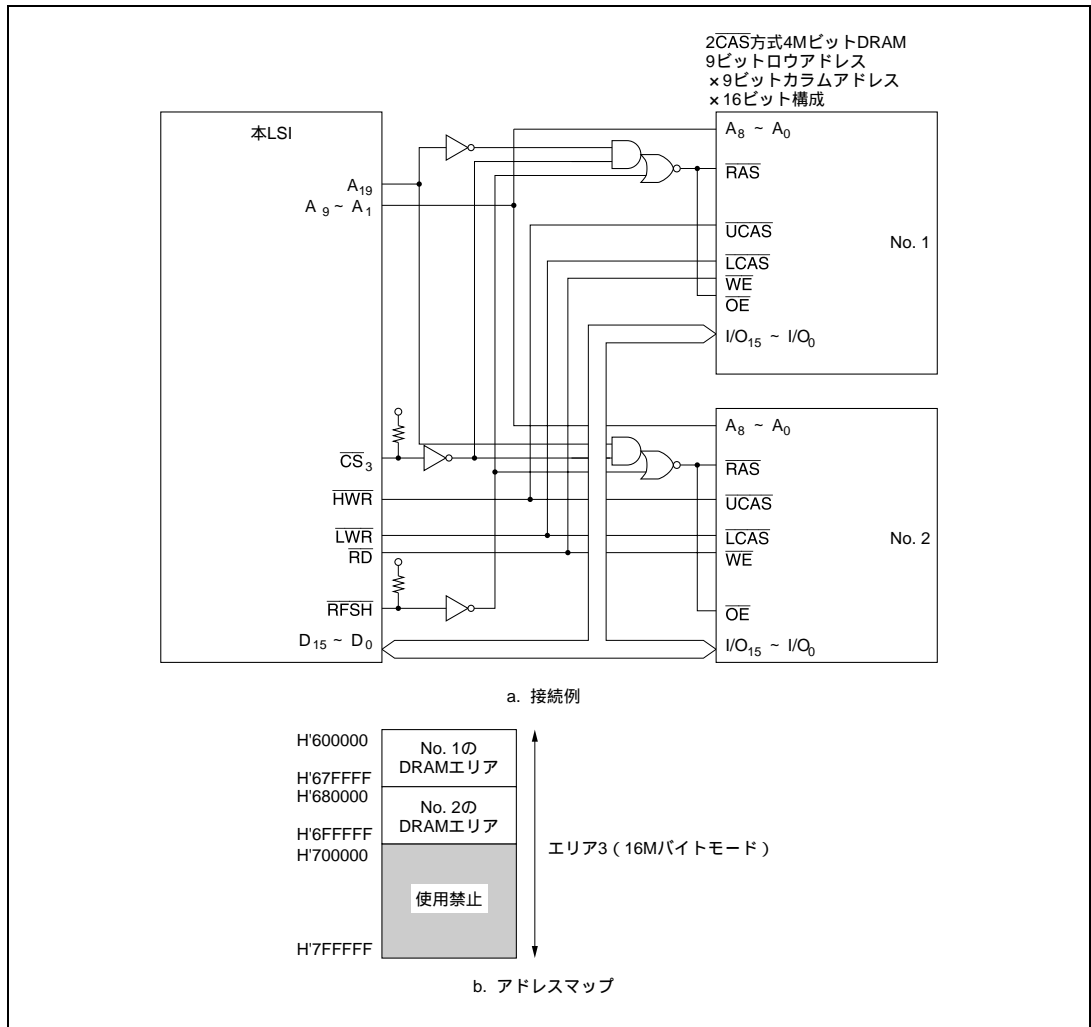


図 7.13 複数チップの 2CAS 方式 4M ビット DRAM の接続例とアドレスマップ



図 7.14 複数チップの2CAS方式4MビットDRAM（9ビットロウアドレス×9ビットコラムアドレスの場合）の設定順序（16Mバイトモード）

7.3.3 PSRAM リフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

DRAM インタフェースと同様に、RTCOR と RTMCSR の CKS2 ~ CKS0 ビットで、リフレッシュ要求の周期を設定します。

PSRAM のリード/ライトサイクルおよびリフレッシュサイクルに要するステート数は、DRAM と同様です（表 7.4）。また、状態遷移も図 7.3 に示すとおりです。

(2) PSRAM 制御信号

PSRAM に対するリードサイクル、ライトサイクル、およびリフレッシュサイクルを図 7.15 に示します。

7. リフレッシュコントローラ

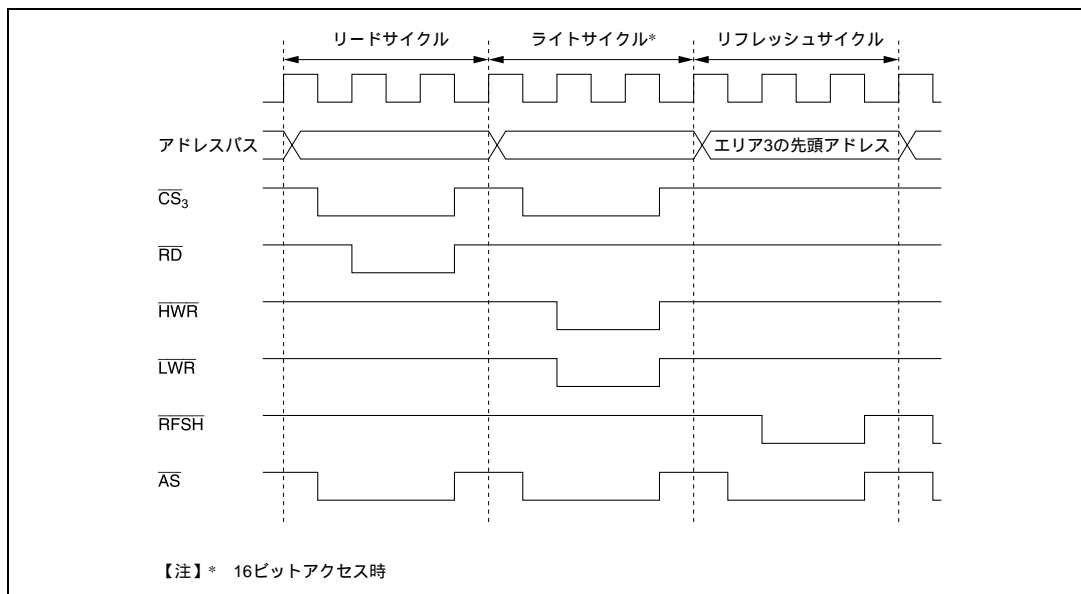


図 7.15 PSRAM 制御信号出力タイミング

(3) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMA コントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(4) ウェイトステートの挿入

ASTCR の AST3 を 1 にセットした場合、ウェイトステートコントローラ (WSC) によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

設定の詳細は、「6.3.5 ウェイトモード」を参照してください。

(5) セルフリフレッシュモード

PSRAM はセルフリフレッシュ機能をもつものがあります。

本 LSI では、RFSHCR の SRFMD ビットを 1 にセットした後、ソフトウェアスタンバイモードに遷移すると、 \overline{CS}_3 が High レベル出力、 \overline{RFSH} が Low レベル出力となり、PSRAM のセルフリフレッシュ機能を利用できます。ソフトウェアスタンバイモードが解除されると、 \overline{RFSH} は High レベル出力となります。

表 7.8 にソフトウェアスタンバイモード時の端子状態を、また図 7.16 に信号出力タイミングを示します。

表 7.8 ソフトウェアスタンバイモード時の端子状態
(PSRAME = 1、DRAME = 0)

信号	ソフトウェアスタンバイモード	
	SRFMD = 0	SRFMD = 1 (セルフリフレッシュモード)
CS ₃	High	High
RD	ハイインピーダンス	ハイインピーダンス
HWR	ハイインピーダンス	ハイインピーダンス
LWR	ハイインピーダンス	ハイインピーダンス
RFSH	High	Low

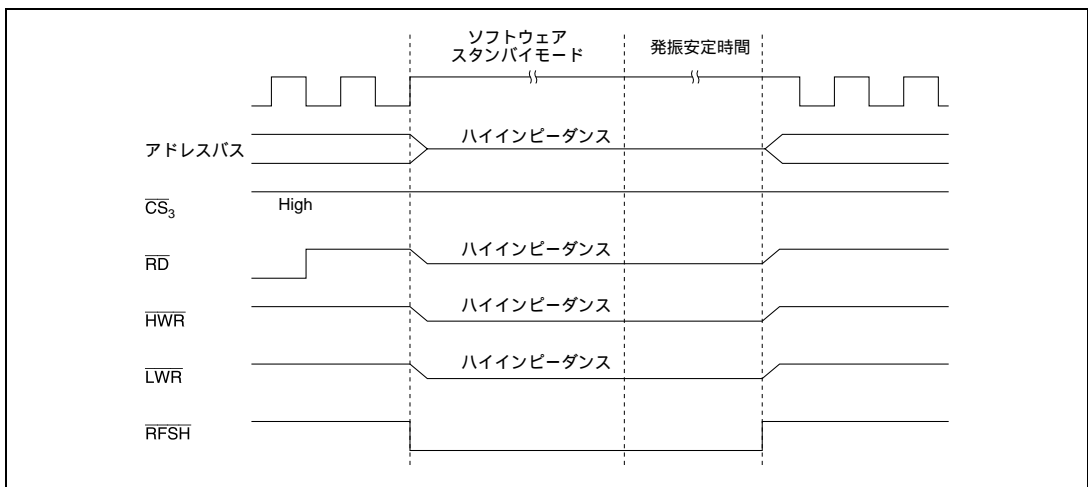


図 7.16 セルフリフレッシュモードの信号出力タイミング (PSRAME = 1、DRAME = 0)

(6) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNT はイニシャライズされますが、RFSHCR、RTMCSR のビット 5~3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(7) 使用例

PSRAM には、 \overline{OE} 端子と \overline{RFSH} 端子が個別に設けられているものと、 $\overline{OE}/\overline{RFSH}$ 端子として 1 つになっているものがあります。

図 7.17 に $\overline{OE}/\overline{RFSH}$ 信号を発生する回路例を示します。デバイス特性をよくご確認の上、適合する回路を設計してください。

図 7.18 にプログラム設定順序を示します。

7. リフレッシュコントローラ

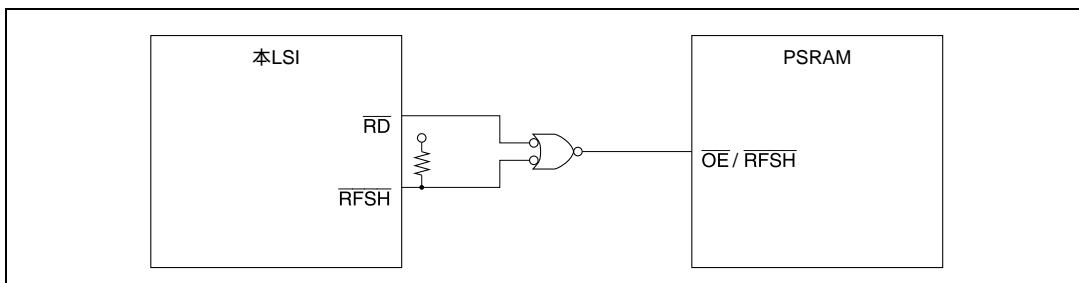


図 7.17 $\overline{\text{OE}} / \text{RFSH}$ 信号の例

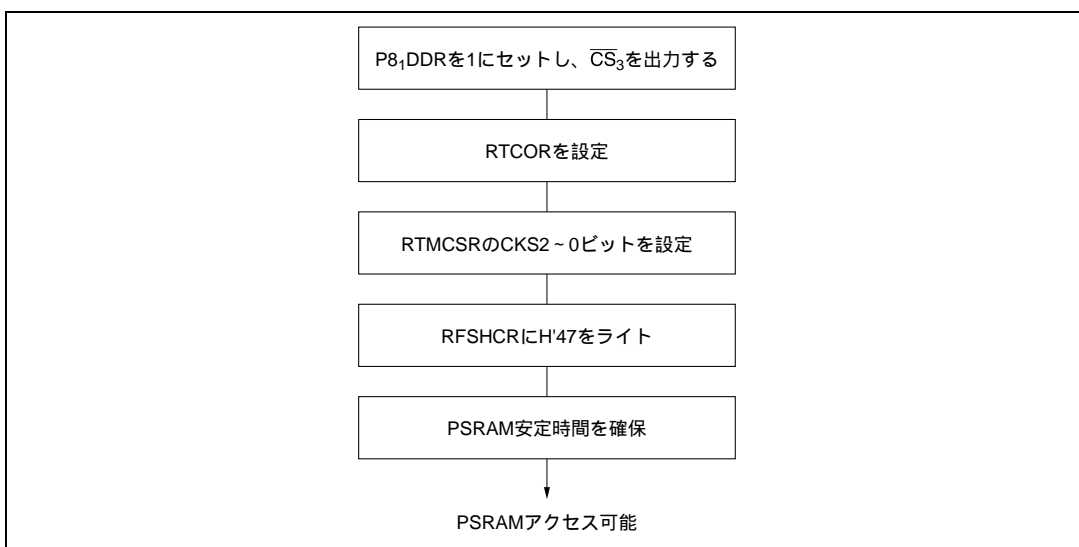


図 7.18 PSRAM のプログラム設定順序

7.3.4 インターバルタイマ

リフレッシュコントローラをインターバルタイマとして使用する場合、PSRAME を 0、かつ DRAME を 0 にクリアします。RTCOR を設定後、RTMCSR の CKS2 ~ CKS0 ビットにより入力クロックを選択し、CMIE ビットを 1 にセットします。

(1) コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTCSR の CMF フラグは、RTCOR と RTCNT の値が一致したときに出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (RTCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、RTCNT と RTCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 7.19 に示します。

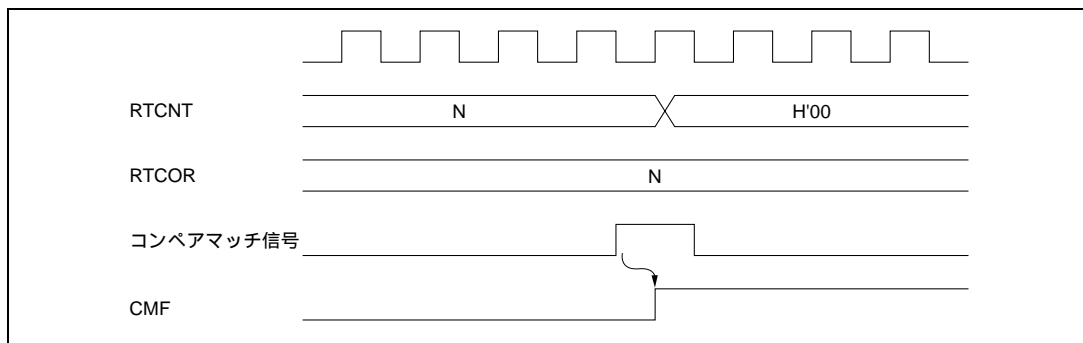


図 7.19 CMF フラグセットタイミング

(2) 低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNT と RTMCSR のビット 7、6 がイニシャライズされますが、RTMCSR のビット 5~3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3) RTCNT のライトとカウンタクリアの競合

RTCNT のライトサイクル中の T_3 ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 7.20 にこのタイミングを示します。

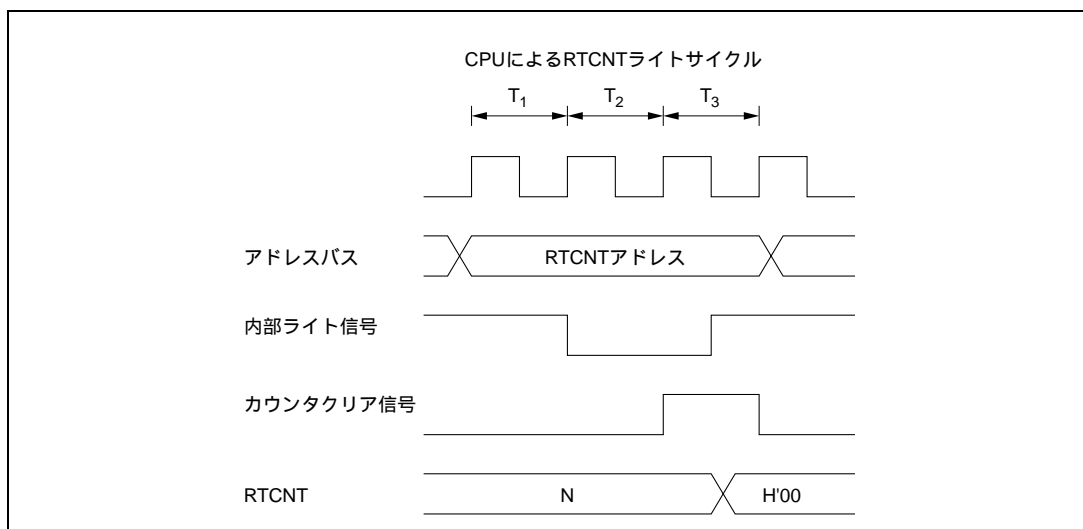


図 7.20 RTCNT のライトとクリアの競合

7. リフレッシュコントローラ

(4) RTCNT のライトとカウントアップの競合

RTCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図 7.21 にこのタイミングを示します。

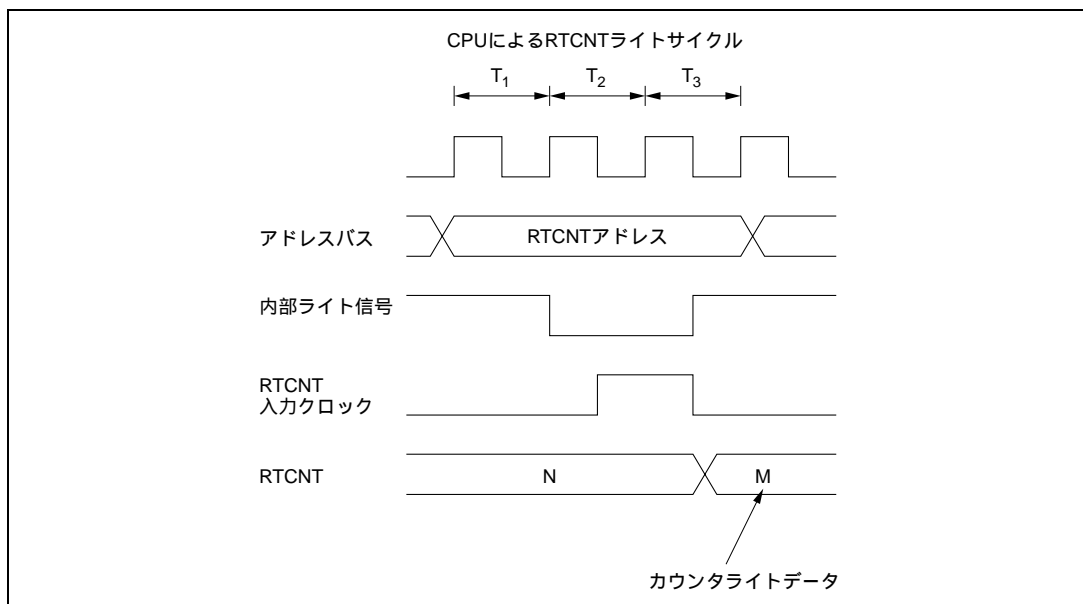


図 7.21 RTCNT のライトとカウントアップの競合

(5) RTCOR のライトとコンペアマッチの競合

RTCOR のライトサイクル中の T_3 ステートでコンペアマッチが発生しても、図 7.22 のように RTCOR のライトが優先され、コンペアマッチ信号は禁止されます。

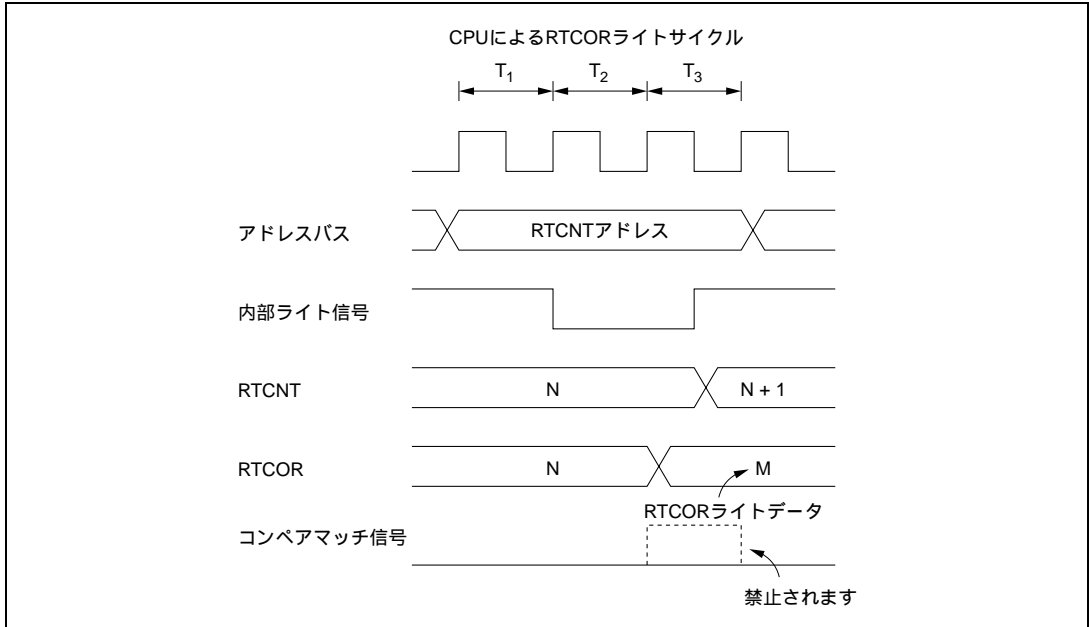


図 7.22 RTCOR のライトとコンペアマッチの競合

7. リフレッシュコントローラ

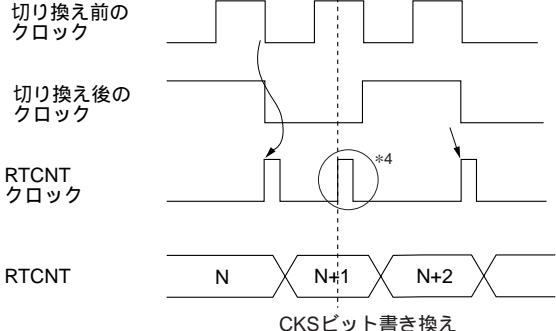
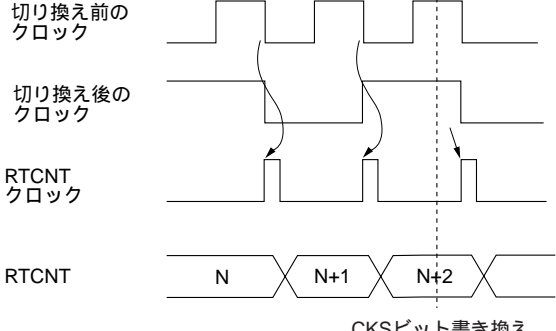
(6) 内部クロックの切り換えと RTCNT の動作

内部クロックを切り換えるタイミングによっては、RTCNT がカウントアップされてしまう場合があります。内部クロックの切り換えタイミング（CKS2～CKS0 ビットの書き換え）と RTCNT 動作の関係を表 7.9 に示します。

内部クロックから RTCNT クロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため、表 7.9 の No.3 のように High Low になるようなクロックの切り換えを行うと、切り換えタイミングを立下がりエッジとみなして RTCNT クロックが発生し、RTCNT がカウントアップされてしまいます。

表 7.9 内部クロックの切り換えと RTCNT 動作

No.	CKS2～CKS0 ビット書き換えタイミング	RTCNT 動作
1	Low Low レベルの切り換え* ¹	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>CKSビット書き換え</p>
2	Low High レベルの切り換え* ²	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>CKSビット書き換え</p>

No.	CKS2 ~ CKS0 ビット書き換えタイミング	RTCNT 動作
3	High Low レベルの切り換え ^{*3}	
4	High High レベルの切り換え	

【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。

*2 停止 High レベルの場合を含みます。

*3 High レベル 停止の場合を含みます。

*4 切り換えのタイミングを立下がりエッジとみなすために発生し、RTCNT はカウントアップしてしまいます。

7.4 割込み要因

リフレッシュコントローラをインターバルタイマとして使用する場合、コンペアマッチ割込み (CMI) 要求が発生します。コンペアマッチ割込み要求は RTMCSR の CMIE ビットで許可または禁止することができます。

7.5 使用上の注意

DRAM リフレッシュ機能、あるいは PSRAM リフレッシュ機能の使用に際して、以下の点に注意してください。

- (1) リフレッシュコントローラは、一度直接接続したDRAMまたはPSRAMの接続を切断した場合*、 $P8_0/\overline{RFSH}/\overline{IRQ}_0$ 端子と $P8_1/\overline{CS}_3/\overline{IRQ}_1$ 端子が同時にLowレベル出力となる場合があります。

【注】* リフレッシュコントロールレジスタ (RFSHCR) 内の DRAM イネーブル (DRAME) または PSRAM イネーブル (PSRAME) を一度 1 にセットした後に、DRAME または PSRAME を 0 にクリアした場合。

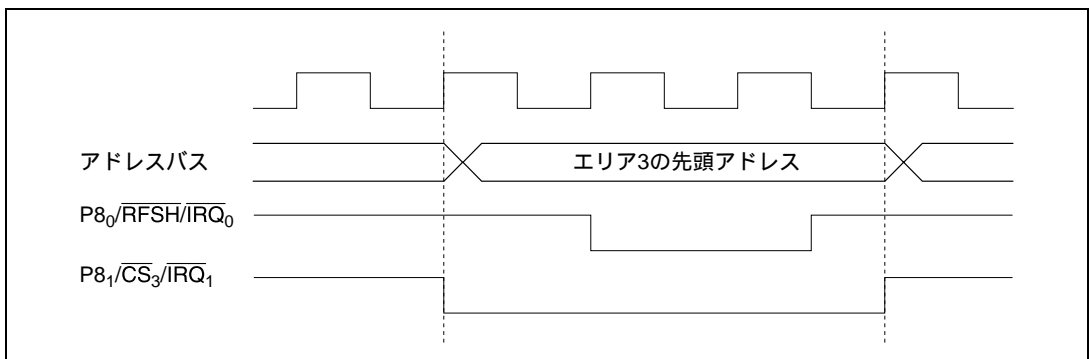


図 7.23 DRAM/PSRAM 接続の切り離し時の動作

- (2) 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。
- (3) 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。図7.24にその場合のバスサイクルを示します。

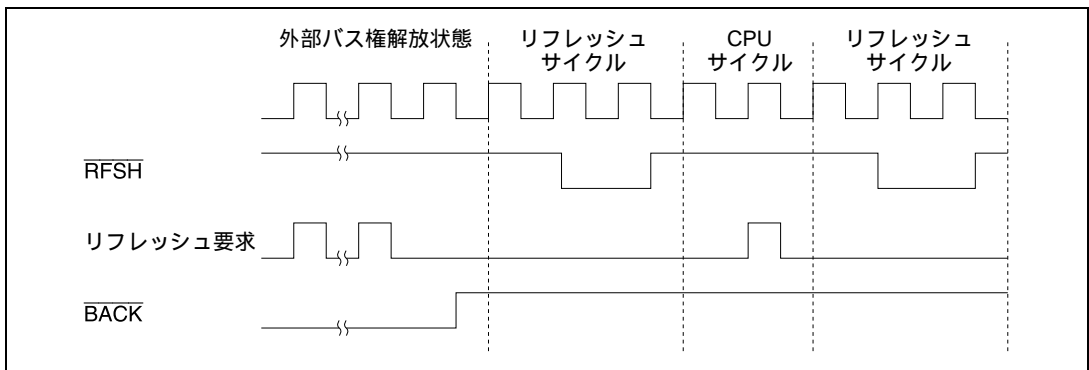


図 7.24 バス解放状態時のリフレッシュサイクル

- (4) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。
- (5) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に1ステートバス解放状態が発生することがあります(図7.25参照)。
ソフトウェアスタンバイモードを使用するときは、SLEEP命令を実行する前に、BRCRのBRLEビットを0にクリアしてください。
また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これもBRCRのBRLEビットを0にクリアすることにより防止できます。

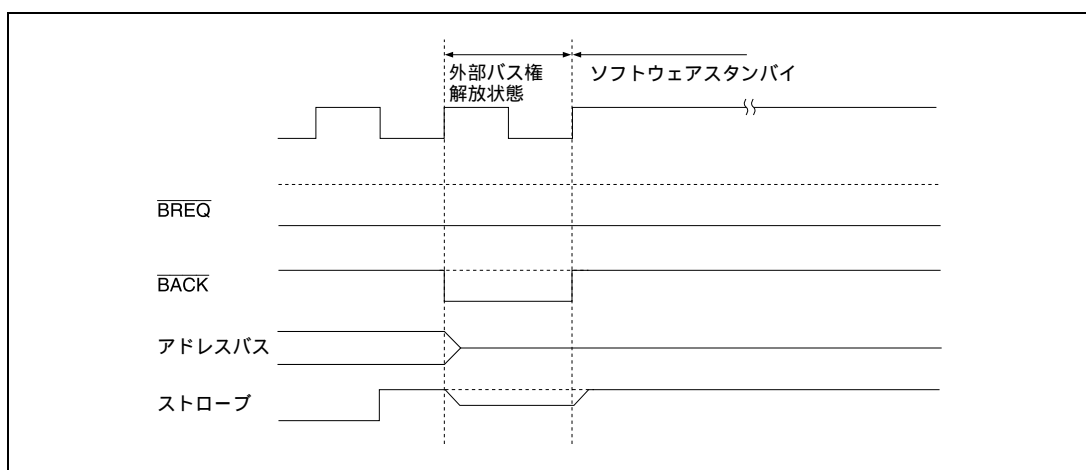


図 7.25 バス解放状態とソフトウェアスタンバイモードの競合

8. DMA コントローラ

8.1 概要

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

消費電流低減のため DMA コントローラを使用しない場合には、DMA コントローラを単独で停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

8.1.1 特長

DMAC には次の特長があります。

- ショートアドレスモードとフルアドレスモードを選択可能
- (1) ショートアドレスモード
 - 転送元、転送先アドレスの一方を 24 ビット、他方を 8 ビットで指定
 - 最大 4 チャンネルを使用可能
 - I/O モード / アイドルモード / リピートモードの選択が可能
 - (2) フルアドレスモード
 - 転送元、転送先アドレスを 24 ビットで指定
 - 最大 2 チャンネルを使用可能
 - ノーマルモード / ブロック転送モードの選択が可能
- 16M バイトのアドレス空間を直接指定可能
 - 転送単位をバイト / ワードに設定可能
 - 起動要因は、内部割込み、外部リクエスト、オートリクエスト (転送モードに依存)
 - 16 ビットインテグレートドタイムユニット (ITU) のコンペアマッチ / インプットキャプチャ割込み × 4
 - シリアルコミュニケーションインタフェース (SCI チャンネル 0) の送信データエンプティ割込み、受信データフル割込み
 - 外部リクエスト
 - オートリクエスト

8.1.2 ブロック図

DMAC のブロック図を図 8.1 に示します。

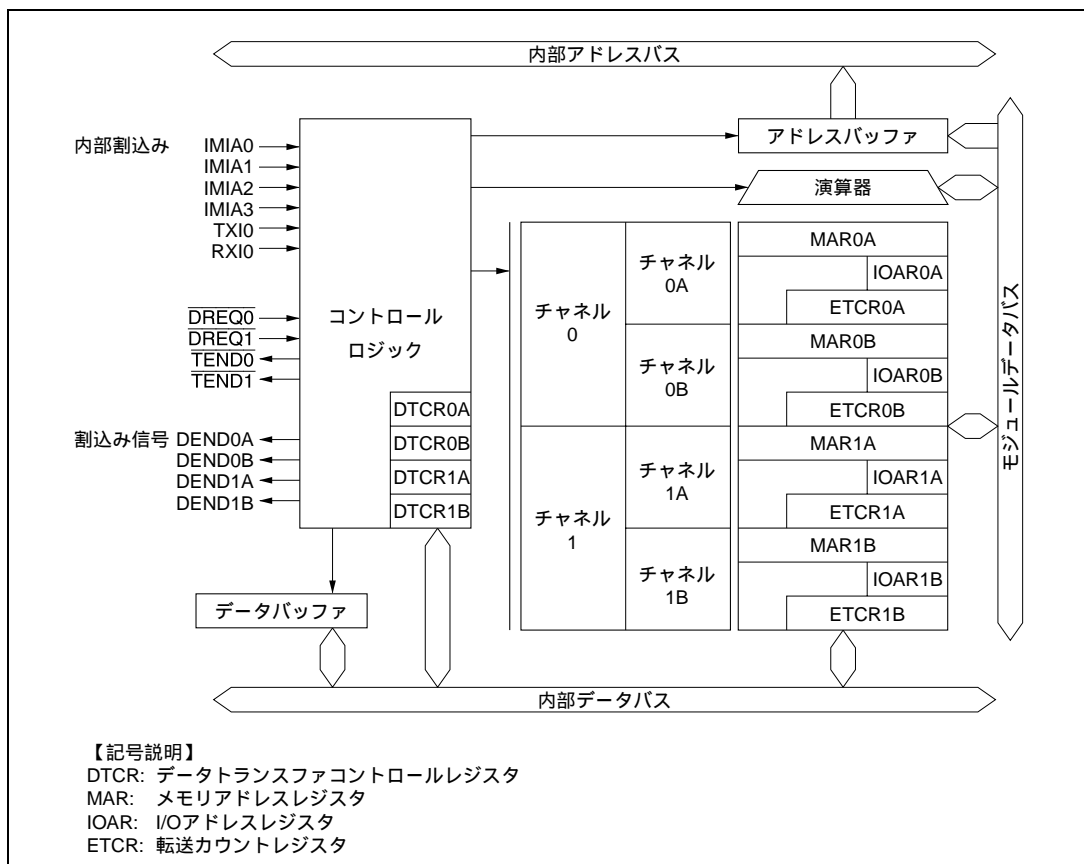


図 8.1 DMAC のブロック図

8.1.3 機能概要

DMAC の機能概要を表 8.1 に示します。

表 8.1 DMAC の機能概要

転送モード		転送要因	アドレスレジスタビット長	
			ソース	デスティネーション
ショートアドレスモード	(1) I/O モード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> ITU チャンネル 0 ~ 3 のコンペアマッチ/インプットキャプチャ A 割込み SCI チャンネル 0 の送信データエンプティ割込み 	24	8
	(2) アイドルモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスは固定 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> SCI チャンネル 0 の受信データフル割込み 	8	24
	(3) リピートモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 指定回数 (1 ~ 255) 転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> 外部リクエスト 	24	8
フルアドレスモード	(1) ノーマルモード <p>(a) オートリクエスト</p> <ul style="list-style-type: none"> 転送要求を内部保持 指定回数 (1 ~ 65536) 継続して転送 バーストモード / サイクルスチールモードを選択可能 <p>(b) 外部リクエスト</p> <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> オートリクエスト 外部リクエスト 	24	24
	(2) ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定したブロックサイズの転送 転送回数は 1 ~ 65536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズ 1 ~ 255 バイトまたはワード 	<ul style="list-style-type: none"> ITU チャンネル 0 ~ 3 のコンペアマッチ/インプットキャプチャ A 割込み 外部リクエスト 	24	24

8. DMA コントローラ

8.1.4 端子構成

DMAC の端子構成を表 8.2 に示します。

表 8.2 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	DMA 要求 0	$\overline{\text{DREQ}}_0$	入力	DMAC チャンネル 0 の外部リクエスト
	DMA 終了 0	$\overline{\text{TEND}}_0$	出力	DMAC チャンネル 0 の転送終了
1	DMA 要求 1	$\overline{\text{DREQ}}_1$	入力	DMAC チャンネル 1 の外部リクエスト
	DMA 終了 1	$\overline{\text{TEND}}_1$	出力	DMAC チャンネル 1 の転送終了

【注】 ショートアドレスモードでは、チャンネル A に対する外部リクエストは行えません。

8.1.5 レジスタ構成

DMAC のレジスタ構成を表 8.3 に示します。

表 8.3 レジスタ構成

チャンネル	アドレス*	名 称	略 称	R/W	初期値
0	H'FF20	メモリアドレスレジスタ 0AR	MAR0AR	R/W	不定
	H'FF21	メモリアドレスレジスタ 0AE	MAR0AE	R/W	不定
	H'FF22	メモリアドレスレジスタ 0AH	MAR0AH	R/W	不定
	H'FF23	メモリアドレスレジスタ 0AL	MAR0AL	R/W	不定
	H'FF26	I/O アドレスレジスタ 0A	IOAR0A	R/W	不定
	H'FF24	転送カウントレジスタ 0AH	ETCR0AH	R/W	不定
	H'FF25	転送カウントレジスタ 0AL	ETCR0AL	R/W	不定
	H'FF27	データトランスファコントロールレジスタ 0A	DTCR0A	R/W	H'00
	H'FF28	メモリアドレスレジスタ 0BR	MAR0BR	R/W	不定
	H'FF29	メモリアドレスレジスタ 0BE	MAR0BE	R/W	不定
	H'FF2A	メモリアドレスレジスタ 0BH	MAR0BH	R/W	不定
	H'FF2B	メモリアドレスレジスタ 0BL	MAR0BL	R/W	不定
	H'FF2E	I/O アドレスレジスタ 0B	IOAR0B	R/W	不定
	H'FF2C	転送カウントレジスタ 0BH	ETCR0BH	R/W	不定
	H'FF2D	転送カウントレジスタ 0BL	ETCR0BL	R/W	不定
H'FF2F	データトランスファコントロールレジスタ 0B	DTCR0B	R/W	H'00	
1	H'FF30	メモリアドレスレジスタ 1AR	MAR1AR	R/W	不定
	H'FF31	メモリアドレスレジスタ 1AE	MAR1AE	R/W	不定
	H'FF32	メモリアドレスレジスタ 1AH	MAR1AH	R/W	不定
	H'FF33	メモリアドレスレジスタ 1AL	MAR1AL	R/W	不定
	H'FF36	I/O アドレスレジスタ 1A	IOAR1A	R/W	不定
	H'FF34	転送カウントレジスタ 1AH	ETCR1AH	R/W	不定
	H'FF35	転送カウントレジスタ 1AL	ETCR1AL	R/W	不定
	H'FF37	データトランスファコントロールレジスタ 1A	DTCR1A	R/W	H'00
	H'FF38	メモリアドレスレジスタ 1BR	MAR1BR	R/W	不定
	H'FF39	メモリアドレスレジスタ 1BE	MAR1BE	R/W	不定
	H'FF3A	メモリアドレスレジスタ 1BH	MAR1BH	R/W	不定
	H'FF3B	メモリアドレスレジスタ 1BL	MAR1BL	R/W	不定
	H'FF3E	I/O アドレスレジスタ 1B	IOAR1B	R/W	不定
	H'FF3C	転送カウントレジスタ 1BH	ETCR1BH	R/W	不定
	H'FF3D	転送カウントレジスタ 1BL	ETCR1BL	R/W	不定
H'FF3F	データトランスファコントロールレジスタ 1B	DTCR1B	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

8.2 各レジスタの説明（１）（ショートアドレスモード）

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 8.4 に示すように DTCRA の DTS2A、DTS1A ビットにより各チャンネルのショートアドレスモード転送を指定します。

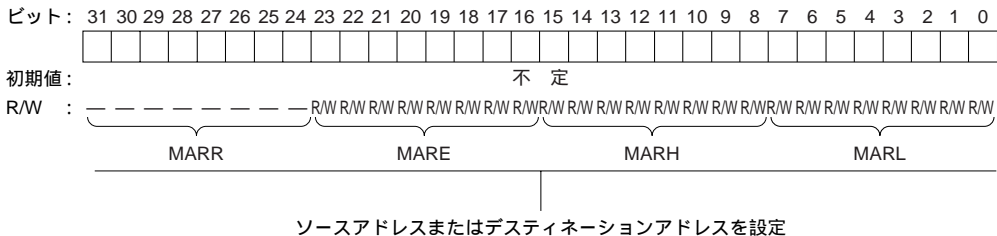
表 8.4 ショートアドレスモード、フルアドレスモードの設定

チャンネル	ビット 2	ビット 1	説明
	DTS2A	DTS1A	
0	1	1	DMAC チャンネル 0 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 0A、チャンネル 0B は、各々独立動作で 2 チャンネルのショートアドレスモード転送
1	1	1	DMAC チャンネル 1 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 1A、チャンネル 1B は、各々独立動作で 2 チャンネルのショートアドレスモード転送

8.2.1 メモリアドレスレジスタ（MAR）

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。転送方向は起動要因により自動的に決定されます。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR は全ビットリザーブビットです。リード値は常に不定です。ライトは無効です。



MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャンネル 0 の受信完了割込みの場合はデスティネーションアドレスレジスタとして、それ以外の場合にはソースアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新していきます。詳細は、「8.2.4 データ転送ファコントロールレジスタ（DTCR）」を参照してください。

MAR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.2 I/O アドレスレジスタ (IOAR)

IOAR は 8 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOAR はアドレスの下位 8 ビットを指定し、上位 16 ビットはすべて 1 (H'FFFF) となります。



IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャンネル 0 の受信完了割込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

IOAR は転送によってインクリメント/デクリメントされず、固定されます。

IOAR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/O モードおよびアイドルモードと、リピートモードとでは機能が異なります。

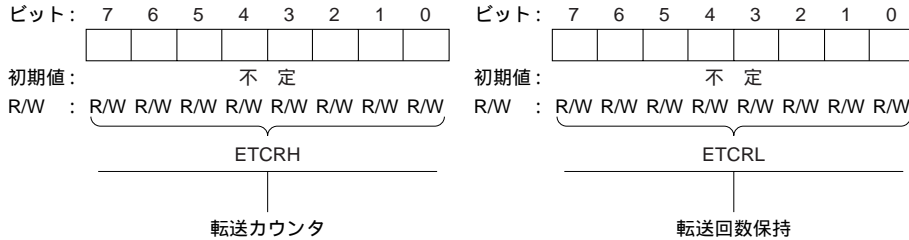
(1) I/O モードまたはアイドルモード



I/O モードとアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに、1 だけデクリメントされカウンタ値が H'0000 になると転送を終了します。

8. DMA コントローラ

(2) リピートモード

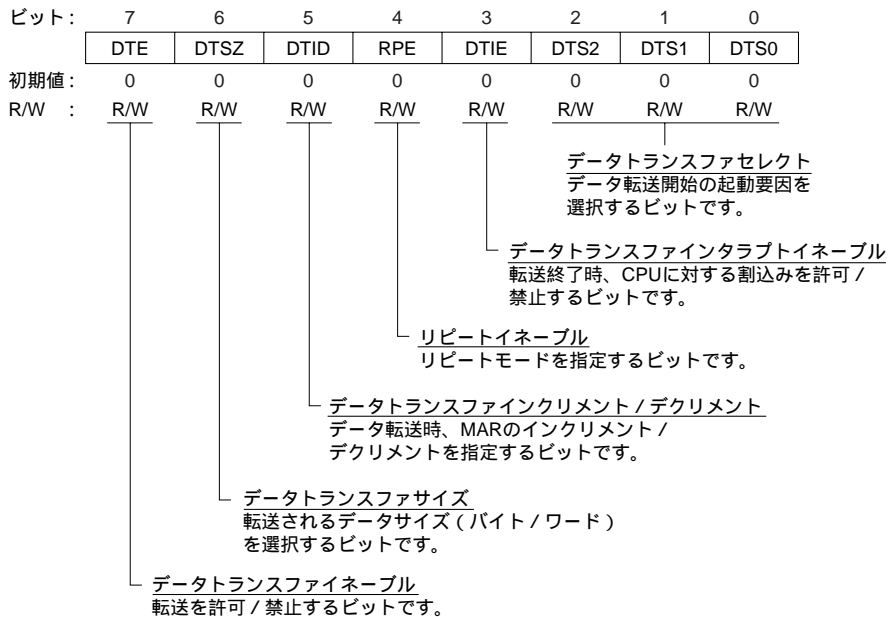


リピートモードでは、ETCRH は 8 ビットの転送カウンタとして機能し、ETCRL は転送回数を保持します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。



DTCR はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7: データトランスファイネーブル (DTE)

当該チャンネルのデータ転送を許可 / 禁止します。DTE ビットを 1 にセットすると、そのチャンネルは転送要求待ち状態となり、DTS2 ~ DTS0 ビットで指定された起動要因によりデータ転送が行われます。本ビットが 0 のとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは、DTE = 0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット 7	説明
DTE	
0	データ転送禁止。I/O モードとアイドルモードでは、指定された回数の転送を終了したとき、0 にクリア (初期値)
1	データ転送許可

DTIE = 1 の状態で、本ビットが 0 にクリアされると CPU に割り込みを要求します。

ビット 6: データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 6	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット 5: データトランスファインクリメント / デクリメント (DTID)

I/O モードまたはリピートモードの場合、データ転送後の MAR のインクリメント / デクリメントを選択します。

ビット 5	説明
DTID	
0	データ転送後 MAR をインクリメント (1) DTSZ = 0 のとき、転送後 MAR を +1 (2) DTSZ = 1 のとき、転送後 MAR を +2 (初期値)
1	データ転送後 MAR をデクリメント (1) DTSZ = 0 のとき、転送後 MAR を -1 (2) DTSZ = 1 のとき、転送後 MAR を -2

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

ビット 4: リピートイネーブル (RPE)

データ転送を I/O モード、アイドルモード、またはリピートモードで行うかを選択します。

8. DMA コントローラ

ビット4	ビット3	説明	
RPE	DTIE		
0	0	I/O モードで転送	(初期値)
	1		
1	0	リピートモードで転送	
	1	アイドルモードで転送	

I/O モード、アイドルモード、およびリピートモードの動作については、「8.4.2 I/O モード」、「8.4.3 アイドルモード」、および「8.4.4 リピートモード」を参照してください。

ビット3: データトランスファインタラプトイネーブル (DTIE)

DTE ビットが0にクリアされたとき、DTE ビットによる割込み (DEND) 要求を許可 / 禁止しません。

ビット3	説明	
DTIE		
0	DTE による割込み (DEND) 要求を禁止	(初期値)
1	DTE による割込み (DEND) 要求を許可	

ビット2~0: データトランスファセレクト (DTS2~DTS0)

データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部指定内容が異なります。

【注】「8.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

ビット2	ビット1	ビット0	説明
DTS2	DTS1	DTS0	
0	0	0	ITU チャンネル0のコンペアマッチ/インプットキャプチャ A 割込みで起動 (初期値)
		1	ITU チャンネル1のコンペアマッチ/インプットキャプチャ A 割込みで起動
	1	0	ITU チャンネル2のコンペアマッチ/インプットキャプチャ A 割込みで起動
		1	ITU チャンネル3のコンペアマッチ/インプットキャプチャ A 割込みで起動
1	0	0	SCI チャンネル0の送信データエンプティ割込みで起動
		1	SCI チャンネル0の受信データエフル割込みで起動
	1	0	DREQ 端子の立下がりエッジ入力で起動 (チャンネル B の場合) フルアドレスモード転送を指定 (チャンネル A の場合)
		1	DREQ 端子の Low レベル入力で起動 (チャンネル B の場合) フルアドレスモード転送を指定 (チャンネル A の場合)

内部割込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMAC 複数チャンネルの動作」を参照してください。

転送許可の状態 (DTE = 1) では、DMAC の起動要因に選択された割込みは、CPU に対して割込みを要求しません。

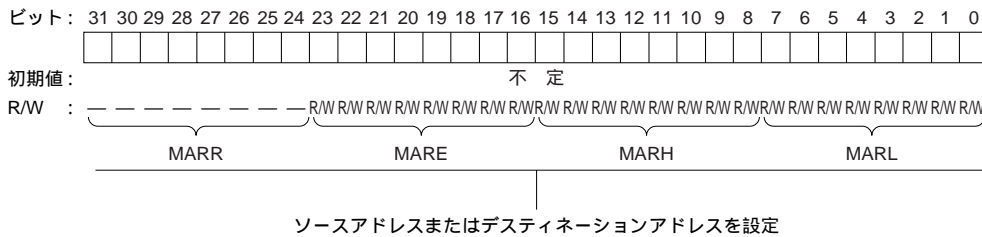
8.3 各レジスタの説明（２）（フルアドレスモード）

フルアドレスモード転送は、チャンネル A とチャンネル B を組み合わせて行います。フルアドレスモード転送の設定については、表 8.4 を参照してください。

8.3.1 メモリアドレスレジスタ（MAR）

MAR は 32 ビットのリード/ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR はすべてリザーブビットです。リード値は常に不定です。ライトは無効です。



MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

MAR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.3.2 I/O アドレスレジスタ（IOAR）

IOAR はフルアドレスモード転送では使用しません。

8.3.3 転送カウントレジスタ（ETCR）

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

(1) ノーマルモード

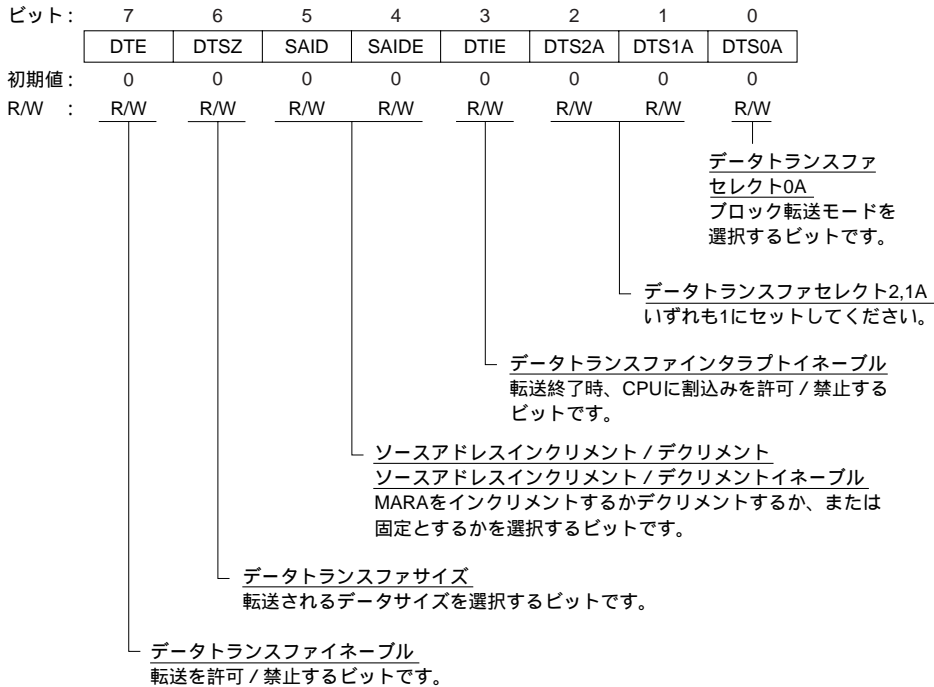
(a) ETCRA



8.3.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。DTCRA の DTS2A、DTS1A ビットをいずれも 1 にセットすると当該チャンネルはフルアドレスモードとなります。フルアドレスモードでは DTCRA と DTCRB では機能が異なります。

(1) DTCRA



DTCRA はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット7: データトランスファイネーブル (DTE)

DTCRB の DTME ビットとともに当該チャンネルのデータ転送の許可/禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャンネルは転送許可状態となります。オートリクエストを指定したときはただちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了すると DTE ビットは自動的に 0 にクリアされます。本ビットが 0 にクリアされているとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは 0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット7	説明
DTE	
0	データ転送禁止 (指定された回数の転送を終了したとき 0 にクリア) (初期値)
1	データ転送許可

DTIE = 1 の状態で、本ビットが 0 にクリアされると CPU に割り込みを要求します。

8. DMA コントローラ

ビット 6 : データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 6	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット 5 : ソースアドレスインクリメント / デクリメント (SAID)

ビット 4 : ソースアドレスインクリメント / デクリメントイネーブル (SAIDE)

データ転送時、ソースアドレスレジスタ MARA をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説明
SAID	SAIDE	
0	0	MARA 固定 (初期値)
	1	データ転送後 MARA をインクリメント (1) DTSZ=0 のとき、データ転送後 MARA を +1 (2) DTSZ=1 のとき、データ転送後 MARA を +2
1	0	MARA 固定
	1	データ転送後 MARA をデクリメント (1) DTSZ=0 のとき、データ転送後 MARA を -1 (2) DTSZ=1 のとき、データ転送後 MARA を -2

ビット 3 : データトランスファインタラプトイネーブル (DTIE)

DTE ビットが 0 にクリアされたとき、DTE による割込み (DEND) 要求を許可 / 禁止します。

ビット 3	説明
DTIE	
0	DTE による割込み (DEND) 要求を禁止 (初期値)
1	DTE による割込み (DEND) 要求を許可

ビット 2, 1 : データトランスファセレクト 2, 1A (DTS2A, DTS1A)

DTS2A, DTS1A ビットをいずれも 1 にセットしたとき、当該チャンネルはフルアドレスモードとなります。

ビット 0 : データトランスファセレクト 0A (DTS0A)

DMAC をノーマルモードで動作させるか、ブロック転送モードで動作させるかを選択します。

ビット 0	説明
DTS0A	
0	ノーマルモードで動作 (初期値)
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「8.4.5 ノーマルモード」、「8.4.6 ブロック転送モード」を参照してください。

(2) DTCRB



DTCRB は、リセット、またはスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7 : データトランスファマスタイネーブル (DTME)

DTCRA の DTE ビットとともに当該チャンネルのデータ転送の許可/禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャンネルは転送許可状態となります。NMI 割込みが発生したとき DTME ビットは 0 にクリアされ、転送を中断して CPU にバス権を移します。その後、本ビットを 1 にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「8.6.6 NMI 割込みとブロック転送モード」を参照してください。

DTME ビットは、DTME = 0 の状態をリードした後、1 をライトすると 1 にセットされます。

8. DMA コントローラ

ビット7	説明	
DTME		
0	データ転送禁止。NMI 割込みが発生したとき 0 にクリア	(初期値)
1	データ転送許可	

ビット6: リザーブビット

リザーブビットです。リード/ライト可能です。

ビット5: デスティネーションアドレスインクリメント/デクリメント (DAID)

ビット4: デスティネーションアドレスインクリメント/デクリメントイネーブル (DAIDE)

データ転送時、MARB をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後 MARB をインクリメント (1) DTSZ=0 のとき、データ転送後 MARB を +1 (2) DTSZ=1 のとき、データ転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、データ転送後 MARB を -1 (2) DTSZ=1 のとき、データ転送後 MARB を -2

ビット3: トランスファモードセレクト (TMS)

ブロック転送モード時、ソース側とデスティネーション側のどちらをブロックエリアとして転送するかを選択します。

ビット3	説明
TMS	
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送 (初期値)
1	ブロック転送モード時、ソース側をブロックエリアとして転送

ビット2~0: データトランスファセレクト2~0B (DTS2B~DTS0B)

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

(ノーマルモード)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	オートリクエスト (パーストモード) (初期値)
		1	使用できません。
	1	0	オートリクエスト (サイクルスチールモード)
		1	使用できません。
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立下がりエッジ入力で起動
		1	DREQ 端子の Low レベル入力で起動

(ブロック転送モード)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	ITU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割込みで起動 (初期値)
		1	ITU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割込みで起動
	1	0	ITU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割込みで起動
		1	ITU チャンネル 3 のコンペアマッチ / インプットキャプチャ A 割込みで起動
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立下がりエッジ入力で起動
		1	使用できません。

内部割込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMAC 複数チャンネルの動作」を参照してください。

8.4 動作説明

8.4.1 概要

DMAC のモード一覧を表 8.5 に示します。

表 8.5 モード一覧

転送モード		起動要因	備考
ショート アドレスモード	(1) I/O モード	ITU チャンネル 0~3 のコンペアマッチ / インプットキャプチャ A 割込み	<ul style="list-style-type: none"> 最大 4 チャンネルを独立に動作可能 外部リクエストはチャンネル B のみ可能
	(2) アイドルモード	SCI チャンネル 0 の送信データエンベディ / 受信データフル割込み	
	(3) リピートモード	外部リクエスト	
フルアドレス モード	(4) ノーマルモード	オートリクエスト	<ul style="list-style-type: none"> チャンネル A、B を組み合わせて最大 2 チャンネルを動作可能 オートリクエストではバーストモード転送 / サイクルスチールモード転送の選択可能
		外部リクエスト	
	(5) ブロック転送モード	ITU チャンネル 0~3 のコンペアマッチ / インプットキャプチャ A 割込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

(1) I/O モード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了すると CPU に割込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(2) アイドルモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了すると CPU に割込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。アドレスは固定になっています。転送方向は起動要因により自動的に決定されます。

(3) リピートモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU に対して割込みは要求しません。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(4) ノーマルモード

(a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU に割込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード

1 バイトまたは 1 ワード転送ごとにバスを一旦他のバスマスタに解放します。

- バーストモード

他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

(b) 外部リクエスト

1回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割り込みを要求することができます。アドレスはいずれも24ビットで指定します。

(5) ブロック転送モード

1回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。1回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了するとCPUに割り込みを要求することができます。アドレスはいずれも24ビットで指定します。

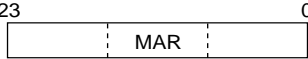


8.4.2 I/O モード

I/Oモードは各チャンネル独立に設定可能です。

I/Oモードでは、1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCI0チャンネル0の受信データフル割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

I/Oモード時のレジスタの機能を表8.6に示します。

表 8.6 I/Oモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0 受信データフル割り込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1回の転送ごとにインクリメント/デクリメント
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
	転送カウンタ		転送回数	1回の転送ごとにデクリメント H'0000になると転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

8. DMA コントローラ

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされます。IOAR はアドレス下位 8 ビットを指定し、上位 16 ビットは 1 となります。IOAR はインクリメントもデクリメントもされません。

図 8.2 に I/O モードの動作を示します。

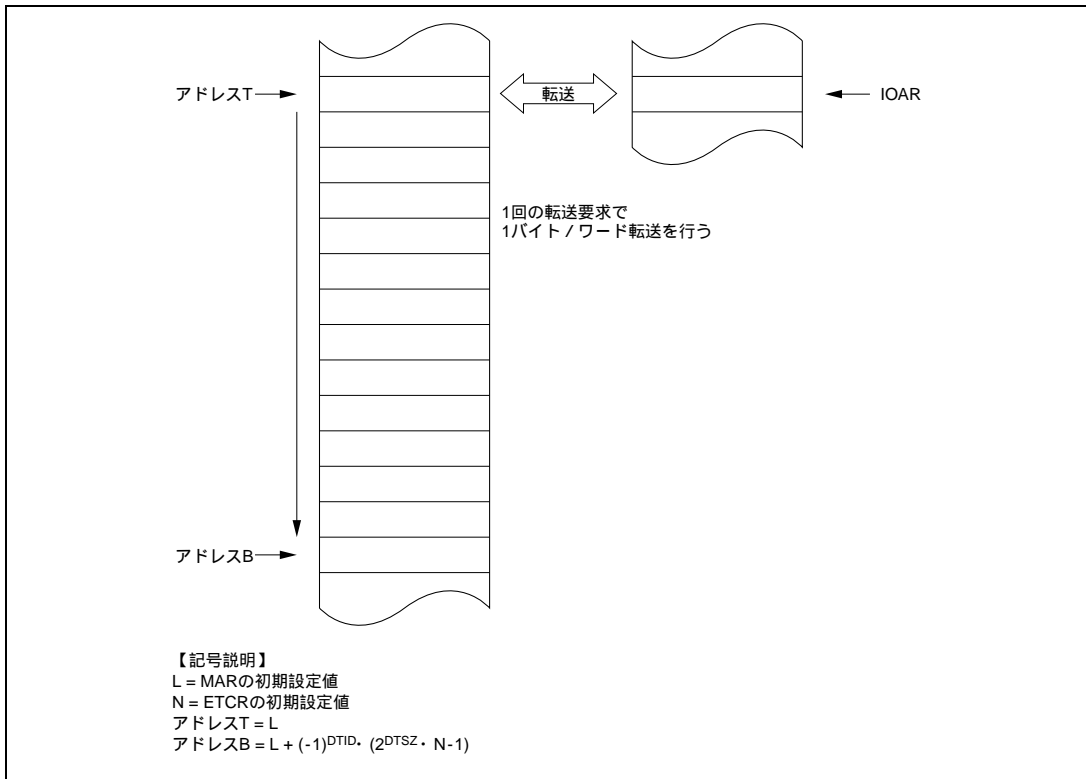


図 8.2 I/O モードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、ITU チャンネル 0～3 のコンペアマッチ/インプットキャプチャ A 割り込み、SCI チャンネル 0 の送信データエンプティ、受信データフル割り込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

I/O モードの設定手順例を図 8.3 に示します。

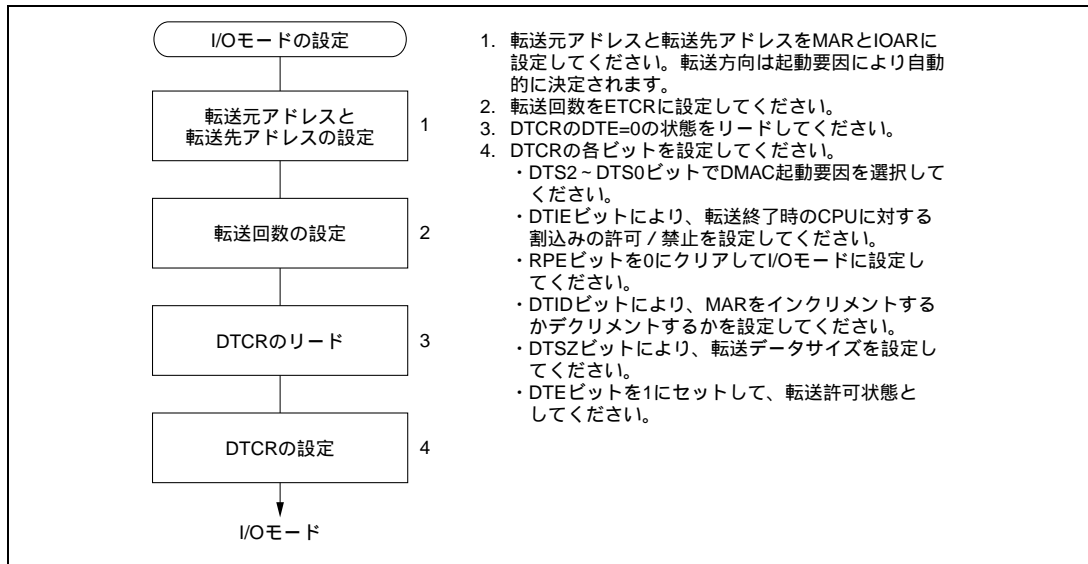


図 8.3 I/O モードの設定手順例

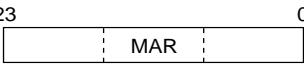
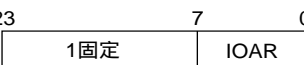

8.4.3 アイドルモード

アイドルモードは各チャンネル独立に設定可能です。

アイドルモードでは、1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を表 8.7 に示します。

表 8.7 アイドルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0 受信データフル割込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元のアドレス	固 定
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先のアドレスを 24 ビットで指定します。IOAR はアドレス下位 8 ビットを指定し、上位 16 ビットは 1 となります。MAR、IOAR はインクリメントもデクリメントもされません。

図 8.4 にアイドルモードの動作を示します。

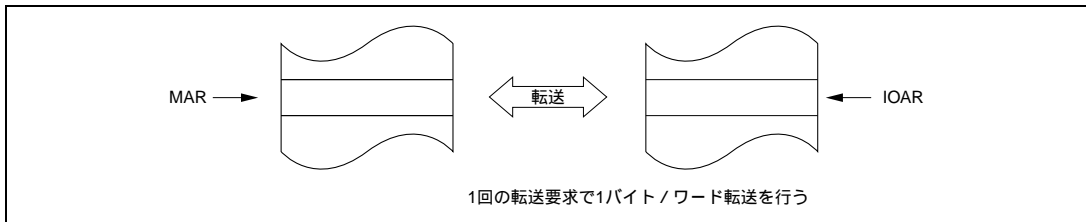


図 8.4 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、CPU に割込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、ITU チャネル 0~3 のコンペアマッチ/インプットキャプチャ A 割込み、SCI チャネル 0 の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

アイドルモードの設定手順例を図 8.5 に示します。

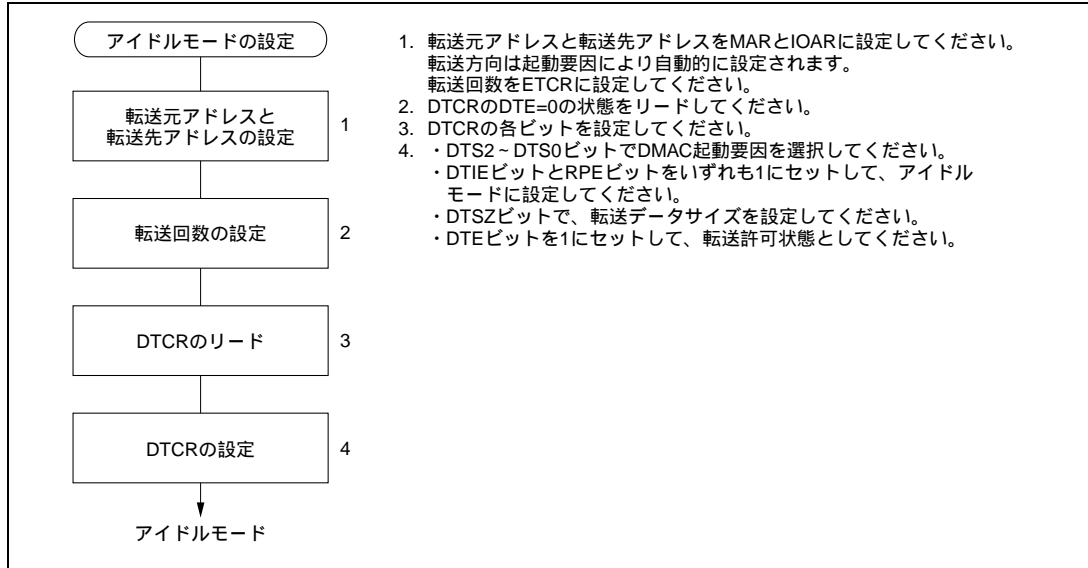


図 8.5 アイドルモードの設定手順例

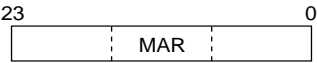
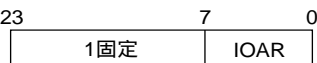


8.4.4 リピートモード

リピートモードはITUのコンペアマッチなどに同期して、テーブル上のデータをプログラマブルタイミングパターンコントローラ（TPC）に対して繰り返し転送するのに便利なモードです。各チャンネル独立に設定可能です。

リピートモードでは、I/Oモードと同様に1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。指定された回数の転送終了時、MAR、およびETCRHの内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

リピートモード時のレジスタの機能を表 8.8 に示します。

表 8.8 リピートモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCIO 受信データフル割込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1回の転送ごとにインクリメント/デクリメント ETCRHがH'0000になると初期設定値を回復
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
	転送カウンタ		転送回数	1回の転送ごとにデクリメント H'0000になるとETCRLの内容を格納
	転送回数保持		転送回数	固 定

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

リピートモードでは ETCRH を転送カウンタとし、ETCRL は転送回数保持に使用します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の値が格納されます。また、MAR は DTCR の DTSZ ビットおよび DTID ビットの値に応じて初期設定値を回復します。このときの MAR の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRL}$$

ETCRH と ETCRL には同じ値を初期設定してください。

リピートモードでは CPU が DTE ビットを 0 にクリアするまで転送を繰り返します。DTE ビットを 0 にクリアした後、CPU が DTE ビットを 1 にセットすると、クリアした時点の状態から転送を再開します。CPU に対して割込み要求は発生しません。

転送元および転送先アドレスは、I/O モードと同様、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR にはアドレス下位 8 ビットを指定し、上位 16 ビットは 1 となります。IOAR は転送によりインクリメントもデクリメントもされません。

図 8.6 にリピートモードの動作を示します。

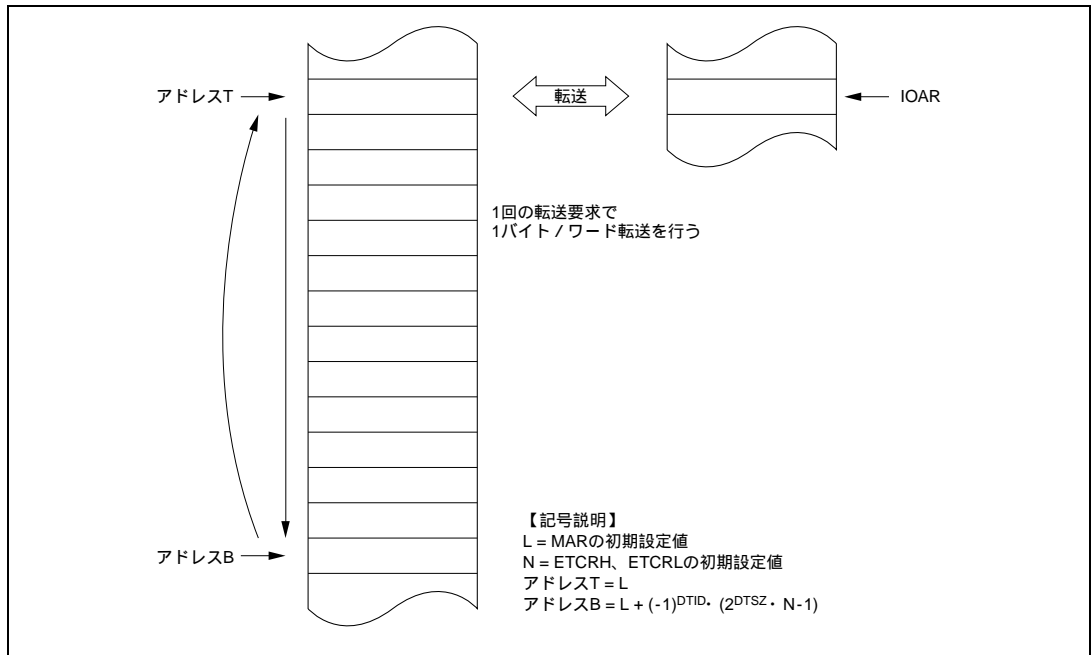


図 8.6 リピートモードの動作

転送回数は ETCRH、ETCRL に 8 ビットで指定します。転送回数の最大値は ETCRH、ETCRL にそれぞれ H'FF を設定したときで、255 となります。

転送要求（起動要因）には、ITU チャンネル 0～3 のコンペアマッチ/インプットキャプチャ A 割込み、SCI チャンネル 0 の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

リピートモードの設定手順例を図 8.7 に示します。

8. DMA コントローラ

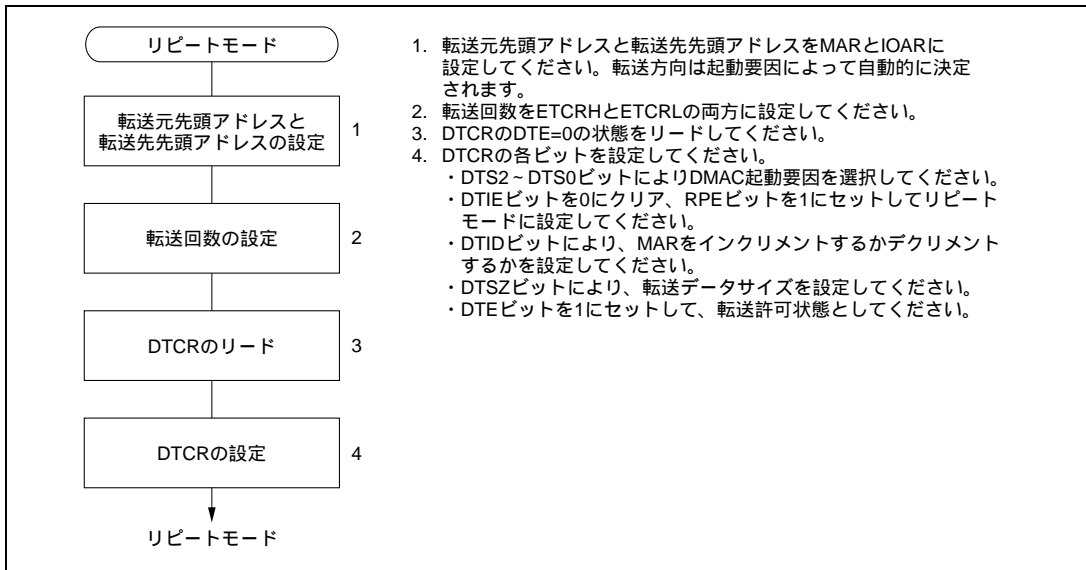


図 8.7 リピートモードの設定手順例

8.4.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。

ノーマルモードでは、1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスはMARA、MARBで指定します。

ノーマルモード時のレジスタの機能を表 8.9 に示します。

表 8.9 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
<div style="text-align: center;"> 23 0 </div>	ソースアドレスレジスタ	転送元先頭アドレス	1回の転送ごとにインクリメント/デクリメントまたは固定
<div style="text-align: center;"> 23 0 </div>	デスティネーションアドレスレジスタ	転送先頭アドレス	1回の転送ごとにインクリメント/デクリメントまたは固定
<div style="text-align: center;"> 15 0 </div>	転送カウンタ	転送回数	1回の転送ごとにデクリメント

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は MARA、MARB 独立に行うことができます。

転送回数は ETCRA によって 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

図 8.8 にノーマルモードの動作を示します。

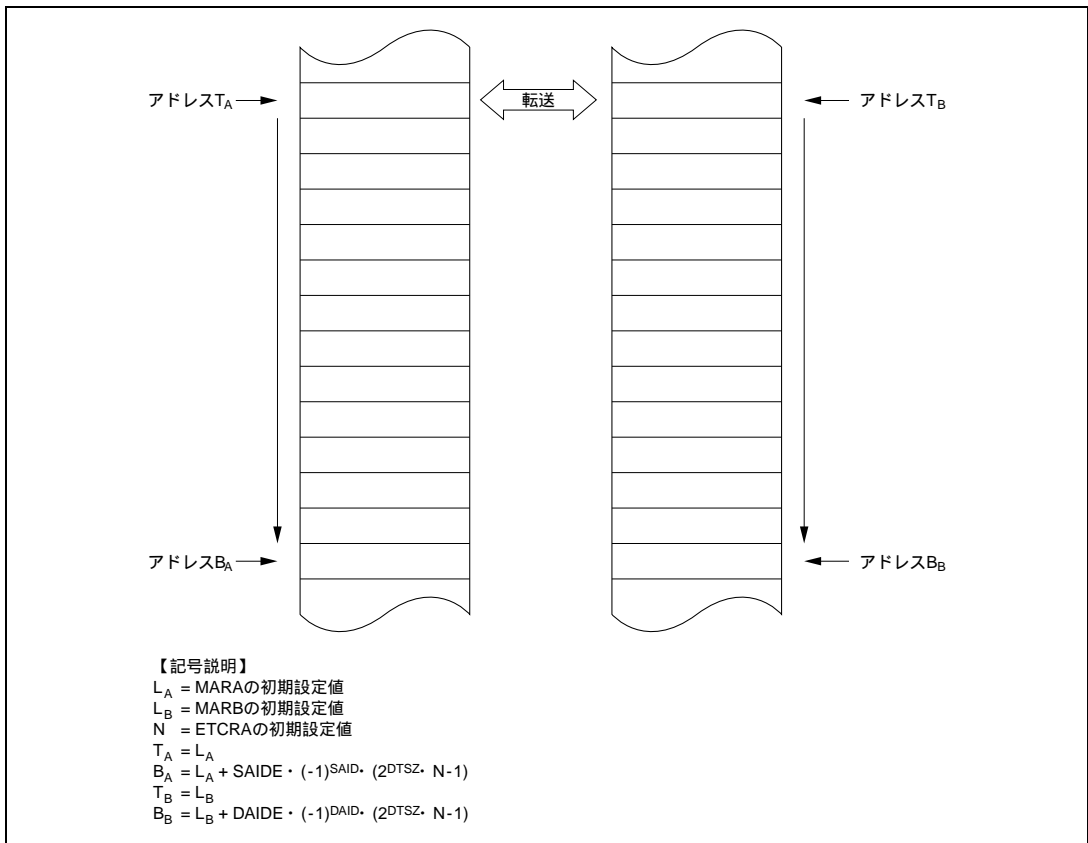


図 8.8 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは DMAC は 1 回の転送を行うたびにバスを一旦解放します。バーストモードでは、より優先順位の高いバスマスタからのバス権要求がないかぎり転送終了までバスを占有し続けます。

設定の詳細は「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

ノーマルモードの設定手順例を図 8.9 に示します。

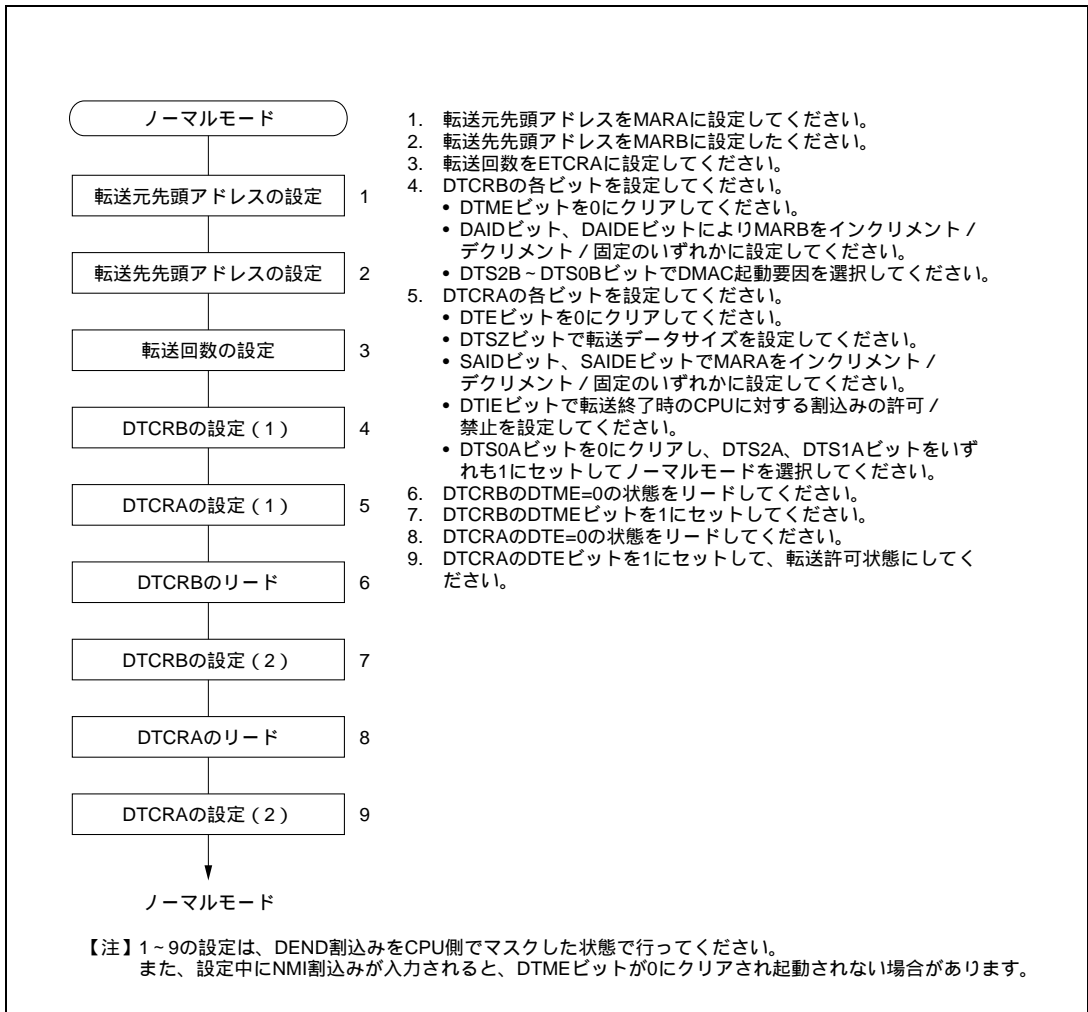


図 8.9 ノーマルモードの設定手順例



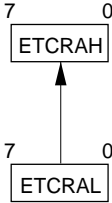

8.4.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。

ブロック転送モードでは、1回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスはMARA、MARBで指定します。ブロックエリア側のアドレスは固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を表 8.10 に示します。

表 8.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1回の転送ごとにインクリメント/デクリメントまたは固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1回の転送ごとにインクリメント/デクリメントまたは固定
	ブロックサイズカウンタ	ブロックサイズ	1回の転送ごとにデクリメント H'00になるとETCRALの値を格納
	ブロックサイズ保持	ブロックサイズ	固定
	ブロック転送カウンタ	ブロック転送回数	ブロック転送ごとにデクリメント H'0000になると転送を終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

ETCRB : 転送カウンタレジスタ B

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB 独立に行うことができます。ブロックエリアを指定する MAR は、インクリメント/デクリメントを指定した場合でも 1 回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかは ETCRB の TMS ビットにより指定します。

1 回の転送要求で転送するブロックサイズを M ($M=1\sim 255$) とし、 N 回 ($N=1\sim 65,536$) の転送を行うとき、ETCRAH と ETCRAL にそれぞれ M を、ETCRB に N を設定します。

図 8.10 にブロック転送モードの動作を示します。TMS ビットを 0 にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。

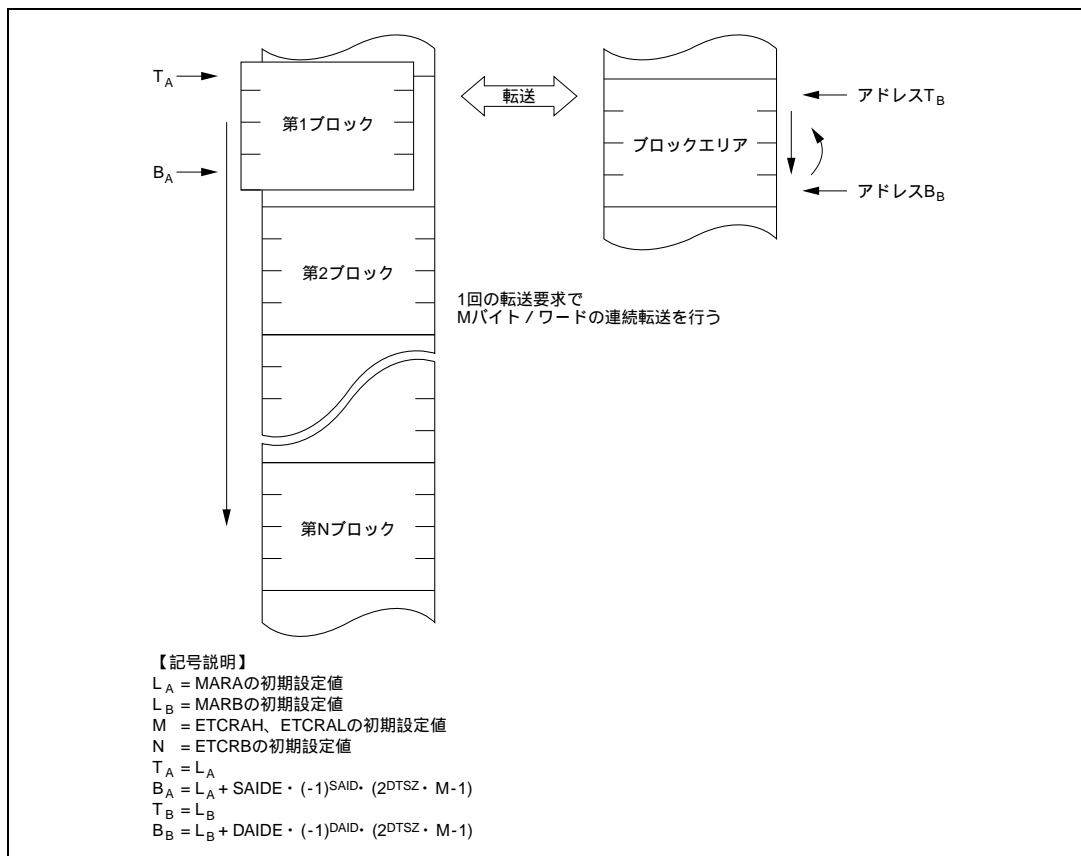


図 8.10 ブロック転送モードの動作

転送要求によってDMACが起動されるとバースト転送を行います。この間、MARA、MARBともDTCRの設定に従い更新され、ETCRAHをデクリメントします。ETCRAHがH'00になると、ETCRAHはETCRALの値が格納され初期設定値に戻ります。同時にブロックエリア側のMARも初期設定値に戻り、ETCRBをデクリメントしてH'0000でなければ次の転送要求待ちとなります。ETCRAHとETCRALには同じ値を初期設定してください。

この動作を繰り返してETCRBの値がH'0000となったとき、DTEビットを0にクリアして転送を終了します。このときDTIEビットが1にセットされているとCPUに対して割り込みを要求します。

デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合のDMACの動作フロー例を図8.11に示します。aはブロックエリアのアドレスが連続する場合、bはブロックエリアのアドレス固定の場合を示します。

転送要求（起動要因）には、ITUチャンネル0~3コンペアマッチ/インプットキャプチャA割り込みと外部リクエストがあります。

設定の詳細は「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

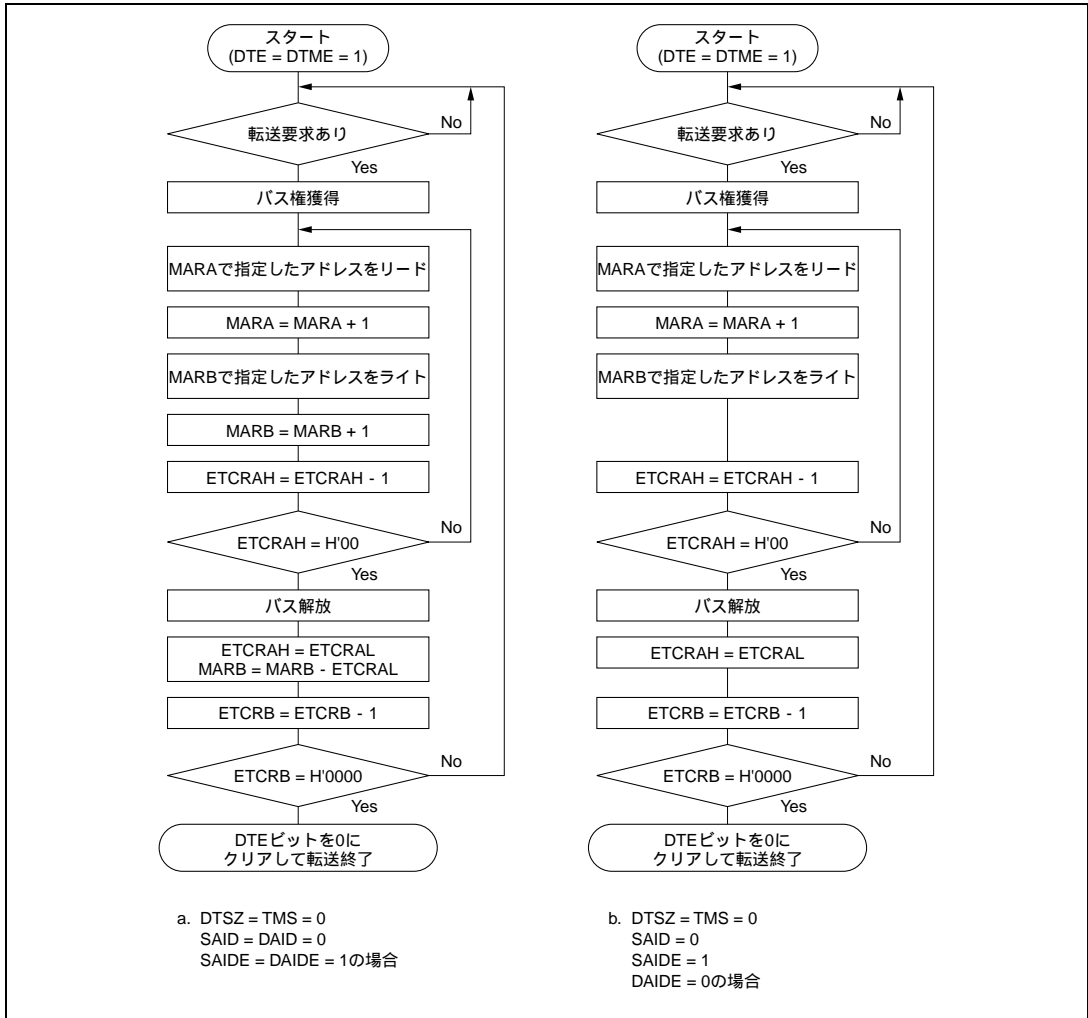


図 8.11 ブロック転送モードの動作フロー例

ブロック転送モードの設定手順例を図 8.12 に示します。

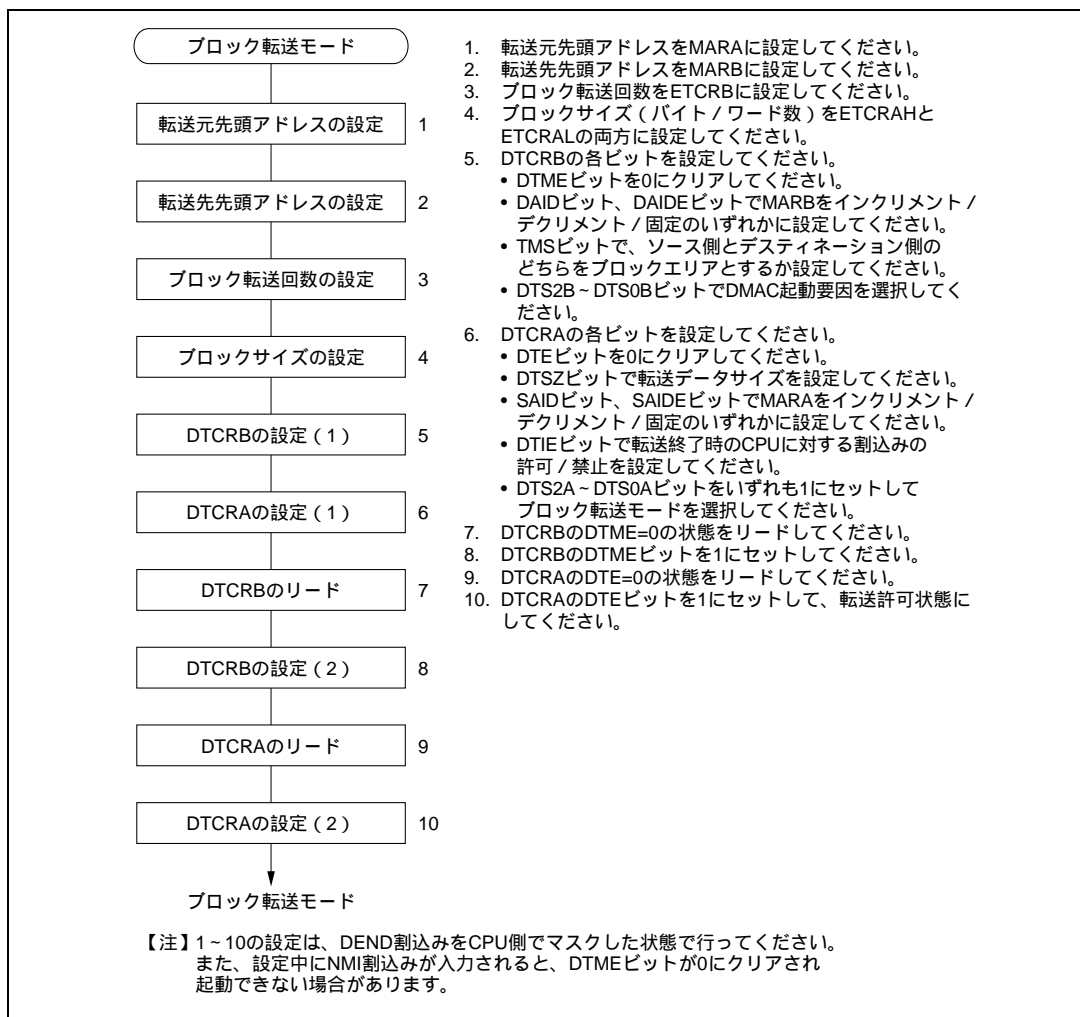


図 8.12 ブロック転送モードの設定手順例

8.4.7 DMAC の起動要因

DMAC の起動要因には、内部割込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより指定できる要因が表 8.11 に示すように異なります。

表 8.11 DMAC の起動要因

起 動 要 因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A,1A	チャンネル 0B,1B	ノーマル	ブロック
内部割込み	IMIA0			×	
	IMIA1			×	
	IMIA2			×	
	IMIA3			×	
	TXIO			×	×
	RXIO			×	×
外部リクエスト	$\overline{\text{DREQ}}$ 端子の立下がり	×			
	$\overline{\text{DREQ}}$ 端子の Low レベル入力	×			×
オートリクエスト			×		×

(1) 内部割込みによる起動

DMAC の起動要因として選択された割込み要求は、DTE = 1 の状態では CPU に対しては要求されません。したがって、起動要因として使用している割込みで同時に CPU に割込みを発生させることはできません。

割込み要求により DMAC が起動されると、割込み要求フラグは自動的にクリアされます。複数のチャンネルで同一の割込みを起動要因として指定した場合、最初に最も優先順位の高いチャンネルが起動された時点で割込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

(2) 外部リクエストによる起動

起動要因として外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定した場合は、該当する $\overline{\text{DREQ}}$ 端子と $\overline{\text{TEND}}$ 端子が対応するポートのデータディレクションレジスタ (DDR) の設定にかかわらず、それぞれ入力端子、出力端子になります。

$\overline{\text{DREQ}}$ 端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は $\overline{\text{DREQ}}$ 端子入力の High レベルから Low レベルへの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合は $\overline{\text{DREQ}}$ 端子が Low レベルに保持されている間は、転送終了まで転送を続けます。ただし、1 バイトまたは 1 ワードの転送を行うたびに一旦バスを解放します。転送の途中で $\overline{\text{DREQ}}$ 端子入力が High レベルとなった場合、転送中の 1 バイトまたは 1 ワードを転送した時点で転送を中断します。なお、 $\overline{\text{DREQ}}$ 端子を Low レベルにすると、起動要因は 1 バイトまたは 1 ワードの転送が行われるまで内部で保持されています。

$\overline{\text{TEND}}$ 端子は最後の転送のライトサイクル中 Low レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モードはエッジセンスの転送要求のみ可能です。 $\overline{\text{DREQ}}$ 端子入力の High レベルから

Low レベルへの変化を検出するたびに、指定された 1 ブロックを転送します。

\overline{TEND} 端子は 1 ブロック転送の最後のライトサイクル中 Low レベルとなります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを一旦解放しますので、通常、DMAC サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス権要求がないかぎり転送終了までバスを占有し続けます。優先順位の高いバス権要求があった場合は、転送中の 1 バイトまたは 1 ワードを転送した時点でバスを解放します。

8.4.8 DMAC のバスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 8.13 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、1 サイクルのデッドサイクル (T_d) の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定にしがいます。

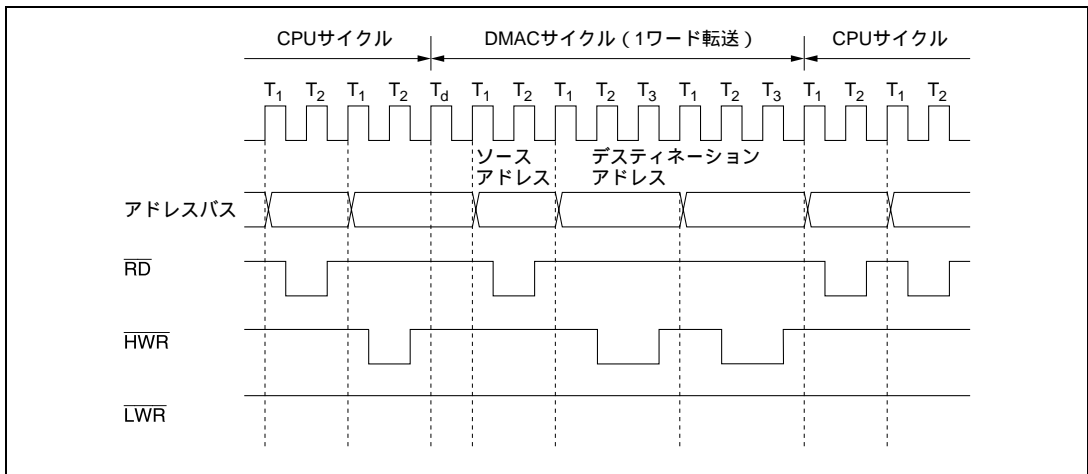


図 8.13 DMA 転送バスタイミング例

\overline{DREQ} 端子 Low レベルで DMAC を起動した場合のタイミングを図 8.14 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ転送する場合の例です。 \overline{DREQ} 端子が Low レベルに保持されている間、DMAC は転送を継続します。

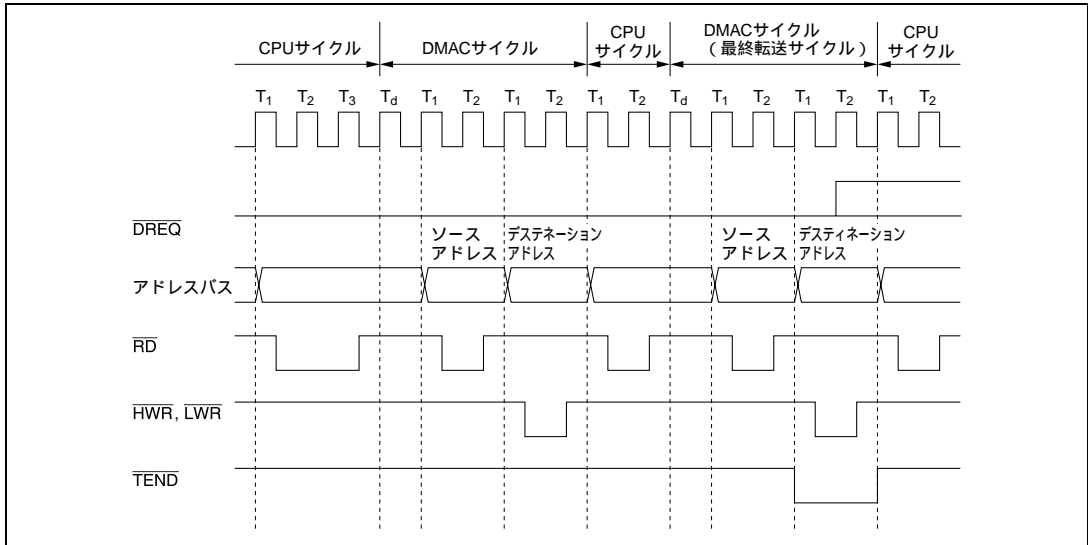


図 8.14 DREQ 端子 Low レベル入力選択時の DMA 転送バスタイミング

オートリクエストバーストモードの場合のタイミングを図 8.15 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ、3 ワード転送する場合の例です。

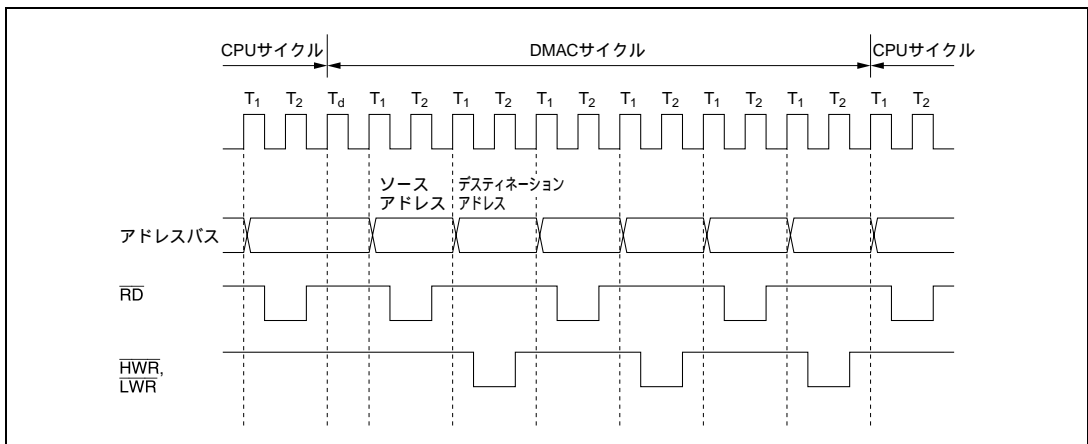


図 8.15 バーストモード DMA 転送バスタイミング

$\overline{\text{DREQ}}$ 端子で DMAC を起動する場合、転送要求が発生してから DMAC が動作を開始するまでの期間は最短で 4 ステートです。

転送要求発生後、DMAC が動作を開始し転送を行うまで、 $\overline{\text{DREQ}}$ 端子のサンプリングは行いません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1 ブロックの転送終了後から行います。

ノーマルモード時、 $\overline{\text{DREQ}}$ 端子の立下がりエッジで DMAC を起動する場合のタイミングを図 8.16 に示します。

8. DMA コントローラ

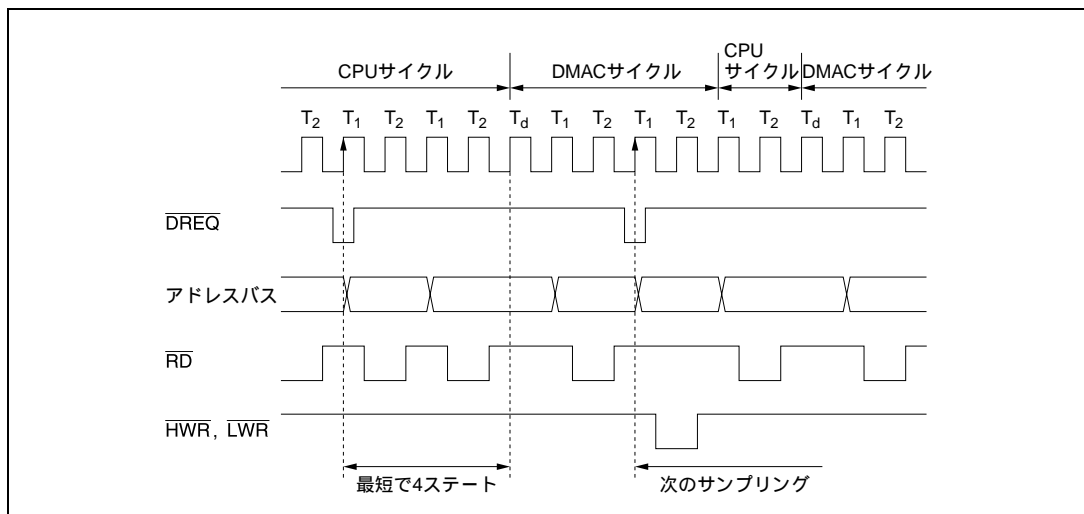


図 8.16 ノーマルモード時の \overline{DREQ} 端子の立下がりエッジによる DMAC 起動タイミング

ノーマルモード時、 \overline{DREQ} 端子の Low レベルで DMAC を起動する場合のタイミングを図 8.17 に示します。

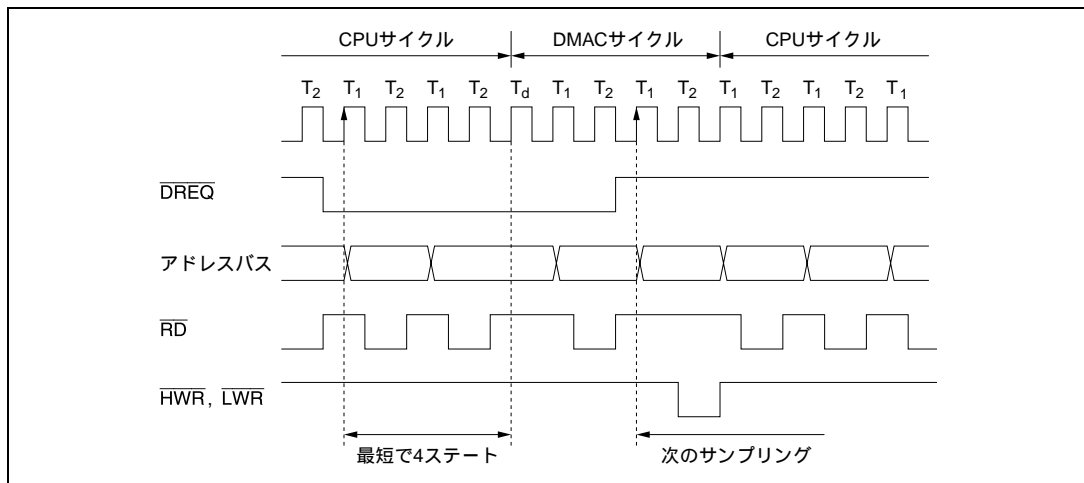


図 8.17 ノーマルモード時の \overline{DREQ} 端子の Low レベルによる DMAC 起動タイミング

ブロック転送モード時、 \overline{DREQ} 端子の立下がりエッジで DMAC を起動する場合のタイミングを図 8.18 に示します。

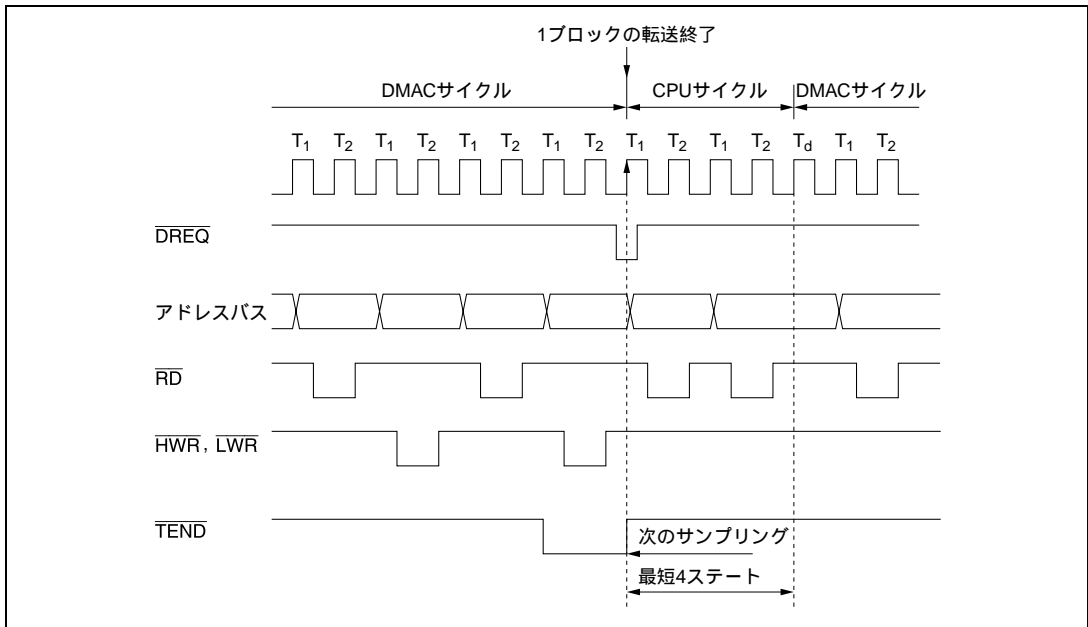


図 8.18 ブロック転送モード時の DREQ 端子の立下がりエッジによる DMAC 起動タイミング

8.4.9 DMAC 複数チャネルの動作

DMAC のチャネル間順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順に優先順位が高くなっています。表 8.12 に DMAC のチャネル間優先順位を示します。

表 8.12 チャネル間優先順位

ショートアドレスモード	フルアドレスモード	優先度
チャンネル 0A	チャンネル 0	高 ▲
チャンネル 0B		
チャンネル 1A	チャンネル 1	↑ 低
チャンネル 1B		

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、DMAC は以下のように動作します。

- [1] 転送要求が発生するとバス権を要求し、DMAC がバス権を獲得する時点で最も優先順位の高いチャネルの転送が起動されます。
- [2] 1つのチャネルが起動されると、そのチャネルがバス権を解放するまで他のチャネルは保留となります。
- [3] ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して [1] に戻ります。バスを解放した後、他のチャネルの転送要求が存在すると、再度バス権を要求します。
- [4] バーストモードの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して [1] に戻ります。ただし、優先順位の高いチャネルの転送要求または優先順位

8. DMA コントローラ

の高いバスマスタのバス権要求が存在すると、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。

チャンネル0AをI/Oモード、チャンネル1をバーストモードとし、チャンネル1が動作中、チャンネル0Aの転送要求が発生した場合のタイミングを図8.19に示します。

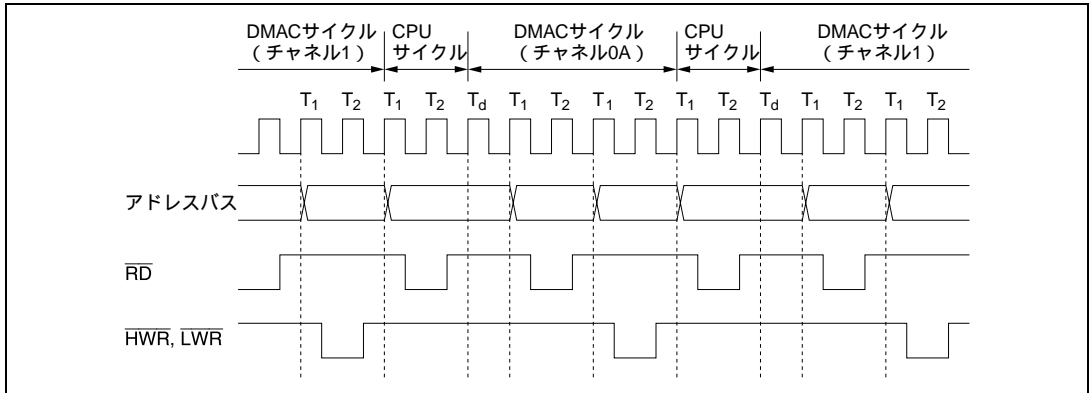


図 8.19 複数チャンネルの動作タイミング

8.4.10 外部バス権要求、リフレッシュコントローラとDMACの関係

DMAC動作中に、 $\overline{\text{BREQ}}$ 端子による外部バス権要求、リフレッシュコントローラによるバス権要求があった場合、DMACは転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMACは再度バス権を要求します。

チャンネル0でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを図8.20に示します。

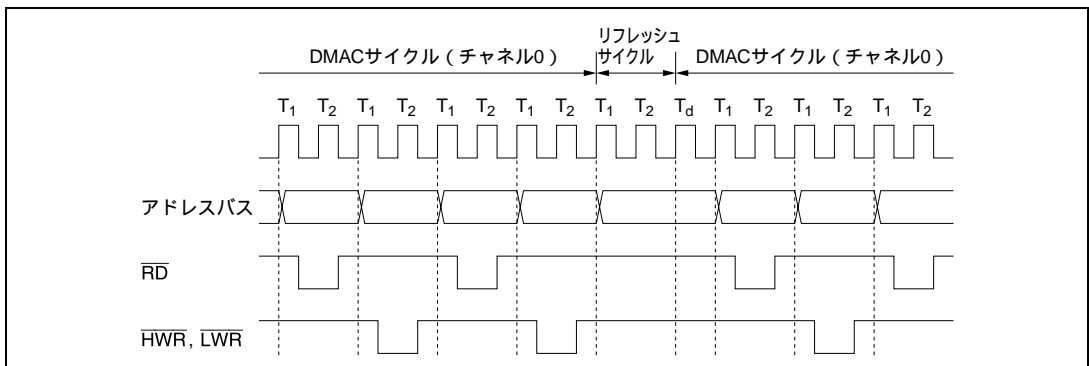


図 8.20 リフレッシュコントローラとDMACの動作タイミング

8.4.11 NMI 割込みと DMAC

ショートアドレスモードでは、NMI 割込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、転送中に NMI 割込みが発生すると DMAC は動作を中断します。フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。NMI 割込みが発生すると DTME ビットが 0 にクリアされ、DMAC は転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放し、CPU にバス権が移ります。ノーマルモードのときは、その後 CPU が DTME ビットを 1 にセットすると中断した動作を再開します。この場合、事前に DTE ビットが 1 にセットされ、DTME ビットが 0 にクリアされていることを確認してください。

チャンネル 0 をノーマルモードとしたときに、NMI 割込みにより DMAC 動作が停止したとき、動作を再開する手順を図 8.21 に示します。

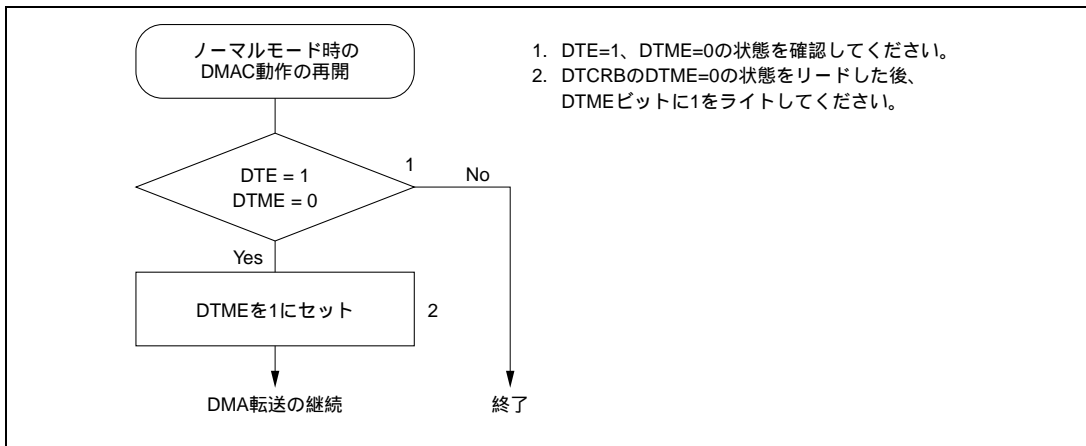


図 8.21 NMI 割込みにより停止した DMAC 動作の再開手順例

ブロック転送モード時の NMI 割込みについては「8.6.6 NMI 割込みとブロック転送モード」を参照してください。

8.4.12 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットを使用しても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 8.22 に示します。

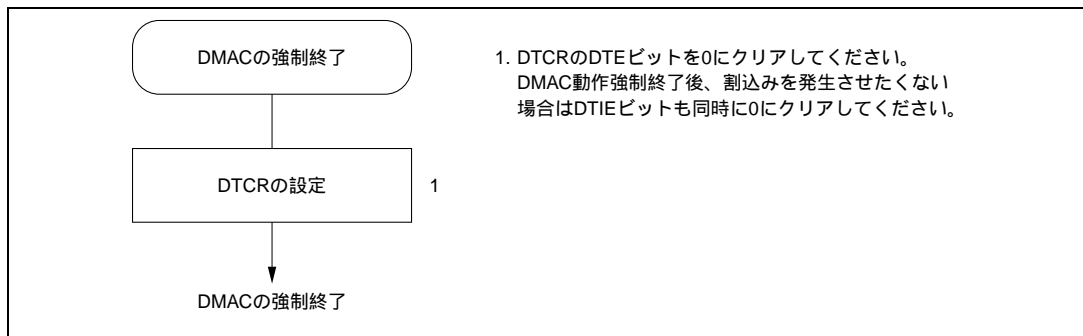


図 8.22 DMAC 動作の強制終了手順

8.4.13 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 8.23 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

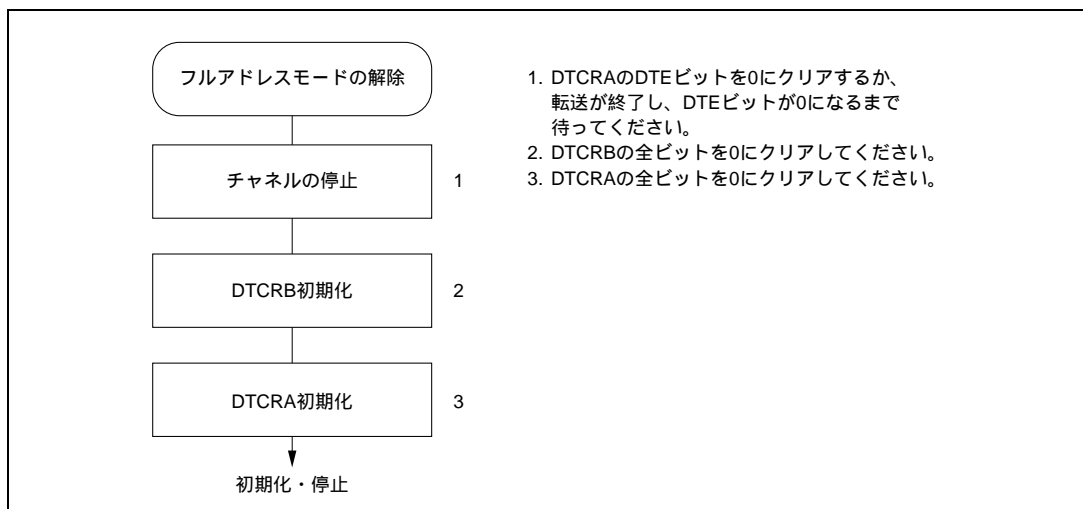


図 8.23 フルアドレスモードの解除手順例

8.4.14 リセット、スタンバイモード、スリープモード時の DMAC の状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMAC はイニシャライズされ、停止します。

スリープモード中は DMAC は動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを図 8.24 に示します。

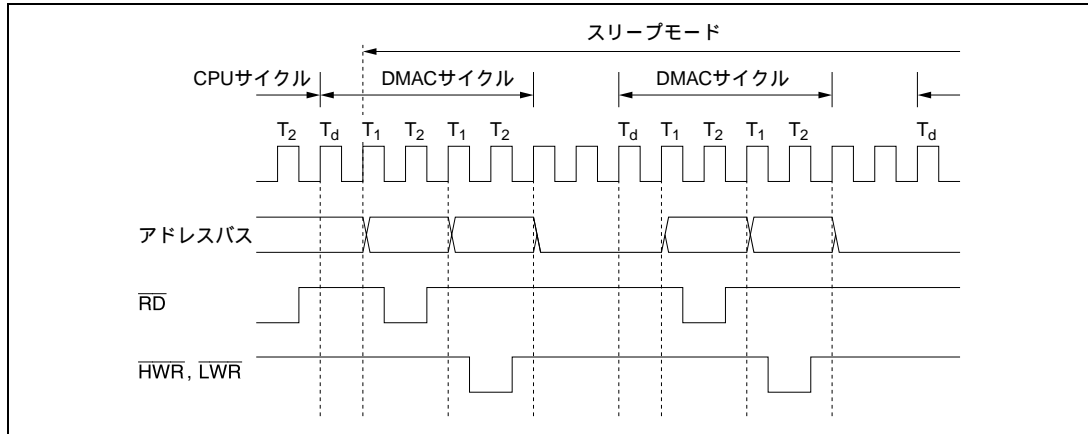


図 8.24 スリープモード中のサイクルスチールモードのタイミング

8.5 割り込み

DMAC の割り込み要因は転送終了のみです。表 8.13 に割り込み要因と優先度を示します。

表 8.13 DMAC の割り込み要因

割り込み要因	内 容		割り込み優先 順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み	-	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	-	

各割り込み要因は、対応する DTCR の DTIE ビットにより許可 / 禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の割り込みの優先順位は、チャンネル 0 > チャンネル 1、またチャンネル A > チャンネル B のように優先順位が高くなっています。

転送終了の割り込みブロック図を図 8.25 に示します。

DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

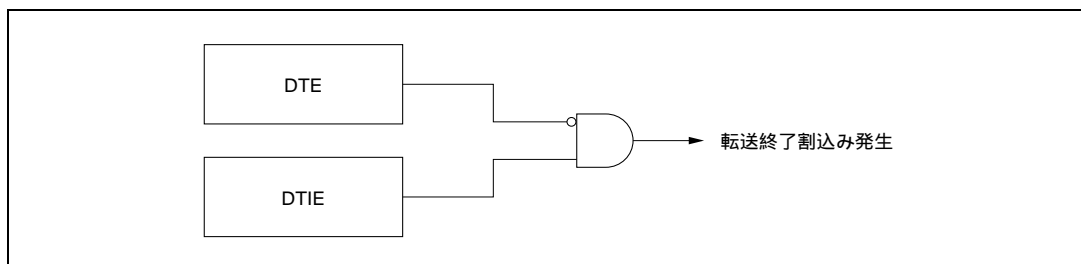


図 8.25 転送終了割り込みブロック図

フルアドレスモードでは、チャンネル B の転送終了割り込み (DENDB) は使用できません。また、DTME ビットは割り込み動作に影響を与えません。

8.6 使用上の注意

8.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データサイズをワードにした場合、MAR および IOAR は偶数値としてください。

8.6.2 DMAC による DMAC 自体のアクセス

DMAC サイクル中は DMAC 自体へのアクセスが禁止されています。したがって、DMAC のレジスタをソースまたはデスティネーションとして転送することはできません。

8.6.3 MAR のロングワードアクセス

MAR は MARR から始まるロングワードデータとしてアクセスすることができます。

(例)

```
MOV.L #LBL,ERO
```

```
MOV.L ERO,@MARR
```

このとき、バイトデータアクセスが4回行われます。第2バイト(MARE)と第3バイト(MARH)アクセスの間に、CPU がバスを解放する場合がありますので注意してください。

MAR のリード/ライトは DMAC 停止中に行ってください。

8.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2つのレジスタ DTCRA、DTCRB によって制御されます。これらレジスタの設定時には、チャンネル B がショートアドレスモードで動作しないように注意してください。許可ビット (DTE、DTME) は、最後に 1 にセットしてください。

8.6.5 内部割込みで DMAC を起動する場合の注意

- (1) 内部割込みで DMAC を起動する場合、起動要因を選択してから DMAC を転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMAC を転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中に DMAC を許可状態にする場合、図 8.26 の手順で行ってください。

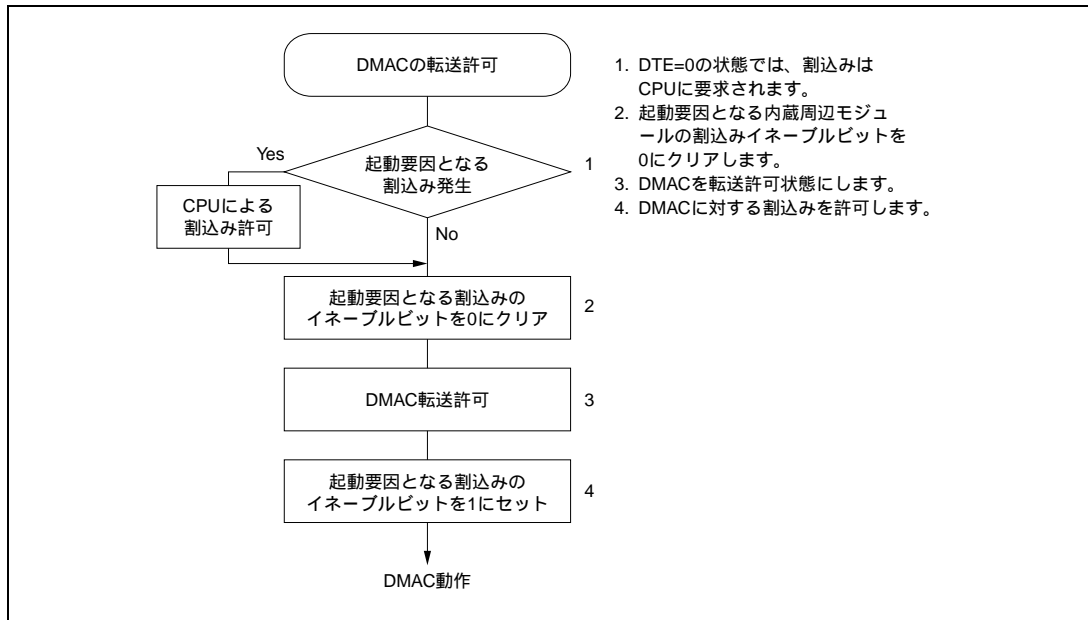


図 8.26 内蔵周辺モジュールが動作中に DMAC を転送許可状態にする場合の手順例

なお、DTE = 1なおかつDTME = 0の状態では、DMACは停止状態であり、またCPUにも起動要因となる割込みは要求されません。例えば、NMI割込みにより、DMACを停止状態にした場合は、起動要因となる割込みはCPUには要求されません。このとき、DMAC動作を打ち切る場合には、DTEビットを0にクリアし、CPUに割込みを要求させてください。DMAC動作を継続する場合には、DTMEビットを1にセットする前後で、図8.26 の2、4の操作を行ってください。

- (2) ITUの割込み要求でDMACを起動する場合、割込みによって起動されるDMA転送が終了するまで、次の割込みが発生しないようにしてください。1つのITUの割込み要求で複数チャンネルを起動する場合には、起動されるすべてのDMA転送が終了するまで、次の割込みが発生しないようにしてください。転送が終了するまでに次の割込みが発生すると、その割込みを選択しているチャンネルが以降の起動要求を受け付けなくなる場合があります。

8.6.6 NMI 割込みとブロック転送モード

ブロック転送モード中に NMI 割込みが発生すると DMAC は以下のように動作します。

- (1) NMI割込みが発生するとDMACは転送中の1バイトまたは1ワードの転送終了後、DTMEビットを0にクリアして停止します。したがって、1つのブロックの転送途中で停止する場合があります。ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになりません。

- (2) ブロックの転送途中で停止した場合、起動要因となる割込みフラグは0にクリアされています。起動要因の内部保持は行っていません。
- (3) DTEビットが1にセットされ、DTMEビットが0にクリアされた状態では、DMACは停止中であり、DMACは起動要因となる割込み要求を受け付けません。この状態で起動要因となる割込みが発生するとDMACは動作せず、転送要求の内部保持も行いません。また、CPUにも割込みは要求されません。
このため、DTMEビットを1にセットする前に起動要因となる割込みのイネーブルビットを0にクリアし、次にDTMEビットを1にセットし、その後、割込みイネーブルビットを1にセットしてください。「8.6.5 内部割込みでDMACを起動する場合の注意」を参照してください。
- (4) DTMEビットを1にセットすると、DMACは次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

8.6.7 MAR、IOAR のアドレス指定

MAR、IOAR で指定できるアドレスの範囲を表 8.14 に示します。

表 8.14 MAR、IOAR で指定できるアドレスの範囲

	1M バイトモード	16M バイトモード
MAR	H'00000 ~ H'FFFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)
IOAR	H'FFF00 ~ H'FFFFFF (1048320 ~ 1048575)	H'FFFF00 ~ H'FFFFFF (16776960 ~ 16777215)

1M バイトモードのとき、MAR のビット 23 ~ ビット 20 は無視されます。

8.6.8 転送中断時のバスサイクル

DTE ビットクリアによる強制終了や、NMI 割込みによる DTME ビットクリアの転送停止により、DMAC 内部で、すでに要求を保持しているチャンネルを停止させるとデッドサイクルを発生することがあります。このデッドサイクルにより中断したチャンネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャンネル0 でオートリクエストサイクルスチール転送中に、チャンネル0 の DTE ビットをクリアした場合のタイミングを図 8.27 に示します。

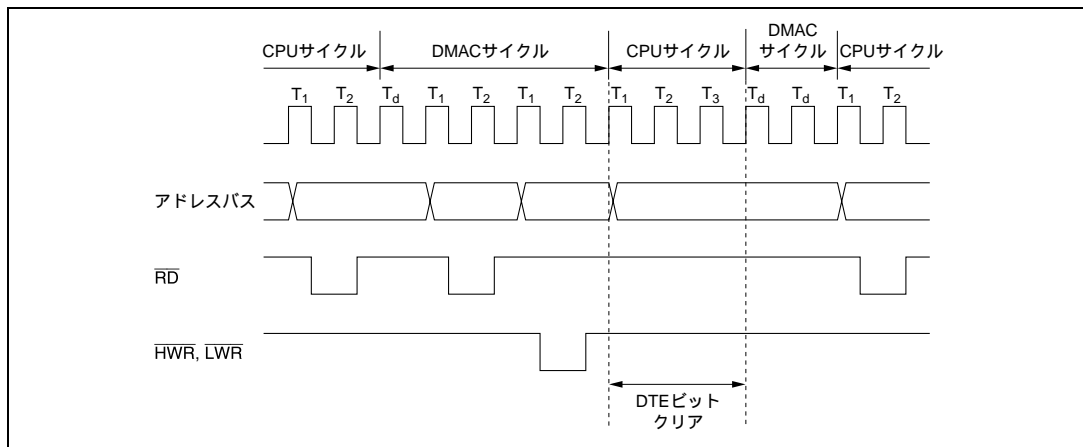


図 8.27 サイクルスチールモード DMA 転送の強制終了バスタイミング

9. I/O ポート

9.1 概要

本 LSI には、10 本の入出力ポート（ポート 1、2、3、4、5、6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 9.1 に示します。表 9.1 に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDR と DR のほかに、ポート 2、4、5 には入力プルアップ MOS コントロールレジスタ（PCR）があり、プルアップ MOS のオン/オフを制御できます。

ポート 1～6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9～B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 1～6、8～B はダーリントントランジスタを駆動することができます。ポート 1、2、5、B は LED を駆動（シンク電流 10mA）することができます。また、ポート P8₂～P8₀、PA₇～PA₀、および PB₃～PB₀ はシュミット入力となっています。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

9. I/O ポート

表 9.1 動作モード別ポート機能一覧

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート1	<ul style="list-style-type: none"> 8ビットの入出力ポート LED駆動可能 	P1 ₇ - P1 ₀ /A ₇ - A ₀	アドレス出力端子 (A ₇ - A ₀)				アドレス出力端子 (A ₇ - A ₀) と入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子	入出力ポート	
ポート2	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップMOS内蔵 LED駆動可能 	P2 ₇ - P2 ₀ /A ₁₅ - A ₈	アドレス出力端子 (A ₁₅ - A ₈)				アドレス出力端子 (A ₁₅ - A ₈) と入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子	入出力ポート	
ポート3	8ビットの入出力ポート	P3 ₇ - P3 ₀ /D ₁₅ - D ₈	データ入出力端子 (D ₁₅ - D ₈)						入出力ポート
ポート4	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップMOS内蔵 	P4 ₇ - P4 ₀ /D ₇ - D ₀	データ入出力端子 (D ₇ - D ₀) と 8ビットの入出力ポートの兼用 8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータ入出力端子						入出力ポート
ポート5	<ul style="list-style-type: none"> 4ビットの入出力ポート 入力プルアップMOS内蔵 LED駆動可能 	P5 ₅ - P5 ₀ /A ₁₉ - A ₁₆	アドレス出力端子 (A ₁₉ - A ₁₆)				アドレス出力端子 (A ₁₉ - A ₁₆) と 4ビットの入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子	入出力ポート	
ポート6	7ビットの入出力ポート	P6 ₆ /LWR P6 ₆ /HWR P6 ₆ /RD P6 ₆ /AS	バス制御信号出力端子 (LWR, HWR, RD, AS)						入出力ポート
		P6 ₆ /BACK P6 ₆ /BREQ P6 ₆ /WAIT	バス制御信号入出力端子 (BACK, BREQ, WAIT) と 3ビットの入出力ポートの兼用						
ポート7	8ビットの入出力ポート	P7 ₇ /AN ₇ /DA ₁ P7 ₇ /AN ₇ /DA ₀	A/D変換器のアナログ入力端子 (AN ₇ , AN ₆) および D/A変換器のアナログ出力端子 (DA ₁ , DA ₀) と入力ポートの兼用						
		P7 ₅ - P7 ₀ /AN ₅ - AN ₀	A/D変換器のアナログ入力端子 (AN ₅ - AN ₀) と入力ポートの兼用						
ポート8	<ul style="list-style-type: none"> 5ビットの入出力ポート P8₅ - P8₀はシュミット入力 	P8 ₅ /CS ₀	DDR=0 のとき入力ポート DDR=1 のとき (リセット後) CS ₀ 出力端子						入出力ポート
		P8 ₃ /CS ₁ /IRQ ₃ P8 ₂ /CS ₁ /IRQ ₂ P8 ₁ /CS ₁ /IRQ ₁	IRQ ₃ - IRQ ₁ 入力端子、CS ₁ - CS ₀ 出力端子と入力ポートの兼用 DDR=0 のとき (リセット後) 入力ポート DDR=1 のとき CS ₁ - CS ₀ 出力端子						
		P8 ₀ /RFSH/IRQ ₀	IRQ ₀ 入力端子、RFSH出力端子と入出力ポートの兼用						
ポート9	6ビットの入出力ポート	P9 ₉ /SCK ₁ /IRQ ₅ P9 ₉ /SCK ₁ /IRQ ₄ P9 ₉ /RxD ₁ P9 ₉ /RxD ₀ P9 ₉ /TxD ₁ P9 ₉ /TxD ₀	シリアルコミュニケーションインタフェースチャンネル0、1 (SCI0、1) の入出力端子 (SCK ₁ , SCK ₀ , RxD ₁ , RxD ₀ , TxD ₁ , TxD ₀)、および IRQ ₅ 、IRQ ₄ 入力端子と 6ビットの入出力ポートの兼用						

9.2 ポート 1

9.2.1 概要

ポート 1 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 1 の各端子は、図 9.1 に示す構成となっており、動作モードにより端子機能が異なります。モード 1~4 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_7 \sim A_0$) 出力端子となります。

モード 5、6 (内蔵 ROM 有効拡張モード) のときは、ポート 1 データディレクションレジスタ (PIDDR) の設定によりアドレスバス ($A_7 \sim A_0$) 出力端子、または入力ポートとなります。モード 7 (シングルチップモード) のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード/ライトサイクルで $A_7 \sim A_0$ がロウ/カラムアドレス出力となります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

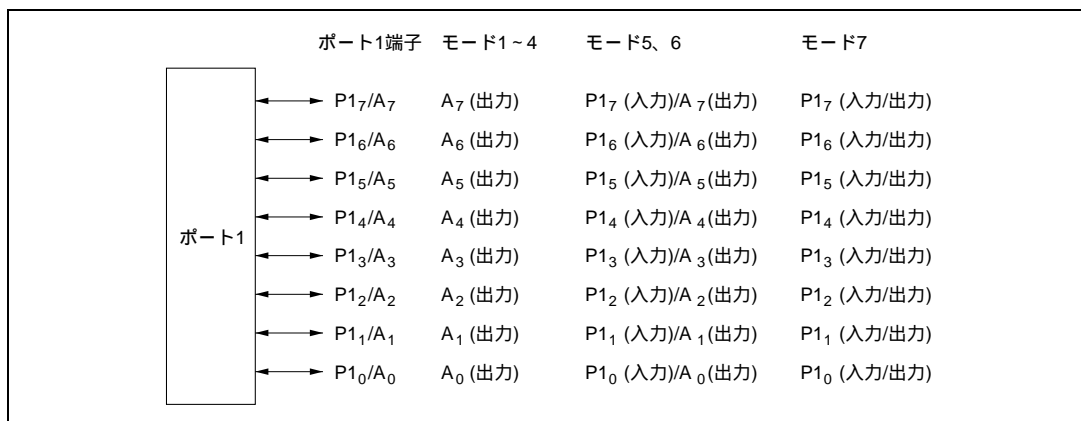


図 9.1 ポート 1 の端子構成

9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2 ポート 1 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFC0	ポート 1 データディレクションレジスタ	P1DDR	W	H'FF	H'00
H'FFC2	ポート 1 データレジスタ	P1DR	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

P1DDR は、8 ビットのライト専用のレジスタで、ポート 1 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
モード1~4 {	初期値:	1	1	1	1	1	1	1
	R/W :							
モード5~7 {	初期値:	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W

ポート1データディレクション7~0
ポート1の各端子の入出力を選択するビットです。

(a) モード 1~4 (内蔵 ROM 無効拡張モード)

P1DDR は 1 に固定され、ポート 1 はアドレスバスとして機能します。ライトは無効です。

(b) モード 5、6 (内蔵 ROM 有効拡張モード)

P1DDR に 1 をセットすると対応するポート 1 の端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7 (シングルチップモード)

ポート 1 は入出力ポートとして機能します。P1DDR に 1 をセットすると対応するポート 1 の端子は出力端子となり、0 にクリアすると入力端子になります。

モード 5~7 では P1DDR は、ライト専用のレジスタで、リードは無効です。リードすると 1 が読み出されます。

P1DDR は、リセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされません。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P1DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 1 データレジスタ (P1DR)

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の出力データを格納します。また、このレジスタをリードすると、P1DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P1DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1データ7~0
ポート1の各端子のデータを格納するビットです。

9. I/O ポート

P1DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.3 ポート 2

9.3.1 概要

ポート 2 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 2 の各端子は、図 9.2 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1~4 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_{15} \sim A_8$) 出力端子となります。モード 5、6 (内蔵 ROM 有効拡張モード) のときは、ポート 2 データディレクションレジスタ (P2DDR) の設定によりアドレスバス ($A_{15} \sim A_8$) または入力ポートとなります。

モード 7 (シングルチップモード) のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード/ライトサイクルで A_9 、 A_8 がロウ/カラムアドレス出力となります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

ポート 2 は、プログラムで制御可能なプルアップ MOS が内蔵されています。また、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

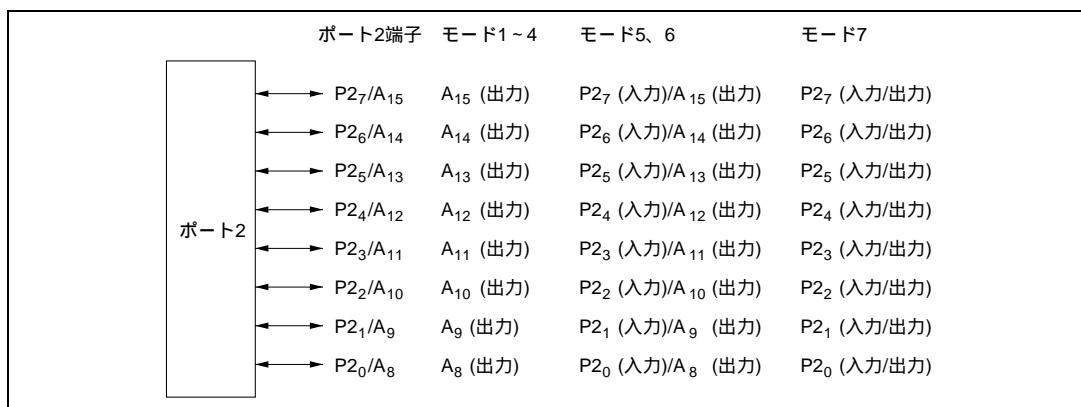


図 9.2 ポート 2 の端子構成

9.3.2 レジスタ構成

表 9.3 にポート 2 のレジスタ構成を示します。

表 9.3 ポート 2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFC1	ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00
H'FFC3	ポート 2 データレジスタ	P2DR	R/W	H'00	
H'FFD8	ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート2 データディレクションレジスタ (P2DDR)

ビット:		7	6	5	4	3	2	1	0
		P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W :								
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート2データディレクション7~0
ポート2の各端子の入出力を選択するビットです。

(a) モード1~4 (内蔵 ROM 無効拡張モード)

P2DDR は 1 に固定され、ポート 2 はアドレスバスとして機能します。ライトは無効です。

(b) モード5、6 (内蔵 ROM 有効拡張モード)

ポート 2 はリセット直後は入力ポートとなっています。P2DDR に 1 をセットすると対応するポート 2 の端子はアドレス出力端子となり、0 にクリアすると入力ポートになります。

(c) モード7 (シングルチップモード)

ポート 2 は入出力ポートとして機能します。P2DDR に 1 をセットすると対応するポート 2 の端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

モード5~7ではP2DDRは、ライト専用のレジスタで、リードは無効です。リードすると1が読み出されます。

P2DDRは、リセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P2DDRが1にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート2 データレジスタ (P2DR)

P2DR は、8 ビットのリード / ライト可能なレジスタで、ポート 2 の出力データを格納します。また、このレジスタをリードすると、P2DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P2DR の値が読み出されます。

ビット:		7	6	5	4	3	2	1	0
		P27	P26	P25	P24	P23	P22	P21	P20
初期値:		0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2データ7~0
ポート2の各端子のデータを格納するビットです。

9. I/O ポート

P2DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 2 入力プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 2 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7~0
 ポート2に内蔵した入力プルアップMOSを
 制御するビットです。

モード 5~7 のとき、P2DDR を 0 にクリアした (入力ポートの) 状態で P2PCR を 1 にセットすると対応するビットの入力プルアップ MOS は ON します。

P2PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.4 入力プルアップ MOS の状態 (ポート 2)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1	OFF		OFF	
2				
3				
4				
5	OFF		ON / OFF	
6				
7				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON / OFF : P2PCR = 1 かつ P2DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

9.4 ポート 3

9.4.1 概要

ポート 3 は、データバス兼用の 8 ビットの入出力ポートです。ポート 3 の各端子は、図 9.3 に示す構成となっており、モード 1~6 (拡張モード) のときはデータバスとなり、モード 7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 3 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

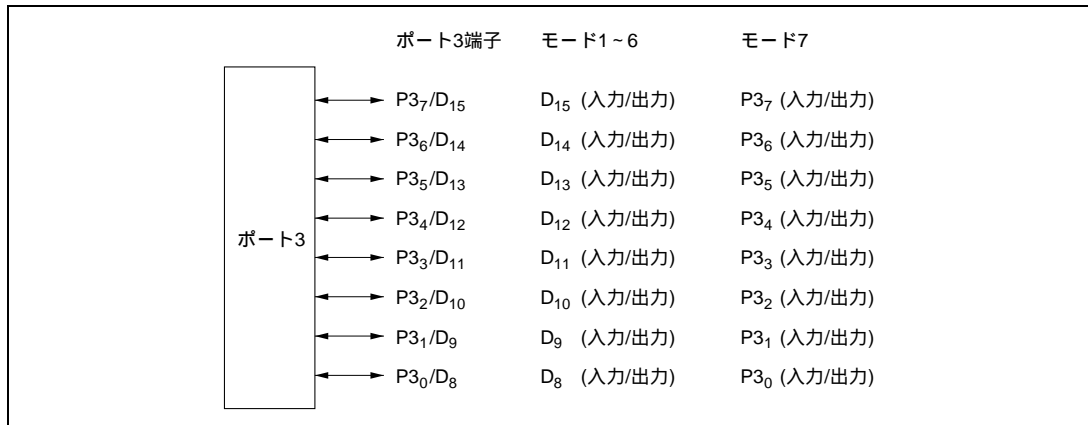


図 9.3 ポート 3 の端子構成

9.4.2 レジスタ構成

表 9.5 にポート 3 のレジスタ構成を示します。

表 9.5 ポート 3 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFC4	ポート 3 データディレクションレジスタ	P3DDR	W	H'00
H'FFC6	ポート 3 データレジスタ	P3DR	R/W	H'00

【注】 * アドレスの低位 16 ビットを示しています。

9. I/O ポート

(1) ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、8 ビットのライト専用のレジスタで、ポート 3 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3データディレクション7~0
ポート3の各端子の入出力を選択するビットです。

(a) モード 1~6 (拡張モード)

ポート 3 はデータバスとして機能します。P3DDR は無効です。

(b) モード 7 (シングルチップモード)

ポート 3 は入出力ポートとして機能します。

P3DDR に 1 をセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P3DDR は、ライト専用で、リードは無効です。リードすると、1 が読み出されます。

P3DDR は、リセット、またはリードウェアスタンバイモード時に H'00 にイニシャライズされません。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P3DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 3 データレジスタ (P3DR)

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の出力データを格納します。また、このレジスタをリードすると、P3DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P3DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3データ7~0
ポート3の各端子のデータを格納するビットです。

P3DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.5 ポート 4

9.5.1 概要

ポート 4 は、データバス兼用の 8 ビットの入出力ポートです。ポート 4 の各端子は、図 9.4 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1~6 (拡張モード) のときバス幅コントロールレジスタ (ABWCR) により、エリア 0~7 のすべてを 8 ビットアクセス空間に設定すると、8 ビットバスモードとなり、ポート 4 は入出力ポートとなります。また、エリア 0~7 のうち少なくとも 1 つのエリアを 16 ビットアクセス空間に設定すると、16 ビットバスモードとなり、ポート 4 はデータバスとなります。

モード 7 (シングルチップモード) のとき、ポート 4 は、入出力ポートとなります。

ポート 4 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 4 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

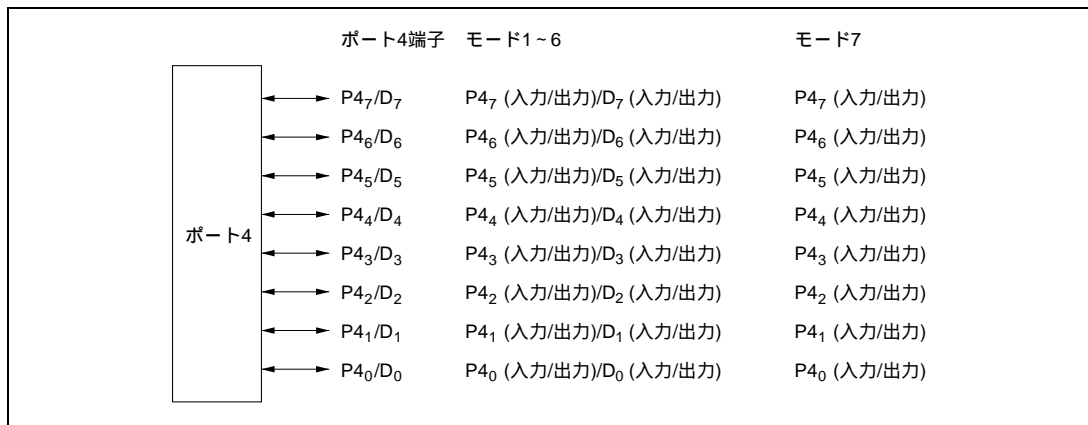


図 9.4 ポート 4 の端子構成

9.5.2 レジスタ構成

表 9.6 にポート 4 のレジスタ構成を示します。

表 9.6 ポート 4 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFC5	ポート 4 データディレクションレジスタ	P4DDR	W	H'00
H'FFC7	ポート 4 データレジスタ	P4DR	R/W	H'00
H'FFDA	ポート 4 入力プルアップ MOS コントロールレジスタ	P4PCR	R/W	H'00

【注】 * アドレスの下位 16 ビットを示しています。

9. I/O ポート

(1) ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、8 ビットのライト専用のレジスタで、ポート 4 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4データディレクション7~0
ポート4の各端子の入出力を選択するビットです。

(a) モード 1~6 (拡張モード)

全エリアを 8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート 4 は入出力ポートとして機能します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

少なくとも 1 つのエリアを 16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、ポート 4 はデータバスとして機能します。

(b) モード 7 (シングルチップモード)

ポート 4 は入出力ポートとして機能します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

P4DDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされません。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時にはイニシャライズされません。したがって、ポート 4 が入出力ポートとして機能しているとき、P4DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 4 データレジスタ (P4DR)

P4DR は、8 ビットのリード/ライト可能なレジスタで、ポート 4 の出力データを格納します。また、このレジスタをリードすると、P4DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは、P4DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7~0
ポート4の各端子のデータを格納するビットです。

P4DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされません。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート4 入力プルアップ MOS コントロールレジスタ (P4PCR)

P4PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 4 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0
ポート4に内蔵した入力プルアップMOSを制御するビットです。

モード 1~6 (拡張モード) の 8 ビットバスモード時とモード 7 (シングルチップモード) 時、P4DDR を 0 にクリアした (入力ポートの) 状態で、P4PCR を 1 にセットすると入力プルアップ MOS は ON します。

P4PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 9.7 に示します。

表 9.7 入力プルアップ MOS の状態 (ポート 4)

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1~6	8 ビットバスモード	OFF		ON / OFF	
	16 ビットバスモード			OFF	
7				ON / OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON / OFF : P4PCR = 1 かつ P4DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

9.6 ポート 5

9.6.1 概要

ポート 5 は、アドレス出力兼用の 4 ビットの入出力ポートです。ポート 5 の各端子は、図 9.5 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1~4 (内蔵 ROM 無効拡張モード) に設定したとき、ポート 5 の各端子はアドレス ($A_{19} \sim A_{16}$) 出力として機能します。モード 5、6 (内蔵 ROM 有効拡張モード) に設定したときは、ポート 5 データディレクションレジスタ (P5DDR) の設定によりアドレスバス ($A_{19} \sim A_{16}$) または入力ポートとなります。

モード 7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 5 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 5 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することもできます。

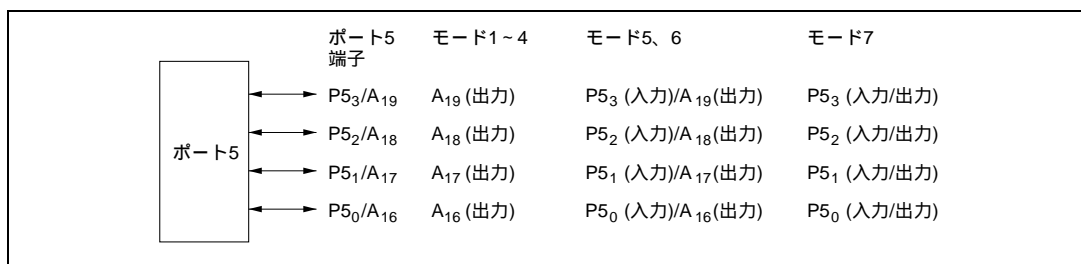


図 9.5 ポート 5 の端子構成

9.6.2 レジスタ構成

表 9.8 にポート 5 のレジスタ構成を示します。

表 9.8 ポート 5 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFC8	ポート 5 データディレクションレジスタ	P5DDR	W	H'FF	H'F0
H'FFCA	ポート 5 データレジスタ	P5DR	R/W	H'F0	
H'FFDB	ポート 5 入力プルアップ MOS コントロールレジスタ	P5PCR	R/W	H'F0	

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、8 ビットのライト専用のレジスタで、ポート 5 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
					P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
モード1~4	{	初期値:	1	1	1	1	1	1
	{	R/W :						
モード5~7	{	初期値:	1	1	1	1	0	0
	{	R/W :				W	W	W

リザーブビット

ポート5データディレクション3~0
ポート5の各端子の入出力を選択するビットです。

(a) モード 1~4 (内蔵 ROM 無効拡張モード)

P5DDR は 1 に固定され、ポート 5 はアドレス出力として機能します。P5₇DDR ~ P5₄DDR ビットはリザーブビットで 1 に固定されています。ライトは無効です。

(b) モード 5、6 (内蔵 ROM 有効拡張モード)

このモードでは、ポート 5 はリセット直後は入力ポートとなっています。P5DDR に 1 をセットすると対応するポート 5 の端子がアドレス出力端子になり、0 にクリアすると入力ポートになります。

(c) モード 7 (シングルチップモード)

ポート 5 は、入出力ポートとして機能します。P5DDR に 1 をセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

P5DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P5DDR は、リセット、またはハードウェアスタンバイモード時に、HF0 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P5DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 5 データレジスタ (P5DR)

P5DR は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の出力データを格納します。また、このレジスタをリードすると、P5DDR の値が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P5DR の値が読み出されます。

9. I/O ポート

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P53	P52	P51	P50
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5データ3~0
ポート5の各端子のデータを格納するビットです。

ビット7~4は、リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。P5DRは、リセット、またはハードウェアスタンバイモード時に、HF0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート5入力プルアップMOSコントロールレジスタ (P5PCR)

P5PCRは8ビットのリード/ライト可能なレジスタで、ポート5に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
					P53PCR	P52PCR	P51PCR	P50PCR
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール3~0
ポート5に内蔵した入力プルアップMOSを制御するビットです。

モード5~7のとき、P5DDRを0にクリアした(入力ポート)状態でP5PCRを1にセットすると入力プルアップMOSはONします。

P5PCRは、リセット、またはハードウェアスタンバイモード時に、HF0にイニシャライズされません。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表9.9に示します。

表 9.9 入力プルアップMOSの状態(ポート5)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF		OFF	
2				
3				
4				
5	OFF		ON / OFF	
6				
7				

【記号説明】

OFF : 入力プルアップMOSは、常にOFF状態です。

ON / OFF : P5PCR = 1かつP5DDR = 0のときON状態、その他のときはOFF状態です。

9.7 ポート 6

9.7.1 概要

ポート 6 は、7 ビットの入出力ポートです。ポート 6 はバス制御入出力端子 ($\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{WAIT}}$) と兼用になっています。エリア 3 に DRAM を接続する場合には、 $\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ がそれぞれ $\overline{\text{LW}}$ 、 $\overline{\text{UW}}$ 、 $\overline{\text{CAS}}$ または $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 、 $\overline{\text{WE}}$ と兼用になります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

ポート 6 の端子構成を図 9.6 に示します。

モード 1~6 (拡張モード) 時には、 $\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$ 、 $\text{P6}_2/\overline{\text{BACK}}$ 、 $\text{P6}_1/\overline{\text{BREQ}}$ 、 $\text{P6}_0/\overline{\text{WAIT}}$ として機能します。端子機能の選択方法については表 9.11 を参照してください。モード 7 (シングルチップモード) 時には、入出力ポートとなります。

ポート 6 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。



図 9.6 ポート 6 の端子構成

9.7.2 レジスタ構成

表 9.10 にポート 6 のレジスタ構成を示します。

表 9.10 ポート 6 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1~5	モード 6、7
H'FFC9	ポート 6 データディレクションレジスタ	P6DDR	W	H'F8	H'80
H'FFCB	ポート 6 データレジスタ	P6DR	R/W	H'80	H'80

【注】 * アドレスの下位 16 ビットを示しています。

9. I/O ポート

(1) ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

リザーブビット
ポート6データディレクション6~0
ポート6の各端子の入出力を選択するビットです。

(a) モード 1~6 (拡張モード)

ポート P6₆~P6₃ はバス制御出力端子 ($\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$) として機能します。P6₂~P6₀ は、入出力ポートとして機能します。P6DDR2~0 に 1 をセットすると対応するポート 6 の端子は出力ポートとなり、0 にすると入力ポートになります。

(b) モード 7 (シングルチップモード)

ポート 6 は入出力ポートとして機能します。

P6DDR に 1 をセットすると対応するポート 6 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

ビット 7 はリザーブビットです。

P6DDR は、ライト専用で、リードは無効です。リードすると 1 が読み出されます。

P6DDR は、リセット、またはハードウェアスタンバイモード時に、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 6 データレジスタ (P6DR)

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の出力データを格納します。また、このレジスタをリードすると、P6DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P6DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート6データ6~0
ポート6の各端子のデータを格納するビットです。

ビット7はリザーブビットです。また、ビット7はリードすると常に1が読み出されます。ライトは無効です。

P6DR は、リセット、またはハードウェアスタンバイモード時に、H'80 にイニシャライズされません。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.11 モード 1~6 の端子機能 (ポート 6)

端 子	選択方法と端子機能			
P6 ₇ /LWR	P6 ₆ DDR ビットとは無関係に、次のように切り換わります。			
	P6 ₆ DDR	0		1
	端子機能	LWR 出力端子		
P6 ₆ /HWR	P6 ₆ DDR ビットとは無関係に、次のように切り換わります。			
	P6 ₆ DDR	0		1
	端子機能	HWR 出力端子		
P6 ₄ /RD	P6 ₆ DDR ビットとは無関係に、次のように切り換わります。			
	P6 ₆ DDR	0		1
	端子機能	RD 出力端子		
P6 ₃ /AS	P6 ₆ DDR ビットとは無関係に、次のように切り換わります。			
	P6 ₆ DDR	0		1
	端子機能	AS 出力端子		
P6 ₂ /BACK	BRCR の BRLE ビットと P6 ₂ DDR ビットの組み合わせにより、次のように切り換わります。			
	BRLE	0		1
	P6 ₂ DDR	0	1	
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子	BACK 出力端子
P6 ₁ /BREQ	BRCR の BRLE ビットと P6 ₆ DDR ビットの組み合わせにより、次のように切り換わります。			
	BRLE	0		1
	P6 ₆ DDR	0	1	
	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子	BREQ 入力端子
P6 ₀ /WAIT	WCER の WCE7~WCE0、WCR の WMS1 ビットと P6 ₀ DDR ビットの組み合わせで、次のように切り換わります。			
	WCER	すべてが 1		いずれかが 0
	WMS1	0		1
	P6 ₀ DDR	0	1	0*
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子	WAIT 入力端子
【注】 * P6 ₀ DDR は 1 にセットしないでください。				

9.8 ポート 7

9.8.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を図 9.7 に示します。

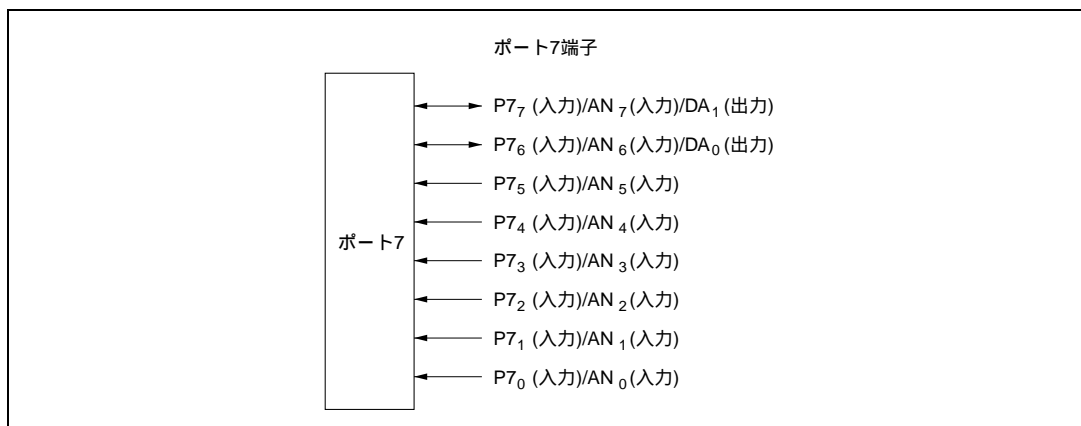


図 9.7 ポート 7 の端子構成

9.8.2 レジスタ構成

表 9.12 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 9.12 ポート 7 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFCE	ポート 7 データレジスタ	P7DR	R	不 定

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

【注】 * P77 ~ P70 端子により決定されます。

P7DR のリードを行うと、常に端子の状態が読み出されます。

9.9 ポート 8

9.9.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 \overline{RFSH} 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用になっています。ポート 8 の端子構成を図 9.8 に示します。

モード 1~6 (拡張モード) 時には、ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 \overline{RFSH} 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用になります。拡張モードでの端子機能の選択方法については表 9.14 を参照してください。

モード 7 (シングルチップモード) 時には、ポート 8 は、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用となります。シングルチップモードでの端子機能の選択方法については表 9.15 を参照してください。

$\overline{IRQ}_3 \sim \overline{IRQ}_0$ の機能は端子の入出力にかかわらず IER をセットすることにより選択されます。詳細は「第 5 章 割込みコントローラ」を参照してください。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

P8₂ ~ P8₀ 端子はシュミットトリガ入力です。

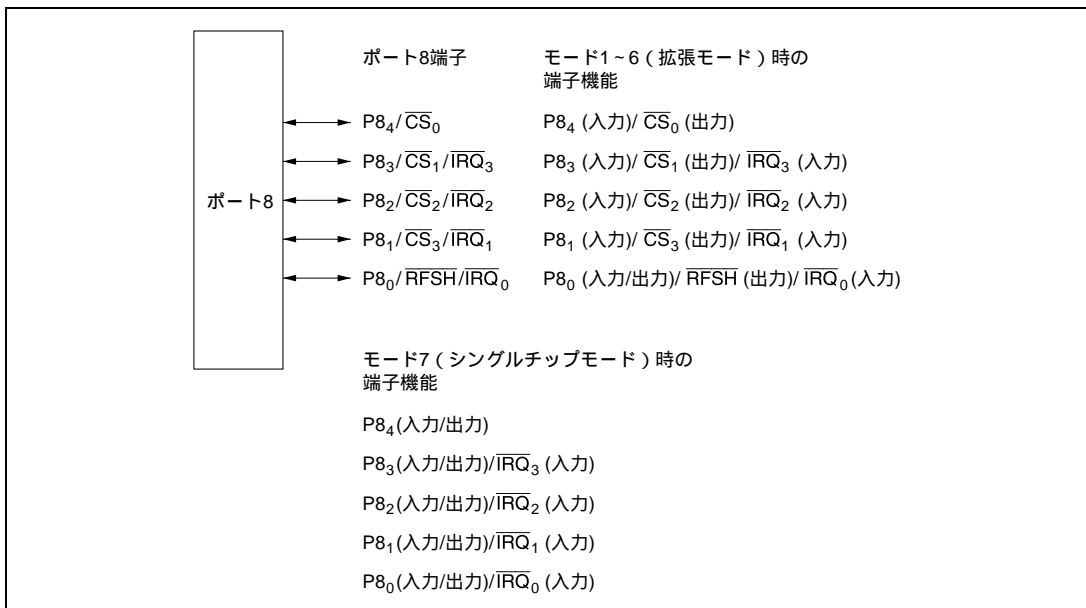


図 9.8 ポート 8 の端子構成

9.9.2 レジスタ構成

表 9.13 にポート 8 のレジスタ構成を示します。

表 9.13 ポート 8 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFCD	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0	H'E0
H'FFCF	ポート 8 データレジスタ	P8DR	R/W	H'E0	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、8 ビットのライト専用のレジスタで、ポート 8 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
				P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
モード 1~4	初期値:	1	1	1	1	0	0	0
	R/W :				W	W	W	W
モード 5~7	初期値:	1	1	1	0	0	0	0
	R/W :				W	W	W	W

リザーブビット	ポート 8 データディレクション 4~0	ポート 8 の各端子の入出力を選択するビットです。

(a) モード 1~6 (拡張モード)

P8₄~P8₁ は P8DDR の対応するビットが 1 のとき $\overline{CS}_0 \sim \overline{CS}_3$ 出力端子となり、0 のとき入力ポートとなります。モード 1~4 (内蔵 ROM 無効拡張モード) ではリセット直後 \overline{CS}_0 のみ出力となり、他の 3 端子は入力ポートとなります。モード 5~6 (内蔵 ROM 有効拡張モード) ではリセット直後 4 端子共入力ポートとなります。

P8₀ はリフレッシュコントローラをイネーブルにすると強制的に \overline{RFSH} 出力となり、ディスエーブルのとき入出力ポートとなって P8DDR の設定値に従います。詳細は表 9.15 を参照してください。

(b) モード 7 (シングルチップモード)

入出力ポートとして機能します。P8DDR を 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

P8DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P8DDR は、リセット、またはハードウェアスタンバイモード時に、動作モードにより H'E0 か H'F0 にイニシャライズされます。P8DDR は、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 8 データレジスタ (P8DR)

P8DR は、8 ビットのリード/ライト可能なレジスタで、ポート 8 の出力データを格納します。また、このレジスタをリードすると、P8DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P8DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ4~0

ポート8の各端子のデータを格納するビットです。

ビット 7~5 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.14 モード 1~6 時の端子機能 (ポート 8)

端子	選択方法と端子機能			
P8 ₄ /CS ₀	P8 ₄ DDR ビットにより、次のように切り換わります。			
	P8 ₄ DDR	0	1	
	端子機能	P8 ₄ 入力端子	CS ₀ 出力端子	
P8 ₃ /CS ₁ /IRQ ₃	P8 ₃ DDR ビットにより、次のように切り換わります。			
	P8 ₃ DDR	0	1	
	端子機能	P8 ₃ 入力端子	CS ₁ 出力端子	
		IRQ ₃ 入力端子		
P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ DDR ビットにより、次のように切り換わります。			
	P8 ₂ DDR	0	1	
	端子機能	P8 ₂ 入力端子	CS ₂ 出力端子	
		IRQ ₂ 入力端子		
P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ DDR ビットにより、次のように切り換わります。			
	P8 ₁ DDR	0	1	
	端子機能	P8 ₁ 入力端子	CS ₃ 出力端子	
		IRQ ₁ 入力端子		
P8 ₀ /RFSH/IRQ ₀	RFSHCR の RFSHE ビット、および P8 ₀ DDR ビットの組み合わせにより、次のように切り換わります。			
	RFSHE	0	1	
	P8 ₀ DDR	0	1	
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子	RFSH 出力端子
		IRQ ₀ 入力端子		

9. I/O ポート

表 9.15 モード 7 時の端子機能 (ポート 8)

端子	選択方法と端子機能		
P8 ₄	P8 ₄ DDR ビットにより、次のように切り換わります。		
	P8 ₄ DDR	0	1
	端子機能	P8 ₄ 入力端子	P8 ₄ 出力端子
P8 ₃ /IRQ ₃	P8 ₃ DDR ビットにより、次のように切り換わります。		
	P8 ₃ DDR	0	1
	端子機能	P8 ₃ 入力端子	P8 ₃ 出力端子
		IRQ ₃ 入力端子	
P8 ₂ /IRQ ₂	P8 ₂ DDR ビットにより、次のように切り換わります。		
	P8 ₂ DDR	0	1
	端子機能	P8 ₂ 入力端子	P8 ₂ 出力端子
		IRQ ₂ 入力端子	
P8 ₁ /IRQ ₁	P8 ₁ DDR ビットにより、次のように切り換わります。		
	P8 ₁ DDR	0	1
	端子機能	P8 ₁ 入力端子	P8 ₁ 出力端子
		IRQ ₁ 入力端子	
P8 ₀ /IRQ ₀	P8 ₀ DDR ビットにより、次のように切り換わります。		
	P8 ₀ DDR	0	1
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子
		IRQ ₀ 入力端子	

9.10 ポート 9

9.10.1 概要

ポート 9 は、6 ビットの入出力ポートです。ポート 9 はシリアルコミュニケーションインタフェースチャネル 0、1 (SCI0、1) の入出力端子 (TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。端子機能の選択方法については表 9.17 を参照してください。

$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ の機能は端子の入出力にかかわらず IER をセットすることにより選択されます。詳細は「第 5 章 割込みコントローラ」を参照してください。

ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の端子構成を図 9.9 に示します。

ポート 9 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

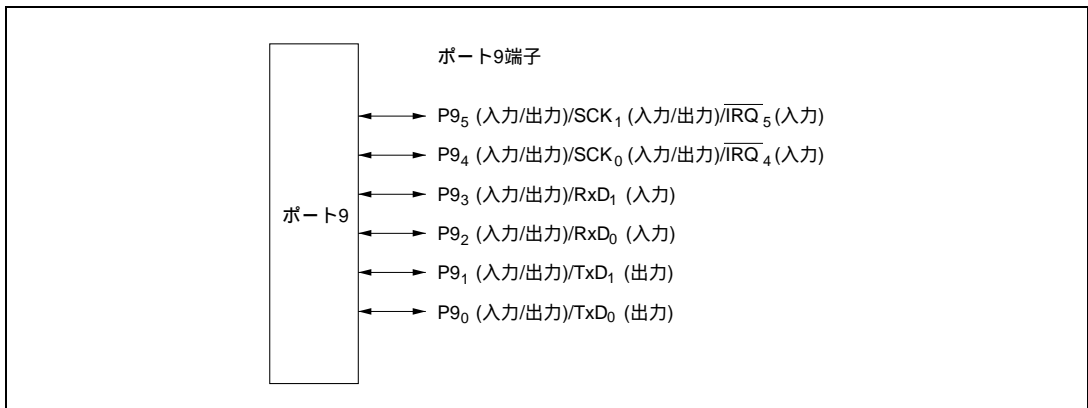


図 9.9 ポート 9 の端子構成

9.10.2 レジスタ構成

表 9.16 にポート 9 のレジスタ構成を示します。

表 9.16 ポート 9 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD0	ポート 9 データディレクションレジスタ	P9DDR	W	H'C0
H'FFD2	ポート 9 データレジスタ	P9DR	R/W	H'C0

【注】 * アドレスの下位 16 ビットを示しています。

9. I/O ポート

(1) ポート 9 データディレクションレジスタ (P9DDR)

P9DDR は、8 ビットのライト専用のレジスタで、ポート 9 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
			P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

リザーブビット
ポート9データディレクション5-0
ポート9の各端子の入出力を選択するビットです。

P9DDR を 1 にセットすると対応するポート 9 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P9DDR は、リセット、またはハードウェアスタンバイモード時に、H'CO にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDR が、1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 9 データレジスタ (P9DR)

P9DR は、8 ビットのリード/ライト可能なレジスタで、ポート 9 の出力データを格納します。また、このレジスタをリードすると、P9DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P9DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
			P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート9データ5-0
ポート9の各端子のデータを格納するビットです。

ビット 7、6 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P9DR は、リセット、またはハードウェアスタンバイモード時に、H'CO にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.17 ポート 9 の端子機能

端 子	選択方法と端子機能					
P9 ₅ /SCK ₁ / $\overline{\text{IRQ}}_5$	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、1 ビットと P9 ₅ DDR ビットの組み合わせにより次のように切り換わります。					
	CKE1	0			1	
	C/ $\overline{\text{A}}$	0		1	-	
	CKE0	0	1	-	-	
	P9 ₅ DDR	0	1	-	-	
	端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子
		IR $\overline{\text{Q}}_5$ 入力端子				
P9 ₄ /SCK ₀ / $\overline{\text{IRQ}}_4$	SCI0 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、1 ビットと P9 ₄ DDR ビットの組み合わせにより次のように切り換わります。					
	CKE1	0			1	
	C/ $\overline{\text{A}}$	0		1	-	
	CKE0	0	1	-	-	
	P9 ₄ DDR	0	1	-	-	
	端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK ₀ 出力端子	SCK ₀ 出力端子	SCK ₀ 入力端子
		IR $\overline{\text{Q}}_4$ 入力端子				

9. I/O ポート

端 子	選択方法と端子機能			
P9 ₃ /RxD ₁	SCI1 の SCR の RE ビットと P9 ₃ DDR ビットの組み合わせにより、次のように切り換わります。			
	RE	0		1
	P9 ₃ DDR	0	1	-
	端子機能	P9 ₃ 入力端子	P9 ₃ 出力端子	RxD ₁ 入力端子
P9 ₂ /RxD ₀	SCI0 の SCR の RE ビット、SCMR の SMIF ビット、および P9 ₂ DDR ビットの組み合わせにより、次のように切り換わります。			
	SMIF	0		1
	RE	0		1
	P9 ₂ DDR	0	1	-
	端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	RxD ₀ 入力端子
P9 ₁ /TxD ₁	SCI1 の SCR の TE ビットと P9 ₁ DDR ビットの組み合わせにより、次のように切り換わります。			
	TE	0		1
	P9 ₁ DDR	0	1	-
	端子機能	P9 ₁ 入力端子	P9 ₁ 出力端子	TxD ₁ 出力端子
P9 ₀ /TxD ₀	SCI0 の SCR の TE ビット、SCMR の SMIF ビット、および P9 ₀ DDR ビットの組み合わせにより、次のように切り換わります。			
	SMIF	0		1
	TE	0		1
	P9 ₀ DDR	0	1	-
	端子機能	P9 ₀ 入力端子	P9 ₀ 出力端子	TxD ₀ 出力端子
	【注】 * TxD ₀ 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライバ状態の 2 種類の状態があります。			

9.11 ポート A

9.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、プログラマブルタイミングパターンコントローラ (TPC) の出力端子 ($TP_7 \sim TP_0$)、16 ビットインテグレートドタイマユニット (ITU) の入出力端子 ($TIOCB_2$ 、 $TIOCA_2$ 、 $TIOCB_1$ 、 $TIOCA_1$ 、 $TIOCB_0$ 、 $TIOCA_0$ 、 $TCLKD$ 、 $TCLKC$ 、 $TCLKB$ 、 $TCLKA$)、DMA コントローラ (DMAC) の出力端子 (\overline{TEND}_1 、 \overline{TEND}_0)、 $\overline{CS}_4 \sim \overline{CS}_6$ 出力端子およびアドレスバス ($A_{23} \sim A_{20}$) と兼用になっています。ポート A は、動作モード 3、4、6 で A_{20} が強制的に出力になることを除きリセットおよびハードウェアスタンバイで入力ポートになっています。TPC、ITU および DMAC の入出力端子として使用する端子については、それぞれのモジュールの説明を参照してください。モード 3、4、6 でアドレス $A_{23} \sim A_{21}$ を出力する場合は、「6.2.5 バスリリースコントロールレジスタ」を参照してください。モード 1~6 で $\overline{CS}_4 \sim \overline{CS}_6$ を出力する場合は「6.3.2 チップセレクト信号」を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート A の端子構成を図 9.10 に示します。

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。ポート A はシュミットトリガ入力です。

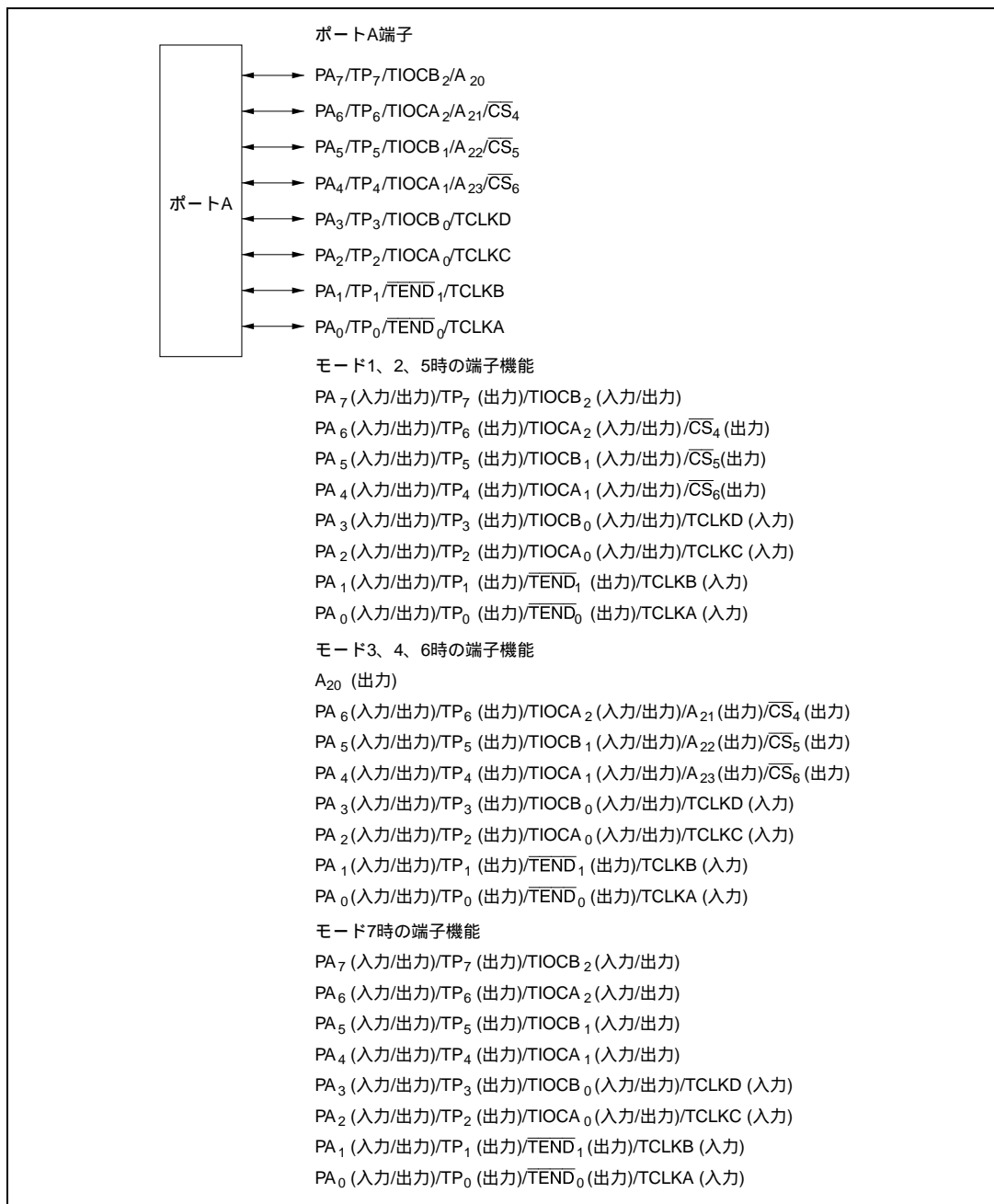


図 9.10 ポート A の端子構成

9.11.2 レジスタ構成

表 9.18 にポート A のレジスタ構成を示します。

表 9.18 ポート A レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1、2、5、7	モード 3、4、6
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFD3	ポート A データレジスタ	PADR	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

ビット:		7	6	5	4	3	2	1	0
		PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
モード 3, 4, 6	初期値:	1	0	0	0	0	0	0	0
	R/W :		W	W	W	W	W	W	W
モード 1, 2, 5, 7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート A データディレクション 7-0
ポート A の各端子の入出力を選択するビットです。

PADDR を 1 にセットすると対応するポート A の各端子は出力となり、0 にクリアすると入力になります。ただし、モード 3、4、6 では PA₇DDR は 1 に固定され、PA₇ はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2、5、7 では H'00 に、モード 3、4、6 では H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

9. I/O ポート

(2) ポート A データレジスタ (PADR)

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の出力データを格納します。また、このレジスタをリードすると、PADDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PADR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データ 7~0
ポート A の各端子のデータを格納するビットです。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.11.3 端子機能

ポート A の端子機能について表 9.19 に示します。

表 9.19 ポート A の端子機能

端 子	選択方法と端子機能					
PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	モード設定と TMDR の PWM2 ビット、TIOR2 の IOB2 ~ IOB0 ビットによる ITU チャネル 2 の設定、NDERA の NDER7 ビット、および PADDR の PA _i DDR ビットの組み合わせにより、次のように切り換わります。					
	モード	1、2、5、7			3、4、6	
	ITU チャネル 2 の設定	下表 (1)		下表 (2)		-
	PA _i DDR	-	0	1	1	-
	NDER7	-	-	0	1	-
	端子機能	TIOCB ₂ 出力	PA ₇ 入力	PA ₇ 出力	TP ₇ 出力	A ₂₀ 出力
			TIOCB ₂ 入力*			
	【注】 * IOB2 = 1、かつ PWM2 = 0 の場合に TIOCB ₂ 入力となります。					
	ITU チャネル 2 の設定	(2)	(1)		(2)	
	IOB2	0			1	
IOB1	0	0	1	-		
IOB0	0	1	-	-		

端子	選択方法と端子機能																																											
PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁ /CS ₄	モード設定と BR CR の A ₂₁ E ビット、CSCR の CS4E ビット、TMDR の PWM2 ビット、TIO R2 の IOA2 ~ IOA0 ビットによる ITU チャンネル 2 の設定、NDERA の NDER6 ビット、および PADDR の PA ₆ DDR ビットの組み合わせにより、次のように切り換わります。																																											
	モード	1、2、5				3、4、6				7																																		
	CS4E	0				1				0																																		
	A ₂₁ E					1				0																																		
	ITUチャンネル2の設定	下表(1)	下表(2)			下表(1)	下表(2)			下表(1)	下表(2)																																	
	PA ₆ DDR		0	1	1		0	1	1		0	1	1																															
	NDER6			0	1			0	1			0	1																															
	端子機能	TIOCA ₂ 出力	PA ₆ 入力	PA ₆ 出力	TP ₆ 出力	CS ₄ 出力	TIOCA ₂ 出力	PA ₆ 入力	PA ₆ 出力	TP ₆ 出力	A ₂₁ 出力	CS ₄ 出力	TIOCA ₂ 出力	PA ₆ 入力	PA ₆ 出力	TP ₆ 出力																												
			TIOCA ₂ 入力*					TIOCA ₂ 入力*						TIOCA ₂ 入力*																														
	【注】 * IOA2 = 1 の場合に TIOCA ₂ 入力となります。																																											
<table border="1"> <thead> <tr> <th>ITU チャンネル 2 の設定</th> <th>(2)</th> <th colspan="2">(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>PWM2</td> <td colspan="4">0</td> <td colspan="2">1</td> </tr> <tr> <td>IOA2</td> <td colspan="3">0</td> <td colspan="2">1</td> <td>-</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>													ITU チャンネル 2 の設定	(2)	(1)		(2)	(1)	PWM2	0				1		IOA2	0			1		-	IOA1	0	0	1	-	-	IOA0	0	1	-	-	-
ITU チャンネル 2 の設定	(2)	(1)		(2)	(1)																																							
PWM2	0				1																																							
IOA2	0			1		-																																						
IOA1	0	0	1	-	-																																							
IOA0	0	1	-	-	-																																							
PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂ /CS ₅	モード設定と BR CR の A ₂₂ E ビット、CSCR の CS5E ビット、TMDR の PWM1 ビット、TIO R1 の IOB2 ~ IOB0 ビットによる ITU チャンネル 1 の設定、NDERA の NDER5 ビット、および PADDR の PA ₅ DDR ビットの組み合わせにより、次のように切り換わります。																																											
	モード	1、2、5				3、4、6				7																																		
	CS5E	0				1				0																																		
	A ₂₂ E					1				0																																		
	ITUチャンネル1の設定	下表(1)	下表(2)			下表(1)	下表(2)			下表(1)	下表(2)																																	
	PA ₅ DDR		0	1	1		0	1	1		0	1	1																															
	NDER5			0	1			0	1			0	1																															
	端子機能	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	CS ₅ 出力	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	A ₂₂ 出力	CS ₅ 出力	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力																												
			TIOCB ₁ 入力*					TIOCB ₁ 入力*						TIOCB ₁ 入力*																														
	【注】 * IOB2 = 1、かつ PWM1 = 0 の場合に TIOCB ₁ 入力となります。																																											
<table border="1"> <thead> <tr> <th>ITU チャンネル 1 の設定</th> <th>(2)</th> <th colspan="2">(1)</th> <th>(2)</th> </tr> </thead> <tbody> <tr> <td>IOB2</td> <td colspan="3">0</td> <td colspan="2">1</td> </tr> <tr> <td>IOB1</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>IOB0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> </tbody> </table>													ITU チャンネル 1 の設定	(2)	(1)		(2)	IOB2	0			1		IOB1	0	0	1	-	IOB0	0	1	-	-											
ITU チャンネル 1 の設定	(2)	(1)		(2)																																								
IOB2	0			1																																								
IOB1	0	0	1	-																																								
IOB0	0	1	-	-																																								

9. I/Oポート

端 子	選択方法と端子機能															
PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃ /CS ₆	モード設定と BR CR の A ₂₃ E ビット、CSCR の CS6E ビット、TM DR の PWM1 ビット、TIOR1 の IOA2 ~ IOB0 ビットによる ITU チャンネル 1 の設定、NDERA の NDER4 ビット、および PADDR の PA ₄ DDR ビットの組み合わせにより、次のように切り換わります。															
	モード	1、2、5				3、4、6				7						
	CS6E					0				1						
	A ₂₃ E					1				0						
	ITUチャンネル2 の設定	下表(1)		下表(2)		下表(1)		下表(2)		下表(1)		下表(2)				
	PA ₄ DDR	0	1	1					0	1	1					
	NDER4		0	1					0	1	1					
	端子機能	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	CS ₆ 出力	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	A ₂₃ 出力	CS ₆ 出力	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力
		TIOCA ₁ 入力*						TIOCA ₁ 入力*						TIOCA ₁ 入力*		
	【注】 * IOA2 = 1 の場合に TIOCA ₁ 入力となります。															
ITU チャンネル 1 の設定		(2)		(1)		(2)		(1)								
PWM1				0				1								
IOA2				0		1		-								
IOA1		0	0	1			-									
IOA0		0	1	-			-									
PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	TM DR の PWM0 ビット、TIOR0 の IOB2 ~ IOB0 ビットによる ITU チャンネル 0 の設定、TCR4 ~ TCR0 の TPSC2 ~ TPSC0 ビット、NDERA の NDER3 ビット、および PADDR の PA ₃ DDR ビットの組み合わせにより、次のように切り換わります。															
	ITU チャンネル 0 の設定		下表 (1)				下表 (2)									
	PA ₃ DDR		-				0	1	1							
	NDER3		-				-	0		1						
	端子機能		TIOCB ₀ 出力				PA ₃ 入力		PA ₃ 出力		TP ₃ 出力					
							TIOCB ₀ 入力* ¹									
			TCLKD 入力* ²													
	【注】 * ¹ IOB2 = 1、かつ PWM0 = 0 の場合に TIOCB ₀ 入力となります。															
	* ² TCR4 ~ TCR0 のいずれかの設定が TPSC2 = TPSC1 = TPSC0 = 1 の場合に TCLKD 入力となります。															
	ITU チャンネル 0 の設定		(2)		(1)		(2)									
IOB2				0		1										
IOB1		0	0	1	-											
IOB0		0	1	-	-											

端子	選択方法と端子機能																																																																					
PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	<p>TMDR の PWM0 ビット、TIOA0 の IOA2 ~ IOA0 ビットによる ITU チャンネル 0 の設定、TCR4 ~ TCR0 の TPSC2 ~ TPSC0 ビット、NDERA の NDER2 ビット、および PADDR の PA₂DDR ビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 0 の設定</th> <th>下表 (1)</th> <th colspan="3">下表 (2)</th> </tr> </thead> <tbody> <tr> <td>PA₂DDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER2</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCA₀ 出力</td> <td>PA₂ 入力</td> <td>PA₂ 出力</td> <td>TP₂ 出力</td> </tr> <tr> <td colspan="3">TIOCA₀ 入力*¹</td> </tr> <tr> <td colspan="5">TCLKC 入力*²</td> </tr> </tbody> </table> <p>【注】 *1 IOA2 = 1 の場合に TIOCA₀ 入力となります。 *2 TCR4 ~ TCR0 のいずれかの設定が TPSC2 = TPSC1 = 1、TPSC0 = 0 の場合に TCLKC 入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 0 の設定</th> <th>(2)</th> <th colspan="2">(1)</th> <th>(2)</th> <th colspan="2">(1)</th> </tr> </thead> <tbody> <tr> <td>PWM0</td> <td colspan="5">0</td> <td colspan="2">1</td> </tr> <tr> <td>IOA2</td> <td colspan="3">0</td> <td>1</td> <td colspan="3">-</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td colspan="3">-</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td colspan="3">-</td> </tr> </tbody> </table>	ITU チャンネル 0 の設定	下表 (1)	下表 (2)			PA ₂ DDR	-	0	1	1	NDER2	-	-	0	1	端子機能	TIOCA ₀ 出力	PA ₂ 入力	PA ₂ 出力	TP ₂ 出力	TIOCA ₀ 入力* ¹			TCLKC 入力* ²					ITU チャンネル 0 の設定	(2)	(1)		(2)	(1)		PWM0	0					1		IOA2	0			1	-			IOA1	0	0	1	-	-			IOA0	0	1	-	-	-				
ITU チャンネル 0 の設定	下表 (1)	下表 (2)																																																																				
PA ₂ DDR	-	0	1	1																																																																		
NDER2	-	-	0	1																																																																		
端子機能	TIOCA ₀ 出力	PA ₂ 入力	PA ₂ 出力	TP ₂ 出力																																																																		
		TIOCA ₀ 入力* ¹																																																																				
TCLKC 入力* ²																																																																						
ITU チャンネル 0 の設定	(2)	(1)		(2)	(1)																																																																	
PWM0	0					1																																																																
IOA2	0			1	-																																																																	
IOA1	0	0	1	-	-																																																																	
IOA0	0	1	-	-	-																																																																	
PA ₁ /TP ₁ /TCLKB /TEND ₁	<p>DTCR1A、B の DTS2 ~ 0A、DTS2 ~ 0B ビットによる DMAC チャンネル 1 の設定、NDERA の NDER1 ビット、および PADDR の PA₁DDR ビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>DMAC チャンネル 1 の設定</th> <th>下表 (1)</th> <th colspan="3">下表 (2)</th> </tr> </thead> <tbody> <tr> <td>PA₁DDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER1</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TEND₁ 出力</td> <td>PA₁ 入力</td> <td>PA₁ 出力</td> <td>TP₁ 出力</td> </tr> <tr> <td colspan="3">TCLKB 入力*</td> </tr> </tbody> </table> <p>【注】 * TMDR の MDF = 1 の場合、または TCR4 ~ TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 1 の場合に TCLKB 入力となります。</p> <table border="1"> <thead> <tr> <th>DMAC チャンネル 1 の設定</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> <th colspan="2">(2)</th> <th colspan="2">(1)</th> </tr> </thead> <tbody> <tr> <td>DTS2A、1A</td> <td colspan="4">いずれかが 0</td> <td colspan="5">いずれも 1</td> </tr> <tr> <td>DTS0A</td> <td colspan="3">-</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS1B</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	DMAC チャンネル 1 の設定	下表 (1)	下表 (2)			PA ₁ DDR	-	0	1	1	NDER1	-	-	0	1	端子機能	TEND ₁ 出力	PA ₁ 入力	PA ₁ 出力	TP ₁ 出力	TCLKB 入力*			DMAC チャンネル 1 の設定	(2)	(1)	(2)	(1)	(2)		(1)		DTS2A、1A	いずれかが 0				いずれも 1					DTS0A	-			0	0	1	1	1	DTS2B	0	1	1	0	1	0	1	1	DTS1B	-	0	1	-	-	-	0	1
DMAC チャンネル 1 の設定	下表 (1)	下表 (2)																																																																				
PA ₁ DDR	-	0	1	1																																																																		
NDER1	-	-	0	1																																																																		
端子機能	TEND ₁ 出力	PA ₁ 入力	PA ₁ 出力	TP ₁ 出力																																																																		
		TCLKB 入力*																																																																				
DMAC チャンネル 1 の設定	(2)	(1)	(2)	(1)	(2)		(1)																																																															
DTS2A、1A	いずれかが 0				いずれも 1																																																																	
DTS0A	-			0	0	1	1	1																																																														
DTS2B	0	1	1	0	1	0	1	1																																																														
DTS1B	-	0	1	-	-	-	0	1																																																														

9. I/O ポート

端 子	選択方法と端子機能								
PA ₀ /TP ₀ /TCLKA /TEND ₀	DTCR0A、B の DTS2 ~ 0A、DTS2 ~ 0B ビットによる DMAC チャンネル 0 の設定、NDERA の NDER0 ビット、および PADDR の PA ₀ DDR ビットの組み合わせにより、次のように切り換わります。								
	DMAC チャンネル 0 の設定	下表 (1)			下表 (2)				
	PA ₀ DDR	-			0	1	1		
	NDER0	-			-	0	1		
	端子機能	$\overline{\text{TEND}}_0$ 出力		PA ₀ 入力	PA ₀ 出力	TP ₀ 出力			
	TCLKA 入力*								
	【注】 * TMDR の MDF = 1 の場合、または TCR4 ~ TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0 の場合に TCLKA 入力となります。								
	DMAC チャンネル 0 の設定	(2)	(1)		(2)	(1)	(2)		(1)
	DTS2A、1A	いずれかが 0				いずれも 1			
	DTS0A	-			0	0	1	1	1
DTS2B	0	1	1	0	1	0	1	1	
DTS1B	-	0	1	-	-	-	0	1	

9.12 ポート B

9.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は TPC の出力端子 (TP₁₅ ~ TP₈)、ITU の入出力端子 (TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃) と出力端子 (TOCXB₄、TOCXA₄)、DMAC の入力端子 ($\overline{\text{DREQ}}_1$ 、 $\overline{\text{DREQ}}_0$)、A/D 変換器の $\overline{\text{ADTRG}}$ 入力端子、 $\overline{\text{CS}}_7$ 出力端子と兼用になっています。ポート B はリセットおよびハードウェアスタンバイモードで入力ポートになっています。TPC、ITU、DMAC および A/D 変換器の入出力端子として使用する端子についてはそれぞれのモジュールの説明を参照してください。モード 1 ~ 6 で $\overline{\text{CS}}_7$ を出力する場合は「6.3.2 チップセレクト信号」を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート B の端子構成を図 9.11 に示します。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動できます。また、LED、ダーリントントランジスタを駆動することもできます。PB₃ ~ PB₀ は、シュミットトリガ入力です。

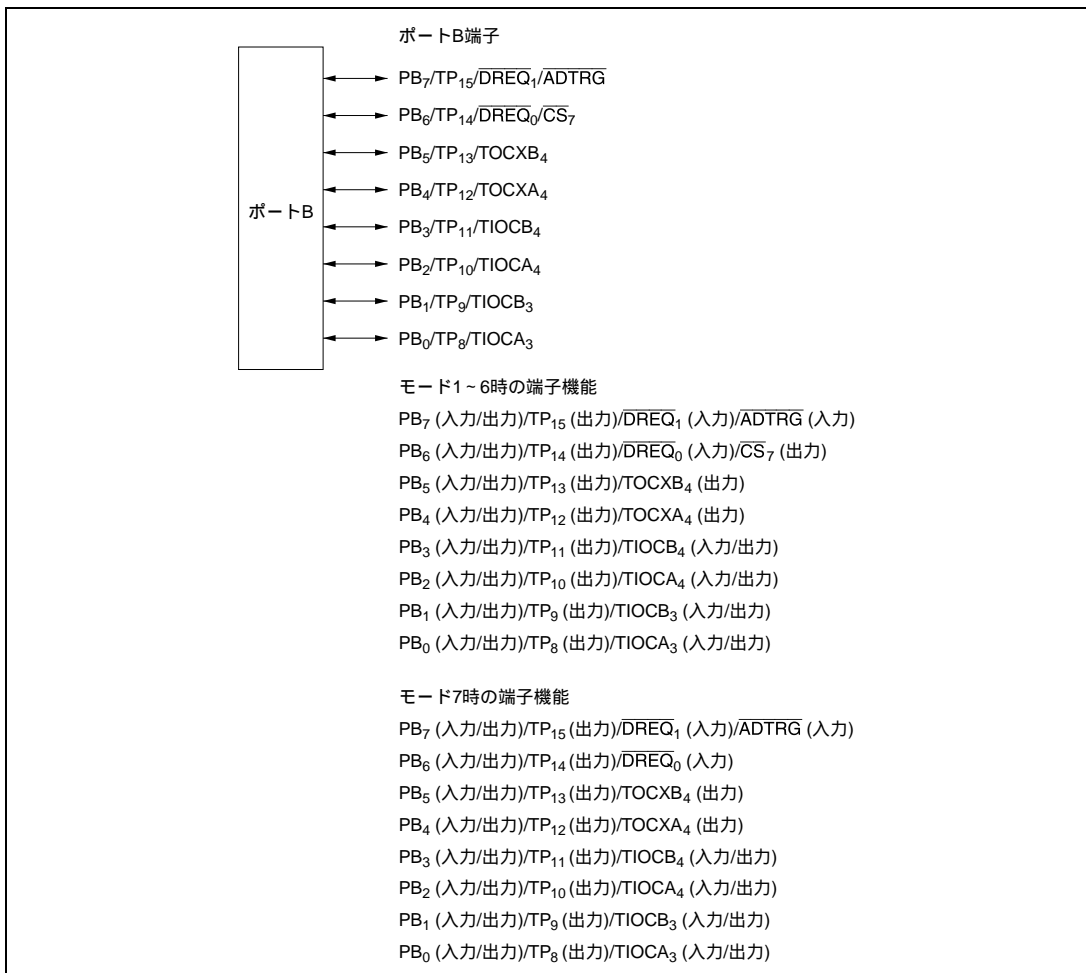


図 9.11 ポート B の端子構成

9.12.2 レジスタ構成

表 9.20 にポート B のレジスタ構成を示します。

表 9.20 ポート B レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/W	H'00

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PBDDR の対応するビットをセットしてください。

ビット:	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート B データディレクション 7~0
ポート B の各端子の入出力を選択するビットです。

PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B データレジスタ (PBDR)

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の出力データを格納します。また、このレジスタをリードすると、PBDDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PBDR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データ 7~0
ポート B の各端子のデータを格納するビットです。

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされま
す。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.12.3 端子機能

ポート B の端子機能について表 9.21 に示します。

表 9.21 ポート B の端子機能

端 子	選択方法と端子機能								
PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	DTCR1A、B の DTS2~0A、DTS2~0B ビットによる DMAC チャンネル 1 の設定、ADCR の TRGE ビット、NDERB の NDER15 ビット、および PBDDR の PB ₇ DDR ビットの組み合わせにより、次のように切り換わります。								
	PB ₇ DDR	0	1		1			1	
	NDER15	-	0		1			1	
	端子機能	PB ₇ 入力		PB ₇ 出力			TP ₁₅ 出力		
		DREQ ₁ 入力* ¹							
		ADTRG ₁ 入力* ²							
	【注】 *1 DMAC チャンネル 1 の設定が下表 (1) のとき DREQ ₁ 入力となります。 *2 TRGE = 1 のとき ADTRG ₁ 入力となります。								
	DMAC チャンネル 1 の設定		(2)	(1)	(2)	(1)	(2)	(1)	
	DTS2A、1A		いずれかが 0			いずれも 1			
	DTS0A		-		0	0	1	1	1
DTS2B		0	1	1	0	1	0	1	
DTS1B		-	0	1	-	-	-	0	1
PB ₆ /TP ₁₄ /DREQ ₀ /CS ₇	CSCR の CS7E ビット、DTCR0A、B の DTS2~0A、DTS2~0B ビットによる DMAC チャンネル 0 の設定、NDERB の NDER14 ビット、および PBDDR の PB ₆ DDR ビットの組み合わせにより、次のように切り換わります。								
	PB ₆ DDR	0	1	1	-				
	CS7E	0	0	0	1				
	NDER14	-	0	1	-				
	端子機能	PB ₆ 入力		PB ₆ 出力		TP ₁₄ 出力		-	
		DREQ ₀ 入力*						CS ₇ 出力	
		【注】 * DMAC チャンネル 0 の設定が下表 (1) のとき DREQ ₀ 入力となります。							
	DMAC チャンネル 0 の設定		(2)	(1)	(2)	(1)	(2)	(1)	
	DTS2、1A		いずれかが 0			いずれも 1			
	DTS0A		-		0	0	1	1	1
DTS2B		0	1	1	0	1	0	1	
DTS1B		-	0	1	-	-	-	0	1

9. I/O ポート

端子	選択方法と端子機能					
PB ₃ /TP ₁₃ /TOCXB ₃	TFCR の CMD1 ビット、TOER の EXB4 ビットによる ITU チャンネル 4 の設定、NDERB の NDER13 ビット、および PBDDR の PB ₃ DDR ビットの組み合わせにより、次のように切り換わります。					
	EXB4、CMD1	いずれかが 0			いずれも 1	
	PB ₃ DDR	0	1	1	-	
	NDER13	-	0	1	-	
	端子機能	PB ₃ 入力	PB ₃ 出力	TP ₁₃ 出力	TOCXB ₃ 出力	
PB ₄ /TP ₁₂ /TOCXA ₄	TFCR の CMD1 ビット、TOER の EXA4 ビットによる ITU チャンネル 4 の設定、NDERB の NDER12 ビット、および PBDDR の PB ₄ DDR ビットの組み合わせにより、次のように切り換わります。					
	EXA4、CMD1	いずれかが 0			いずれも 1	
	PB ₄ DDR	0	1	1	-	
	NDER12	-	0	1	-	
	端子機能	PB ₄ 入力	PB ₄ 出力	TP ₁₂ 出力	TOCXA ₄ 出力	
PB ₃ /TP ₁₁ /TIOCB ₄	TMDR の PWM4 ビット、TFCR の CMD1 ビット、TOER の EB4 ビット、および TIOR4 の IOB2 ~ IOB0 ビットによる ITU チャンネル 4 の設定、NDERB の NDER11 ビット、および PBDDR の PB ₃ DDR ビットの組み合わせにより、次のように切り換わります。					
	ITU チャンネル 4 の設定	下表 (1)	下表 (2)			
	PB ₃ DDR	-	0	1	1	
	NDER11	-	-	0	1	
	端子機能	TIOCB ₄ 出力	PB ₃ 入力	PB ₃ 出力	TP ₁₁ 出力	
			TIOCB ₄ 入力*			
	【注】 * CMD1 = PWM4 = 0、かつ IOB2 = 1 の場合に TIOCB ₄ 入力となります。					
	ITU チャンネル 4 の設定	(2)	(2)	(1)	(2)	(1)
	EB4	0	1			
	CMD1	-	0			1
IOB2	-	0	0	0	1	-
IOB1	-	0	0	1	-	-
IOB0	-	0	1	-	-	-

端子	選択方法と端子機能																																																																									
PB ₂ /TP ₁₀ /TIOCA ₄	<p>TFCR の CMD1 ビット、TOER の EA4 ビット、TMDR の PWM4 ビット、および TIOR4 の IOA2 ~ IOA0 ビットによる ITU チャンネル 4 の設定、NDERB の NDER10 ビット、および PBDDR の PB₂DDR ビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 4 の設定</th> <th>下表 (1)</th> <th colspan="3">下表 (2)</th> </tr> </thead> <tbody> <tr> <td>PB₂DDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER10</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>TIOCA₄出力</td> <td>PB₂入力</td> <td>PB₂出力</td> <td>TP₁₀出力</td> </tr> <tr> <td colspan="5" style="text-align: center;">TIOCA₄入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM4 = 0、IOA2 = 1 の場合に TIOCA₄入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 4 の設定</th> <th>(2)</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>EA4</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td>-</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>PWM4</td> <td>-</td> <td colspan="2">0</td> <td>1</td> <td>-</td> </tr> <tr> <td>IOA2</td> <td>-</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>IOA1</td> <td>-</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>IOA0</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	ITU チャンネル 4 の設定	下表 (1)	下表 (2)			PB ₂ DDR	-	0	1	1	NDER10	-	-	0	1	端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力	TIOCA ₄ 入力*					ITU チャンネル 4 の設定	(2)	(2)	(1)	(2)	(1)	EA4	0	1				CMD1	-	0			1	PWM4	-	0		1	-	IOA2	-	0	0	0	1	-	-	IOA1	-	0	0	1	-	-	-	IOA0	-	0	1	-	-	-	-
ITU チャンネル 4 の設定	下表 (1)	下表 (2)																																																																								
PB ₂ DDR	-	0	1	1																																																																						
NDER10	-	-	0	1																																																																						
端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力																																																																						
TIOCA ₄ 入力*																																																																										
ITU チャンネル 4 の設定	(2)	(2)	(1)	(2)	(1)																																																																					
EA4	0	1																																																																								
CMD1	-	0			1																																																																					
PWM4	-	0		1	-																																																																					
IOA2	-	0	0	0	1	-	-																																																																			
IOA1	-	0	0	1	-	-	-																																																																			
IOA0	-	0	1	-	-	-	-																																																																			
PB ₇ /TP ₉ /TIOCB ₃	<p>TMDR の PWM3 ビット、TFCR の CMD1 ビット、TOER の EB3 ビット、および TIOR3 の IOB2 ~ IOB0 ビットによる ITU チャンネル 3 の設定、NDERB の NDER9 ビット、および PBDDR の PB₇DDR ビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 3 の設定</th> <th>下表 (1)</th> <th colspan="3">下表 (2)</th> </tr> </thead> <tbody> <tr> <td>PB₇DDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER9</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>TIOCB₃出力</td> <td>PB₇入力</td> <td>PB₇出力</td> <td>TP₉出力</td> </tr> <tr> <td colspan="5" style="text-align: center;">TIOCB₃入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM3 = 0、IOB2 = 1 の場合に TIOCB₃入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 3 の設定</th> <th>(2)</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>EB3</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td>-</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>IOB2</td> <td>-</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>IOB1</td> <td>-</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>IOB0</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	ITU チャンネル 3 の設定	下表 (1)	下表 (2)			PB ₇ DDR	-	0	1	1	NDER9	-	-	0	1	端子機能	TIOCB ₃ 出力	PB ₇ 入力	PB ₇ 出力	TP ₉ 出力	TIOCB ₃ 入力*					ITU チャンネル 3 の設定	(2)	(2)	(1)	(2)	(1)	EB3	0	1				CMD1	-	0			1	IOB2	-	0	0	0	1	-	IOB1	-	0	0	1	-	-	IOB0	-	0	1	-	-	-									
ITU チャンネル 3 の設定	下表 (1)	下表 (2)																																																																								
PB ₇ DDR	-	0	1	1																																																																						
NDER9	-	-	0	1																																																																						
端子機能	TIOCB ₃ 出力	PB ₇ 入力	PB ₇ 出力	TP ₉ 出力																																																																						
TIOCB ₃ 入力*																																																																										
ITU チャンネル 3 の設定	(2)	(2)	(1)	(2)	(1)																																																																					
EB3	0	1																																																																								
CMD1	-	0			1																																																																					
IOB2	-	0	0	0	1	-																																																																				
IOB1	-	0	0	1	-	-																																																																				
IOB0	-	0	1	-	-	-																																																																				

9. I/O ポート

端 子	選択方法と端子機能						
PB ₀ /TP ₈ /TIOCA ₃	TFCR の CMD1 ビット、TOER の EA3 ビット、TMDR の PWM3 ビット、および TIOR3 の IOA2 ~ IOA0 ビットによる ITU チャンネル 3 の設定、NDERB の NDER8 ビット、および PBDDR の PB ₀ DDR ビットの組み合わせにより、次のように切り換わります。						
	ITU チャンネル 3 の設定	下表 (1)	下表 (2)				
	PB ₀ DDR	-	0	1	1		
	NDER8	-	-	0	1		
	端子機能	TIOCA ₃ 出力	PB ₀ 入力	PB ₀ 出力	TP ₈ 出力		
TIOCA ₃ 入力*							
【注】 * CMD1 = PWM3 = 0、IOA2 = 1 の場合に TIOCA ₃ 入力となります。							
ITU チャンネル 3 の設定	(2)	(2)	(1)	(2)	(1)		
EA3	0	1					
CMD1	-	0			1		
PWM3	-	0		1	-		
IOA2	-	0	0	0	1	-	-
IOA1	-	0	0	1	-	-	-
IOA0	-	0	1	-	-	-	-

10. 16ビットインテグレートドタイムユニット (ITU)

10.1 概要

本 LSI は、5 チャンネルの 16 ビットタイマにより構成される 16 ビットインテグレートドタイムユニット (ITU) を内蔵しています。

消費電流低減のため ITU を使用しない場合には、ITU を単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

10.1.1 特長

ITU の特長を以下に示します。

- 最大 12 種類のパルス出力、または最大 10 種類のパルス入力処理が可能
- 各チャンネル 2 本、合計 10 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立にアウトプットコンペア/インプットキャプチャの機能設定が可能
- 各チャンネルとも 8 種類のカウント入力クロックを選択可能
内部クロック： 、 /2、 /4、 /8
外部クロック：TCLKA、TCLKB、TCLKC、TCLKD
- 各チャンネルとも次の動作モードを設定可能
 - コンペアマッチによる波形出力：
0出力/1出力/トグル出力が選択可能 (チャンネル2は0出力/1出力が可能)
 - インプットキャプチャ機能：
立上がりエッジ/立下がりエッジ/両エッジ検出が選択可能
 - カウンタクリア機能：
コンペアマッチ/インプットキャプチャによるカウンタクリアが可能
 - 同期動作：
複数のタイマカウンタ (TCNT) への同時書込みが可能
コンペアマッチ/インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
 - PWM モード：
任意デューティのPWM出力が可能
同期動作と組み合わせることにより、最大5相のPWM出力が可能
- チャンネル 2 は位相計数モードを設定可能
2相エンコーダのカウント数の自動計測が可能
- チャンネル 3、4 は次の動作モードを設定可能
 - リセット同期 PWM モード：
チャンネル3、4を組み合わせることにより、正相・逆相のPWM波形を3相出力可能
 - 相補 PWM モード：
チャンネル3、4を組み合わせることにより、正相・逆相がノンオーバーラップの関係にあるPWM波形を3相出力可能
 - バッファ動作：

10. 16ビットインテグレートドタイムユニット (ITU)

インプットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書き換えが可能

- 内部 16 ビットバスによる高速アクセス
TCNT、GR、およびバッファレジスタ (BR) の16ビットレジスタに対して、16ビットバスによる高速アクセスが可能
- 15 種類の割り込み要因
各チャンネルともコンペアマッチ / インプットキャプチャ兼用割り込み×2要因、オーバフロー割り込み×1要因があり、それぞれ独立に要求可能
- DMA コントローラ (DMAC) の起動が可能
チャンネル0~3のコンペアマッチ / インプットキャプチャ兼用割り込み (1本×4チャンネル) により、DMACの起動が可能
- プログラマブルパターンコントローラ (TPC) の出力トリガを生成可能
チャンネル0~3のコンペアマッチ / インプットキャプチャ信号をTPCの出力トリガとして使用可能

ITU の機能一覧を表 10.1 に示します。

10. 16 ビットインテグレートドタイマユニット (ITU)

表 10.1 ITU の機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	内部クロック：、 /2、 /4、 /8 外部クロック：TCLKA、TCLKB、TCLKC、TCLKD から独立に選択可能				
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ兼用レジスタ)	GRA0、GRB0	GRA1、GRB1	GRA2、GRB2	GRA3、GRB3	GRA4、GRB4
バッファレジスタ	-	-	-	BRA3、BRB3	BRA4、BRB4
入出力端子	TIOCA ₀ 、 TIOCB ₀	TIOCA ₁ 、 TIOCB ₁	TIOCA ₂ 、 TIOCB ₂	TIOCA ₃ 、 TIOCB ₃	TIOCA ₄ 、 TIOCB ₄
出力端子	-	-	-	-	TOCXA ₄ 、 TOCXB ₄
カウンタクリア機能	GRA0/GRB0 のコンペアマ ッチまたはイン プットキャ プチャ	GRA1/GRB1 のコンペアマ ッチまたはイン プットキャ プチャ	GRA2/GRB2 のコンペアマ ッチまたはイン プットキャ プチャ	GRA3/GRB3 のコンペアマ ッチまたはイン プットキャ プチャ	GRA4/GRB4 のコンペアマ ッチまたはイン プットキャ プチャ
コンペアマッチ 出力	0 出力				
	1 出力				
	トグル出力		-		
インプットキャプチャ機能					
同期動作					
PWM モード					
リセット同期 PWM モード	-	-	-		
相補 PWM モード	-	-	-		
位相計数モード	-	-	-	-	-
バッファ動作	-	-	-		
DMAC の起動	GRA0 の コンペアマッ チまたはイン プットキャ プチャ	GRA1 の コンペアマッ チまたはイン プットキャ プチャ	GRA2 の コンペアマッ チまたはイン プットキャ プチャ	GRA3 の コンペアマッ チまたはイン プットキャ プチャ	-
割込み要因	3 要因 ・コンペアマ ッチ/イン プットキャ プチャ A0 ・コンペアマ ッチ/イン プットキャ プチャ B0 ・オーバ フロー	3 要因 ・コンペアマ ッチ/イン プットキャ プチャ A1 ・コンペアマ ッチ/イン プットキャ プチャ B1 ・オーバ フロー	3 要因 ・コンペアマ ッチ/イン プットキャ プチャ A2 ・コンペアマ ッチ/イン プットキャ プチャ B2 ・オーバ フロー	3 要因 ・コンペアマ ッチ/イン プットキャ プチャ A3 ・コンペアマ ッチ/イン プットキャ プチャ B3 ・オーバ フロー	3 要因 ・コンペアマ ッチ/イン プットキャ プチャ A4 ・コンペアマ ッチ/イン プットキャ プチャ B4 ・オーバ フロー

【記号説明】

- ：可能
- ：不可

10. 16ビットインテグレートドタイマユニット (ITU)

10.1.2 ブロック図

(1) ITUのブロック図(全体図)

ITUのブロック図(全体図)を図10.1に示します。

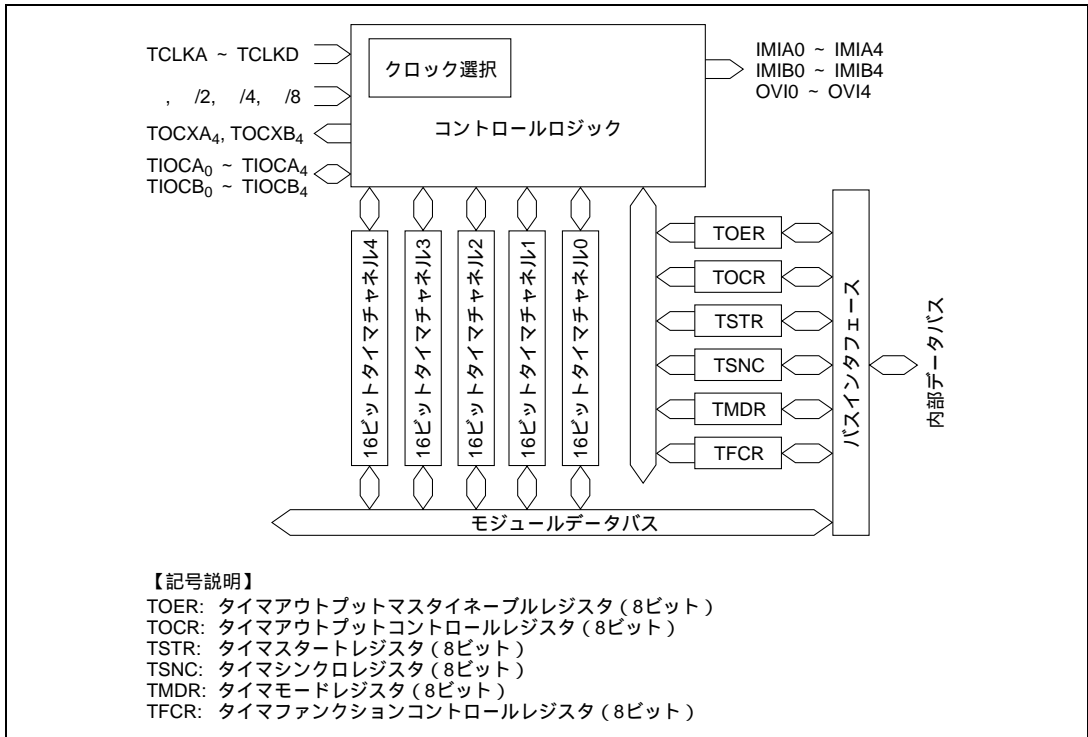


図 10.1 ITUのブロック図(全体図)

(2) チャンネル 0、1 のブロック図

ITU のチャンネル 0、1 は同一の機能をもっています。チャンネル 0、1 のブロック図を図 10.2 に示します。

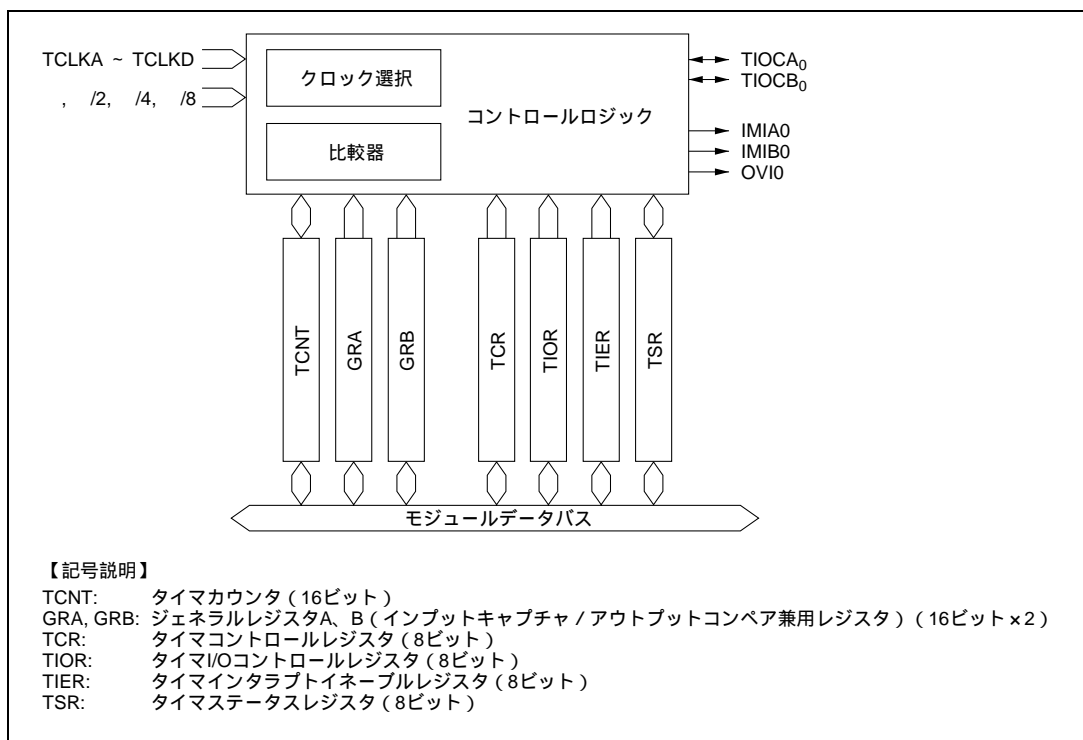


図 10.2 チャンネル 0、1 のブロック図 (チャンネル 0 の場合)

10. 16ビットインテグレートドタイマユニット (ITU)

(3) チャンネル2のブロック図

チャンネル2のブロック図を図10.3に示します。チャンネル2は0出力、1出力のみ可能です。

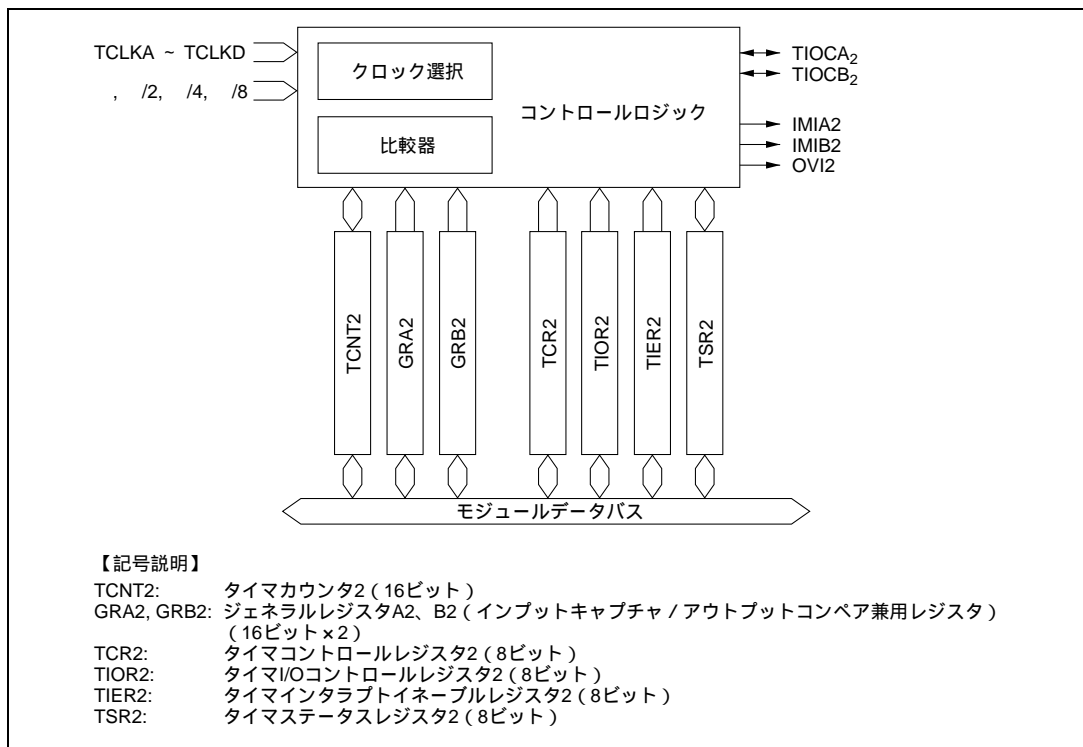


図 10.3 チャンネル2のブロック図

(4) チャンネル 3、4 のブロック図

チャンネル 3 のブロック図を図 10.4、チャンネル 4 のブロック図を図 10.5 に示します。

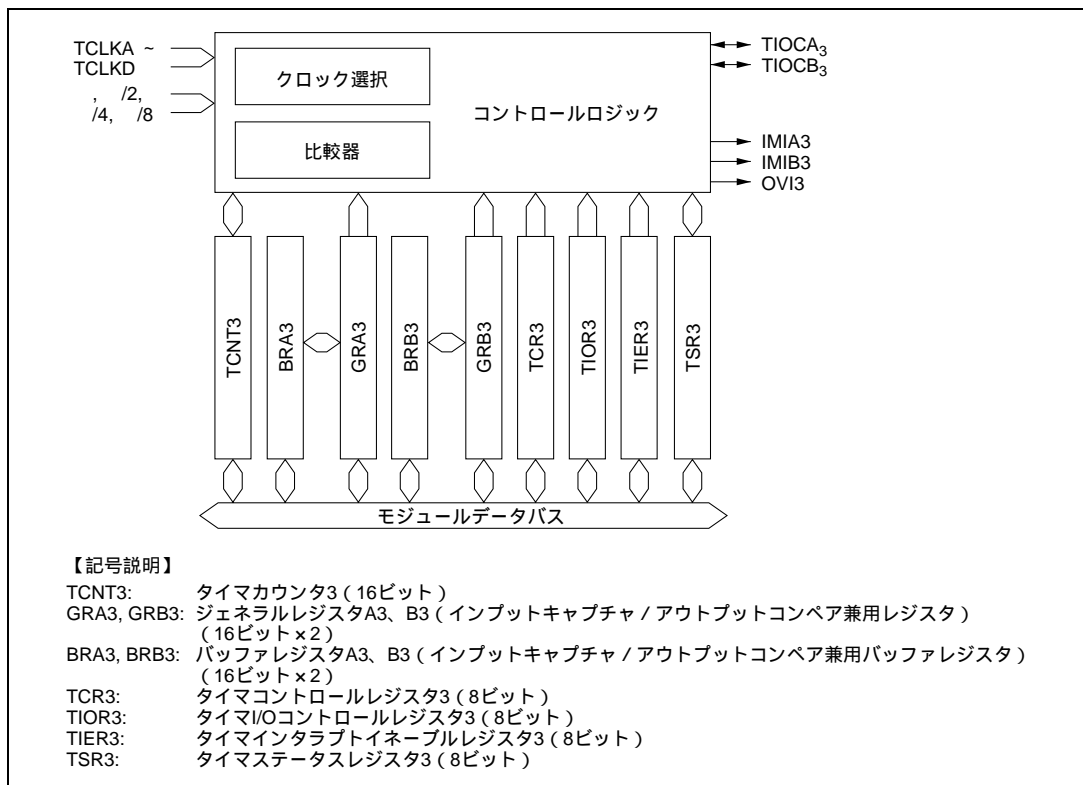


図 10.4 チャンネル 3 のブロック図

10. 16ビットインテグレートドタイマユニット (ITU)

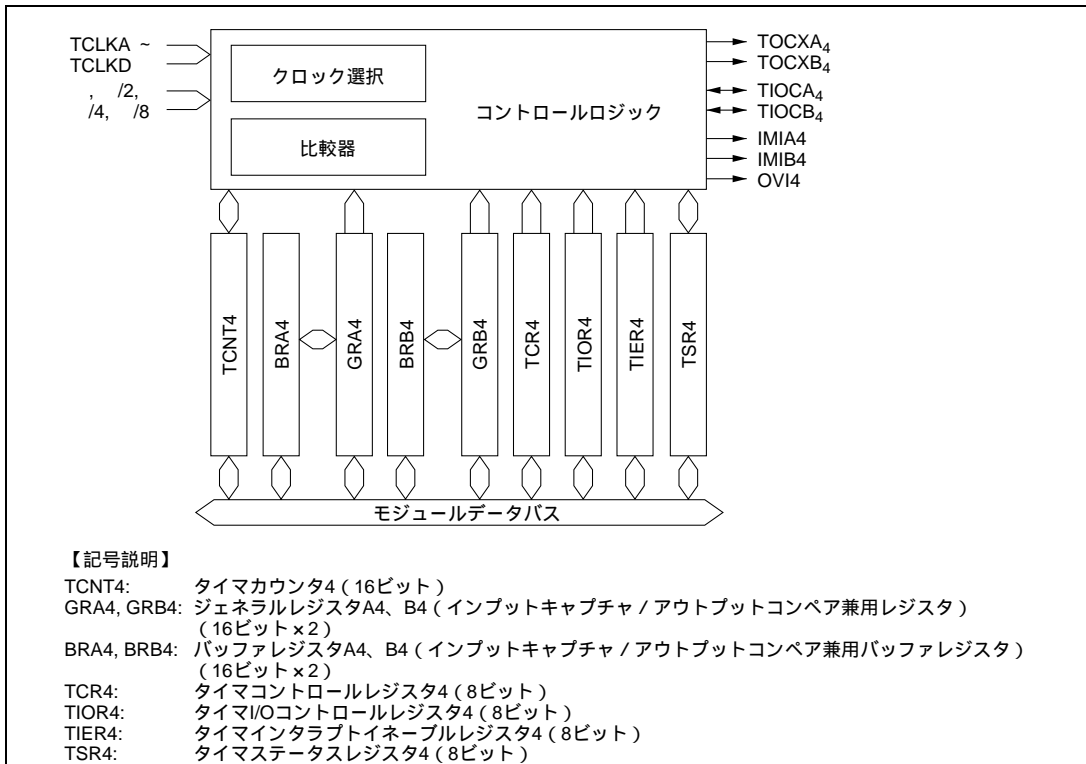


図 10.5 チャンネル4のブロック図

10.1.3 端子構成

ITU の端子構成を表 10.2 に示します。

表 10.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インพุットキャブチャ / アウト プットコンペア A0	TIOCA ₀	入出力	GRA0 アウトプットコンペア出力 / GRA0 イン プットキャブチャ入力 / PWM 出力端子 (PWM モード時)
	インพุットキャブチャ / アウト プットコンペア B0	TIOCB ₀	入出力	GRB0 アウトプットコンペア出力 / GRB0 イン プットキャブチャ入力端子
1	インพุットキャブチャ / アウト プットコンペア A1	TIOCA ₁	入出力	GRA1 アウトプットコンペア出力 / GRA1 イン プットキャブチャ入力 / PWM 出力端子 (PWM モード時)
	インพุットキャブチャ / アウト プットコンペア B1	TIOCB ₁	入出力	GRB1 アウトプットコンペア出力 / GRB1 イン プットキャブチャ入力端子
2	インพุットキャブチャ / アウト プットコンペア A2	TIOCA ₂	入出力	GRA2 アウトプットコンペア出力 / GRA2 イン プットキャブチャ入力 / PWM 出力端子 (PWM モード時)
	インพุットキャブチャ / アウト プットコンペア B2	TIOCB ₂	入出力	GRB2 アウトプットコンペア出力 / GRB2 イン プットキャブチャ入力端子
3	インพุットキャブチャ / アウト プットコンペア A3	TIOCA ₃	入出力	GRA3 アウトプットコンペア出力 / GRA3 イン プットキャブチャ入力 / PWM 出力端子 (PWM モード / 相補 PWM モード / リセット同期 PWM モード時)
	インพุットキャブチャ / アウト プットコンペア B3	TIOCB ₃	入出力	GRB3 アウトプットコンペア出力 / GRB3 イン プットキャブチャ入力 / PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
4	インพุットキャブチャ / アウト プットコンペア A4	TIOCA ₄	入出力	GRA4 アウトプットコンペア出力 / GRA4 イン プットキャブチャ入力 / PWM 出力端子 (PWM モード / 相補 PWM モード / リセット同期 PWM モード時)
	インพุットキャブチャ / アウト プットコンペア B4	TIOCB ₄	入出力	GRB4 アウトプットコンペア出力 / GRB4 イン プットキャブチャ入力 / PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
	アウトプットコンペア XA4	TOCXA ₄	出力	PWM 出力端子 (相補 PWM モード / リセット 同期 PWM モード時)
	アウトプットコンペア XB4	TOCXB ₄	出力	PWM 出力端子 (相補 PWM モード / リセット 同期 PWM モード時)

10. 16ビットインテグレートドタイムユニット (ITU)

10.1.4 レジスタ構成

ITUのレジスタ構成を表10.3に示します。

表 10.3 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
共通	H'FF60	タイマスタートレジスタ	TSTR	R/W	H'E0
	H'FF61	タイマシンクロレジスタ	TSNC	R/W	H'E0
	H'FF62	タイマモードレジスタ	TMDR	R/W	H'80
	H'FF63	タイマファンクションコントロールレジスタ	TFCR	R/W	H'00
	H'FF90	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'FF
	H'FF91	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'FF
0	H'FF64	タイマコントロールレジスタ 0	TCR0	R/W	H'80
	H'FF65	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FF66	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'F8
	H'FF67	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'F8
	H'FF68	タイマカウンタ 0H	TCNT0H	R/W	H'00
	H'FF69	タイマカウンタ 0L	TCNT0L	R/W	H'00
	H'FF6A	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FF6B	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FF6C	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FF6D	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H'80
	H'FF6F	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FF70	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'F8
	H'FF71	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'F8
	H'FF72	タイマカウンタ 1H	TCNT1H	R/W	H'00
	H'FF73	タイマカウンタ 1L	TCNT1L	R/W	H'00
	H'FF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FF78	タイマコントロールレジスタ 2	TCR2	R/W	H'80
	H'FF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FF7A	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'F8
	H'FF7B	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'F8
	H'FF7C	タイマカウンタ 2H	TCNT2H	R/W	H'00
	H'FF7D	タイマカウンタ 2L	TCNT2L	R/W	H'00
	H'FF7E	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FF7F	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FF80	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FF81	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF

10. 16 ビットインテグレートドタイマユニット (ITU)

チャンネル	アドレス*1	名称	略称	R/W	初期値
3	H'FF82	タイマコントロールレジスタ 3	TCR3	R/W	H'80
	H'FF83	タイマ I/O コントロールレジスタ 3	TIOR3	R/W	H'88
	H'FF84	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'F8
	H'FF85	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'F8
	H'FF86	タイマカウンタ 3H	TCNT3H	R/W	H'00
	H'FF87	タイマカウンタ 3L	TCNT3L	R/W	H'00
	H'FF88	ジェネラルレジスタ A3H	GRA3H	R/W	H'FF
	H'FF89	ジェネラルレジスタ A3L	GRA3L	R/W	H'FF
	H'FF8A	ジェネラルレジスタ B3H	GRB3H	R/W	H'FF
	H'FF8B	ジェネラルレジスタ B3L	GRB3L	R/W	H'FF
	H'FF8C	バッファレジスタ A3H	BRA3H	R/W	H'FF
	H'FF8D	バッファレジスタ A3L	BRA3L	R/W	H'FF
	H'FF8E	バッファレジスタ B3H	BRB3H	R/W	H'FF
H'FF8F	バッファレジスタ B3L	BRB3L	R/W	H'FF	
4	H'FF92	タイマコントロールレジスタ 4	TCR4	R/W	H'80
	H'FF93	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'88
	H'FF94	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'F8
	H'FF95	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'F8
	H'FF96	タイマカウンタ 4H	TCNT4H	R/W	H'00
	H'FF97	タイマカウンタ 4L	TCNT4L	R/W	H'00
	H'FF98	ジェネラルレジスタ A4H	GRA4H	R/W	H'FF
	H'FF99	ジェネラルレジスタ A4L	GRA4L	R/W	H'FF
	H'FF9A	ジェネラルレジスタ B4H	GRB4H	R/W	H'FF
	H'FF9B	ジェネラルレジスタ B4L	GRB4L	R/W	H'FF
	H'FF9C	バッファレジスタ A4H	BRA4H	R/W	H'FF
	H'FF9D	バッファレジスタ A4L	BRA4L	R/W	H'FF
	H'FF9E	バッファレジスタ B4H	BRB4H	R/W	H'FF
H'FF9F	バッファレジスタ B4L	BRB4L	R/W	H'FF	

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 フラグをクリアするための 0 ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

TSTRは8ビットのリード/ライト可能なレジスタで、チャンネル0~4のTCNTの動作/停止を選択します。



TSTRはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット4: カウンタスタート4 (STR4)

タイマカウンタ4 (TCNT4) の動作/停止を選択します。

ビット4	説明
STR4	
0	TCNT4のカウンタ動作は停止 (初期値)
1	TCNT4はカウンタ動作

ビット3: カウンタスタート3 (STR3)

タイマカウンタ3 (TCNT3) の動作/停止を選択します。

ビット3	説明
STR3	
0	TCNT3のカウンタ動作は停止 (初期値)
1	TCNT3はカウンタ動作

ビット2: カウンタスタート2 (STR2)

タイマカウンタ2 (TCNT2) の動作/停止を選択します。

ビット2	説明
STR2	
0	TCNT2のカウンタ動作は停止 (初期値)
1	TCNT2はカウンタ動作

ビット1: カウンタスタート1 (STR1)

タイマカウンタ1 (TCNT1) の動作 / 停止を選択します。

ビット1	説明
STR1	
0	TCNT1 のカウント動作は停止 (初期値)
1	TCNT1 はカウント動作

ビット0: カウンタスタート0 (STR0)

タイマカウンタ0 (TCNT0) の動作 / 停止を選択します。

ビット0	説明
STR0	
0	TCNT0 のカウント動作は停止 (初期値)
1	TCNT0 はカウント動作

10.2.2 タイマシンクロレジスタ (TSNC)

TSNC は 8 ビットのリード / ライト可能なレジスタで、チャンネル 0 ~ 4 の独立動作 / 同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
				SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

リザーブビット

タイマ同期4~0
チャンネル4~0の同期動作を設定するビットです。

TSNC はリセット、またはスタンバイモード時に、H'E0 にイニシャライズされます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット4: タイマ同期4 (SYNC4)

チャンネル4の独立動作 / 同期動作を選択します。

ビット4	説明
SYNC4	
0	チャンネル4のタイマカウンタ (TCNT4) は独立動作 (TCNT4のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル4は同期動作 TCNT4の同期プリセット / 同期クリアが可能

10. 16ビットインテグレートドタイムユニット (ITU)

ビット3：タイマ同期3 (SYNC3)

チャンネル3の独立動作 / 同期動作を選択します。

ビット3	説明
SYNC3	
0	チャンネル3のタイマカウンタ (TCNT3) は独立動作 (TCNT3のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル3は同期動作 TCNT3の同期プリセット / 同期クリアが可能

ビット2：タイマ同期2 (SYNC2)

チャンネル2の独立動作 / 同期動作を選択します。

ビット2	説明
SYNC2	
0	チャンネル2のタイマカウンタ (TCNT2) は独立動作 (TCNT2のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル2は同期動作 TCNT2の同期プリセット / 同期クリアが可能

ビット1：タイマ同期1 (SYNC1)

チャンネル1の独立動作 / 同期動作を選択します。

ビット1	説明
SYNC1	
0	チャンネル1のタイマカウンタ (TCNT1) は独立動作 (TCNT1のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル1は同期動作 TCNT1の同期プリセット / 同期クリアが可能

ビット0：タイマ同期0 (SYNC0)

チャンネル0の独立動作 / 同期動作を選択します。

ビット0	説明
SYNC0	
0	チャンネル0のタイマカウンタ (TCNT0) は独立動作 (TCNT0のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル0は同期動作 TCNT0の同期プリセット / 同期クリアが可能

10.2.3 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の PWM モードの設定、チャンネル 2 の位相計数モードの設定およびオーバーフローフラグ (OVF) のセット条件の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

位相計数モード
チャンネル2を位相計数モードに設定するビットです。

フラグディレクション
TSR2のOVFフラグセット条件を設定するビットです。

PWMモード4~0
チャンネル4~0をPWMモードに設定するビットです。

TMDR はリセット、またはスタンバイモード時に、H'80 にイニシャライズされます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6: 位相計数モード (MDF)

チャンネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット 6	説明
MDF	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は位相計数モード

MDF ビットを 1 にセットして位相計数モードにすると、TCNT2 はアップ/ダウンカウンタ、TCLKA、TCLKB 端子がカウントクロック入力端子となります。TCNT2 は TCLKA、TCLKB 端子の立上がり () / 立下がり () の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン			カウントアップ			
TCLKA 端子		High		Low		Low	High
TCLKB 端子	Low		High		High		Low

10. 16ビットインテグレートドタイムユニット (ITU)

位相計数モードでは、TCR2のCKEG1、CKEG0ビットによる外部クロックエッジの選択、およびTPSC2～TPSC0ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2のコンペアマッチ/インプットキャプチャ機能と割込みの設定は位相計数モードでも有効です。

ビット5：フラグディレクション (FDIR)

TSR2のOVFフラグのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	説明
FDIR	
0	TSR2のOVFフラグは、TCNT2がオーバフローまたはアンダフローしたときに1にセット (初期値)
1	TSR2のOVFフラグは、TCNT2がオーバフローしたときに1にセット

ビット4：PWMモード4 (PWM4)

チャンネル4を通常動作させるか、PWMモードで動作させるかを選択します。

ビット4	説明
PWM4	
0	チャンネル4は通常動作 (初期値)
1	チャンネル4はPWMモード

PWM4を1にセットしてPWMモードにすると、TIOCA₄端子はPWM出力端子となり、GRA4のコンペアマッチで1出力、GRB4のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット3：PWMモード3 (PWM3)

チャンネル3を通常動作させるか、PWMモードで動作させるかを選択します。

ビット3	説明
PWM3	
0	チャンネル3は通常動作 (初期値)
1	チャンネル3はPWMモード

PWM3を1にセットしてPWMモードにすると、TIOCA₃端子はPWM出力端子となり、GRA3のコンペアマッチで1出力、GRB3のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット 2 : PWM モード 2 (PWM2)

チャンネル 2 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説明
PWM2	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は PWM モード

PWM2 を 1 にセットして PWM モードにすると、TIOCA₂ 端子は PWM 出力端子となり、GRA2 のコンペアマッチで 1 出力、GRB2 のコンペアマッチで 0 出力となります。

ビット 1 : PWM モード 1 (PWM1)

チャンネル 1 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説明
PWM1	
0	チャンネル 1 は通常動作 (初期値)
1	チャンネル 1 は PWM モード

PWM1 を 1 にセットして PWM モードに設定すると、TIOCA₁ 端子は PWM 出力端子となり、GRA1 のコンペアマッチで 1 出力、GRB1 のコンペアマッチで 0 出力となります。

ビット 0 : PWM モード 0 (PWM0)

チャンネル 0 を通常動作させるか、PWM モードで動作させるかを選択します。

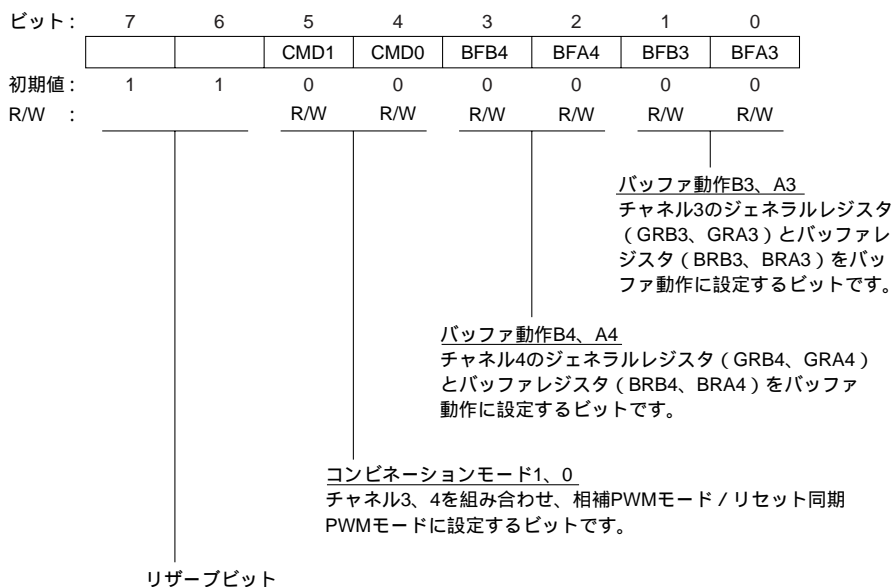
ビット 0	説明
PWM0	
0	チャンネル 0 は通常動作 (初期値)
1	チャンネル 0 は PWM モード

PWM0 を 1 にセットして PWM モードに設定すると、TIOCA₀ 端子は PWM 出力端子となり、GRA0 のコンペアマッチで 1 出力、GRB0 のコンペアマッチで 0 出力となります。

10. 16 ビットインテグレートドタイムユニット (ITU)

10.2.4 タイマファンクションコントロールレジスタ (TFCR)

TFCR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 3、4 の相補 PWM モード/リセット同期 PWM モードの設定、およびバッファ動作の設定を行います。



TFCR はリセット、またはスタンバイモード時に、H'CO にイニシャライズされます。

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5、4: コンビネーションモード 1、0 (CMD1、CMD0)

チャンネル 3、4 を通常動作させるか、相補 PWM モードまたはリセット同期 PWM モードで動作させるかを選択します。

ビット 5	ビット 4	説明
CMD1	CMD0	
0	0	チャンネル 3、4 は通常動作 (初期値)
	1	
1	0	チャンネル 3、4 を組み合わせ、相補 PWM モードで動作
	1	チャンネル 3、4 を組み合わせ、リセット同期 PWM モードで動作

相補 PWM モード、およびリセット同期 PWM モードの設定は、使用する TCNT を停止させた状態で行ってください。

本ビットにより、相補 PWM モードまたはリセット同期 PWM モードに設定した場合、TMDR の PWM4、PWM3 ビットによる PWM モードの設定より優先されます。なお、相補 PWM モード、リセット同期 PWM モードの設定と TSNC の SYNC4、SYNC3 ビットによる同期動作の設定は同時に有効となりますが、相補 PWM モードを設定したときは、チャンネル 3 とチャンネル 4 を同期動作に設

定 (TSNC の SYNC4 ビットと SYNC3 ビットをともに 1 にセット) しないでください。

ビット 3 : バッファ動作 B4 (BFB4)

チャンネル 4 の GRB4 を通常動作とするか、GRB4 と BRB4 を組み合わせてバッファ動作とするかを設定します。

ビット 3	説明
BFB4	
0	GRB4 は通常動作 (初期値)
1	GRB4 と BRB4 はバッファ動作

ビット 2 : バッファ動作 A4 (BFA4)

チャンネル 4 の GRA4 を通常動作とするか、GRA4 と BRA4 を組み合わせてバッファ動作とするかを設定します。

ビット 2	説明
BFA4	
0	GRA4 は通常動作 (初期値)
1	GRA4 と BRA4 はバッファ動作

ビット 1 : バッファ動作 B3 (BFB3)

チャンネル 3 の GRB3 を通常動作とするか、GRB3 と BRB3 を組み合わせてバッファ動作とするかを設定します。

ビット 1	説明
BFB3	
0	GRB3 は通常動作 (初期値)
1	GRB3 と BRB3 はバッファ動作

ビット 0 : バッファ動作 A3 (BFA3)

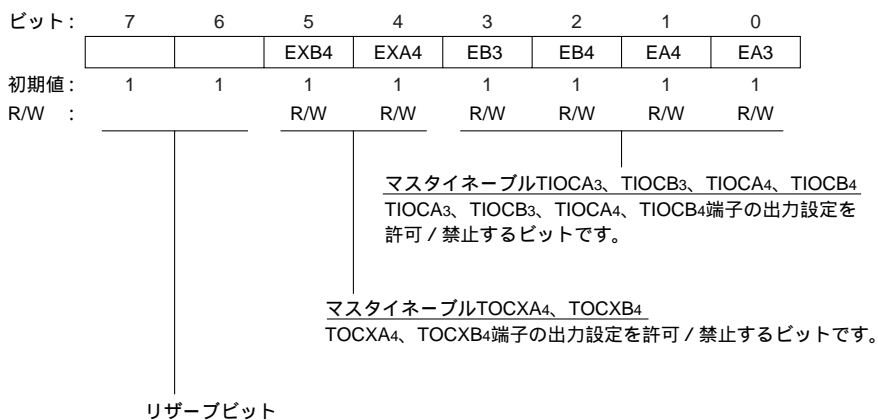
チャンネル 3 の GRA3 を通常動作とするか、GRA3 と BRA3 を組み合わせてバッファ動作とするかを設定します。

ビット 0	説明
BFA3	
0	GRA3 は通常動作 (初期値)
1	GRA3 と BRA3 はバッファ動作

10. 16 ビットインテグレートドタイムユニット (ITU)

10.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットのリード/ライト可能なレジスタで、チャンネル 3、4 の出力設定を許可/禁止します。



TOER はリセット、またはスタンバイモード時に H'FF にイニシャライズされます。

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5: マスタイネーブル TOCXB₄ (EXB₄)

TOCXB₄ 端子の ITU 出力を許可/禁止します。

ビット 5	説明
EXB4	
0	TFCR の設定にかかわらず TOCXB ₄ 端子の出力は禁止 (TOCXB ₄ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TFCR の設定に従い TOCXB ₄ 端子の出力は許可 (初期値)

ビット 4: マスタイネーブル TOCXA₄ (EXA₄)

TOCXA₄ 端子の ITU 出力を許可/禁止します。

ビット 4	説明
EXA4	
0	TFCR の設定にかかわらず TOCXA ₄ 端子の出力は禁止 (TOCXA ₄ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TFCR の設定に従い TOCXA ₄ 端子の出力は許可 (初期値)

10. 16 ビットインテグレートドタイムユニット (ITU)

ビット 3 : マスタイネーブル TIOCB3 (EB3)

TIOCB₃端子の ITU 出力を許可 / 禁止します。

ビット 3	説明
EB3	
0	TIOR3、TFCR の設定にかかわらず TIOCB ₃ 端子の出力は禁止 (TIOCB ₃ 端子は出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR3、TFCR の設定に従い TIOCB ₃ 端子の出力は許可 (初期値)

ビット 2 : マスタイネーブル TIOCB4 (EB4)

TIOCB₄端子の ITU 出力を許可 / 禁止します。

ビット 2	説明
EB4	
0	TIOR4、TFCR の設定にかかわらず TIOCB ₄ 端子の出力は禁止 (TIOCB ₄ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR4、TFCR の設定に従い TIOCB ₄ 端子の出力は許可 (初期値)

ビット 1 : マスタイネーブル TIOCA4 (EA4)

TIOCA₄端子の ITU 出力を許可 / 禁止します。

ビット 1	説明
EA4	
0	TIOR4、TMDR、TFCR の設定にかかわらず TIOCA ₄ 端子の出力は禁止 (TIOCA ₄ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR4、TMDR、TFCR の設定に従い TIOCA ₄ 端子の出力は許可 (初期値)

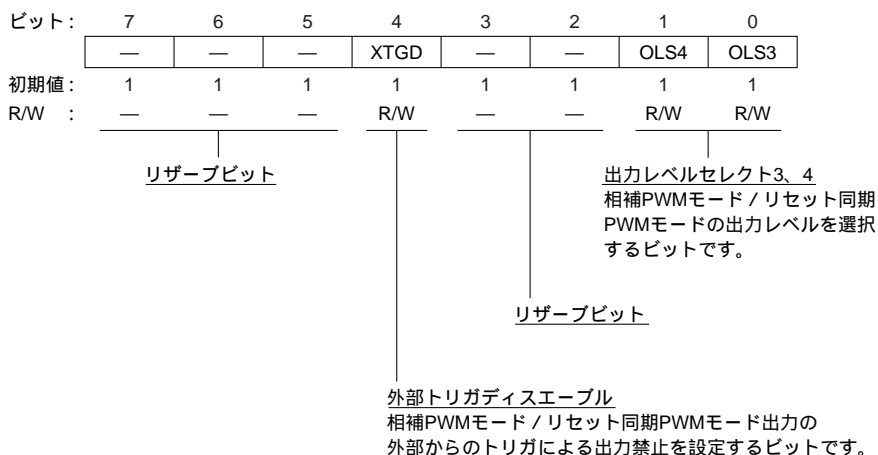
ビット 0 : マスタイネーブル TIOCA3 (EA3)

TIOCA₃端子の ITU 出力を許可 / 禁止します。

ビット 0	説明
EA3	
0	TIOR3、TMDR、TFCR の設定にかかわらず TIOCA ₃ 端子の出力は禁止 (TIOCA ₃ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR3、TMDR、TFCR の設定に従い TIOCA ₃ 端子の出力は許可 (初期値)

10.2.6 タイマアウトプットコントロールレジスタ (TOCR)

TOCR は、8ビットのリード/ライト可能なレジスタで、相補 PWM モード/リセット同期 PWM モード出力の外部トリガによる禁止または出力レベル反転を行います。



XTGD、OLS4 および OLS3 ビットの設定は、リセット同期 PWM モードまたは相補 PWM モードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCR はリセット、またはスタンバイモード時に H'FF にイニシャライズされます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット4: 外部トリガディスエーブル (XTGD)

リセット同期 PWM モード/相補 PWM モード時の ITU 出力の外部トリガによる禁止を設定します。

ビット4	説明
XTGD	
0	リセット同期 PWM モード/相補 PWM モード時、チャンネル1のインプットキャプチャ A 信号を外部トリガとして使用 外部トリガの発生時、TOER のビット5~0 が0にクリアされ、ITU 出力は禁止
1	外部トリガを禁止 (初期値)

ビット3、2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1 : 出力レベルセレクト 4 (OLS4)

リセット同期 PWM モード / 相補 PWM モード出力のレベルを選択します。

ビット 1	説明
OLS4	
0	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ は反転出力
1	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ は直接出力 (初期値)

ビット 0 : 出力レベルセレクト 3 (OLS3)

リセット同期 PWM モード / 相補 PWM モード出力のレベルを選択します。

ビット 0	説明
OLS3	
0	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ は反転出力
1	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ は直接出力 (初期値)

10.2.7 タイマカウンタ (TCNT)

TCNT は 16 ビットのカウンタです。ITU には、各チャンネル 1 本、計 5 本の TCNT があります。

チャンネル	略 称	機 能
0	TCNT0	アップカウンタ
1	TCNT1	
2	TCNT2	位相計数モード : アップ / ダウンカウンタ 上記以外 : アップカウンタ
3	TCNT3	相補 PWM モード : アップ / ダウンカウンタ
4	TCNT4	上記以外 : アップカウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は 16 ビットのリード / ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCR の TPSC2 ~ TPSC0 ビットにより選択します。

TCNT0、TCNT1 はアップカウント動作を行います。TCNT2 は位相計数モード時、また TCNT3、TCNT4 は相補 PWM モード時、アップ / ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNT は、対応する GRA、GRB とのコンペアマッチ、または GRA、GRB へのインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。

TCNT がオーバフロー (H'FFFF H'0000) すると、対応するチャンネルの TSR の OVF フラグが 1 にセットされます。

TCNT がアンダフロー (H'0000 H'FFFF) すると、対応するチャンネルの TSR の OVF フラグが 1 にセットされます。

TCNT は CPU と内部 16 ビットバスで接続されており、ワード / バイト単位のリード / ライトが可能です。

TCNT はリセット、またはスタンバイモード時に H'0000 にイニシャライズされます。

10. 16ビットインテグレートドタイムユニット (ITU)

10.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GR は、16 ビットのレジスタです。ITU には、各チャンネル 2 本、計 10 本のジェネラルレジスタがあります。

チャンネル	略 称	機 能
0	GRA0、GRB0	アウトプットコンペア / インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア / インプットキャプチャ兼用レジスタ。 バッファレジスタ (BRA、BRB) と組み合わせることにより、 バッファ動作設定可能
4	GRA4、GRB4	

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットのリード / ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り換えは、TIOR により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA / GRB の値と TCNT の値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、TSR の IMFA / IMFB フラグが 1 にセットされます。TIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT の値を格納します。このとき対応する TSR の IMFA / IMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジは TIOR により行います。

PWM モード、相補 PWM モード、またはリセット同期 PWM モードに設定されている場合には、TIOR の設定は無視されます。

GR は CPU と内部 16 ビットバスで接続されており、ワード / バイト単位のリード / ライトが可能です。

GR はリセット、またはスタンバイモード時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFF にイニシャライズされます。

10.2.9 バッファレジスタ A、B (BRA、BRB)

BR は、16 ビットのレジスタです。ITU には、チャンネル 3、4 に各 2 本、計 4 本のバッファレジスタがあります。

チャンネル	略 称	機 能
3	BRA3、BRB3	バッファ動作時に使用 <ul style="list-style-type: none"> 対応する GRA、GRB がアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチにより BRA、BRB の値を GRA、GRB に自動転送可能
4	BRA4、BRB4	<ul style="list-style-type: none"> 対応する GRA、GRB がインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていた GRA、GRB の値を BRA、BRB に自動転送可能

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BR は、16 ビットのリード/ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定は TFCR の BFB4、BFA4、BFB3、および BFA3 ビットにより独立に行うことができます。

BR は GR と対になって機能し、GR がアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、また GR がインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

BR は CPU と内部 16 ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

BR は、リセット、またはスタンバイモード時に H'FFFF にイニシャライズされます。

10.2.10 タイマコントロールレジスタ (TCR)

TCR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TCR があります。

チャンネル	略 称	機 能
0	TCR0	TCR は TCNT の制御を行います。
1	TCR1	各チャンネルの TCR は同一の機能をもっています。チャンネル 2 を位相
2	TCR2	計数モードに設定したとき、TCR2 の CKEG1、CKEG0 ビットおよび
3	TCR3	TPSC2 ~ TPSC0 ビットの設定は無効となります。
4	TCR4	

10. 16ビットインテグレートドタイムユニット (ITU)

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

カウンタクリア1、0
カウンタクリア要因を選択するビットです。

クロックエッジ1、0
クロックの検出エッジを選択するビットです。

タイムプリスケール2-0
TCNTのカウンタクロック
を選択するビットです。

TCR は 8 ビットのリード/ライト可能なレジスタで、TCNT のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCR はリセット、またはスタンバイモード時に、H'80 にイニシャライズされます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6、5: カウンタクリア 1、0 (CCLR1、CCLR0)

TCNT のカウンタクリア要因を選択します。

ビット 6	ビット 5	説明
CCLR1	CCLR0	
0	0	TCNT のクリア禁止 (初期値)
	1	GRA のコンペアマッチ/インプットキャプチャ*1 で TCNT をクリア
1	0	GRB のコンペアマッチ/インプットキャプチャ*1 で TCNT をクリア
	1	同期クリア。同期動作*2 をしている他のタイマのカウンタクリアに同期して TCNT をクリア

【注】 *1 GR がアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GR がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定は TSNC により行います。

ビット 4、3: クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット 4	ビット 3	説明
CKEG1	CKEG0	
0	0	立上がりエッジでカウント (初期値)
	1	立下がりエッジでカウント
1	-	立上がり / 立下がりの両エッジでカウント

チャンネル 2 が位相計数モードに設定されているとき、TCR2 の CKEG1、CKEG0 ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット 2~0 : タイマプリスケアラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。

ビット 2	ビット 1	ビット 0	説明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : でカウント (初期値)
		1	内部クロック : /2 でカウント
	1	0	内部クロック : /4 でカウント
		1	内部クロック : /8 でカウント
1	0	0	外部クロック A : TCLKA 端子入力でカウント
		1	外部クロック B : TCLKB 端子入力でカウント
	1	0	外部クロック C : TCLKC 端子入力でカウント
		1	外部クロック D : TCLKD 端子入力でカウント

TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立下がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

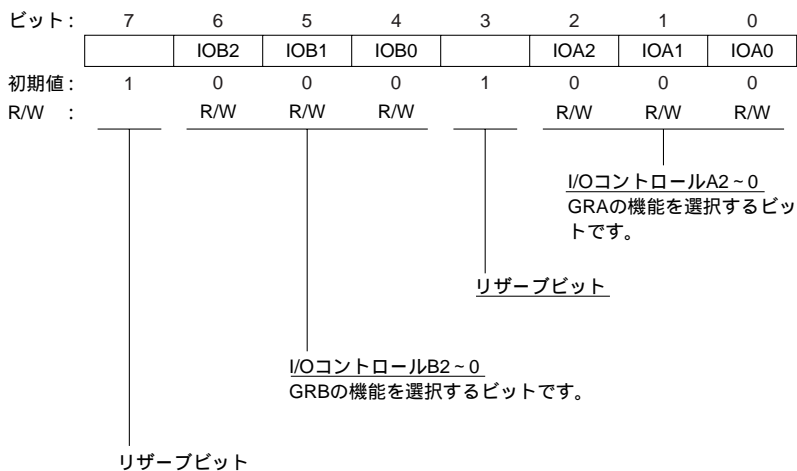
チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF ビット = 1)、TCR2 の TPSC2 ~ TPSC0 ビットの設定は無効となり、位相計数モードの動作が優先されます。

10.2.11 タイマ I/O コントロールレジスタ (TIOR)

TIOR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIOR があります。

チャンネル	略称	機能
0	TIOR0	TIOR は GR の制御を行います。
1	TIOR1	PWM モード時、一部機能が異なります。
2	TIOR2	チャンネル 3、4 を相補 PWM モード / リセット同期 PWM モードに設定したとき、TIOR3、TIOR4 の設定は無効となります。
3	TIOR3	
4	TIOR4	

10. 16ビットインテグレートドタイムユニット (ITU)



TIOR は 8 ビットのリード/ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIOCA、TIOCB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット6~4: I/O コントロール B2~0 (IOB2~IOB0)

GRB の機能を選択します。

ビット6	ビット5	ビット4	説明	
IOB2	IOB1	IOB0		
0	0	0	GRB はアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRB のコンペアマッチで 0 出力* ¹
	1	0		GRB のコンペアマッチで 1 出力* ¹
		1		GRB のコンペアマッチでトグル出力 (チャンネル 2 のみ 1 出力) * ¹ 、* ²
1	0	0	GRB はインプットキャプチャレジスタ	立上がりエッジで GRB ヘインプットキャプチャ
		1		立下がりエッジで GRB ヘインプットキャプチャ
	1	0		立上がり / 立下がりの両エッジでインプットキャプチャ
		1		

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

*2 チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

ビット 3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2~0: I/O コントロール A2~0 (IOA2~IOA0)

GRA の機能を選択します。

ビット 2	ビット 1	ビット 0	説明	
IOA2	IOA1	IOA0		
0	0	0	GRA はアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRA のコンペアマッチで 0 出力* ¹
	1	0		GRA のコンペアマッチで 1 出力* ¹
		1		GRA のコンペアマッチでトグル出力 (チャンネル 2 のみ 1 出力)* ¹ , * ²
1	0	0	GRA はインプットキャプチャレジスタ	立上がりエッジで GRA ヘインプットキャプチャ
		1		立下がりエッジで GRA ヘインプットキャプチャ
	1	0		立上がり / 立下がりの両エッジでインプット
		1		キャプチャ

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

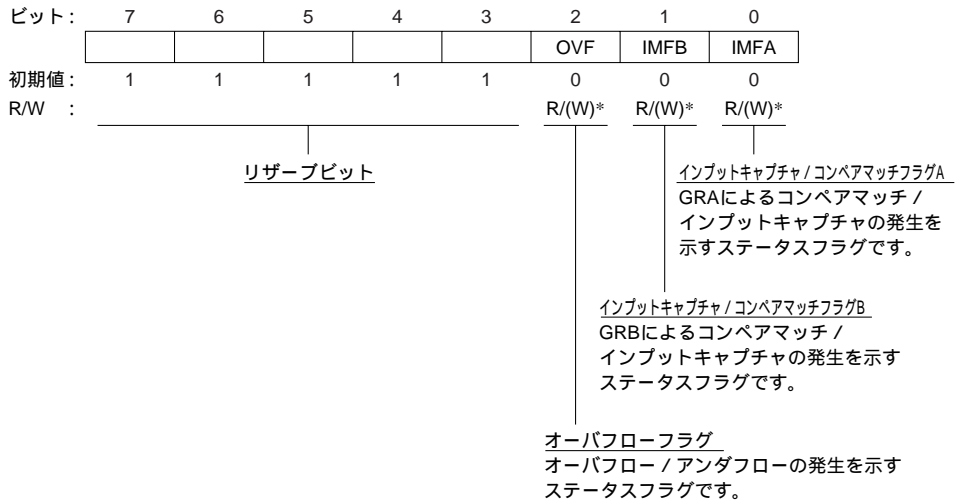
*2 チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

10.2.12 タイマステータスレジスタ (TSR)

TSR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TSR があります。

チャンネル	略称	機能
0	TSR0	インプットキャプチャ / コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	

10. 16 ビットインテグレートドタイムユニット (ITU)



【注】 * フラグをクリアするための0ライトのみ可能です。

TSR は 8 ビットのリード/ライト可能なレジスタで、TCNT のオーバフロー/アンダフローの発生、および GRA、GRB のコンペアマッチ/インพุットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、TIER の対応するビットにより割り込みが許可されていれば、CPU に割り込みを要求します。

TSR はリセット、またはスタンバイモード時に、H'F8 にイニシャライズされます。

ビット 7~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2: オーバフローフラグ (OVF)

TCNT のオーバフロー/アンダフローの発生を示すステータスフラグです。

ビット 2	説明
OVF	
0	[クリア条件] (初期値) OVF = 1 の状態で、OVF フラグをリードした後、OVF フラグに 0 をライトしたとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF H'0000) またはアンダフロー (H'0000 H'FFFF) したとき*

【注】 * TCNT のアンダフローは、TCNT がアップ/ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。

(1) チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF = 1)

(2) チャンネル 3、4 が相補 PWM モードに設定されているとき (TFCR の CMD1 = 1、CMD0 = 0)

10. 16 ビットインテグレートドタイムユニット (ITU)

ビット1: インพุットキャプチャ/コンペアマッチフラグ B (IMFB)

GRB のコンペアマッチまたはインพุットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFB	
0	[クリア条件] (初期値) IMFB = 1 の状態で、IMFB フラグをリードした後、IMFB フラグに 0 をライトしたとき
1	[セット条件] (1) GRB がアウトพุットコンペアレジスタとして機能している場合、TCNT = GRB になったとき (2) GRB がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT の値が GRB に転送されたとき

ビット0: インพุットキャプチャ/コンペアマッチフラグ A (IMFA)

GRA のコンペアマッチまたはインพุットキャプチャの発生を示すステータスフラグです。

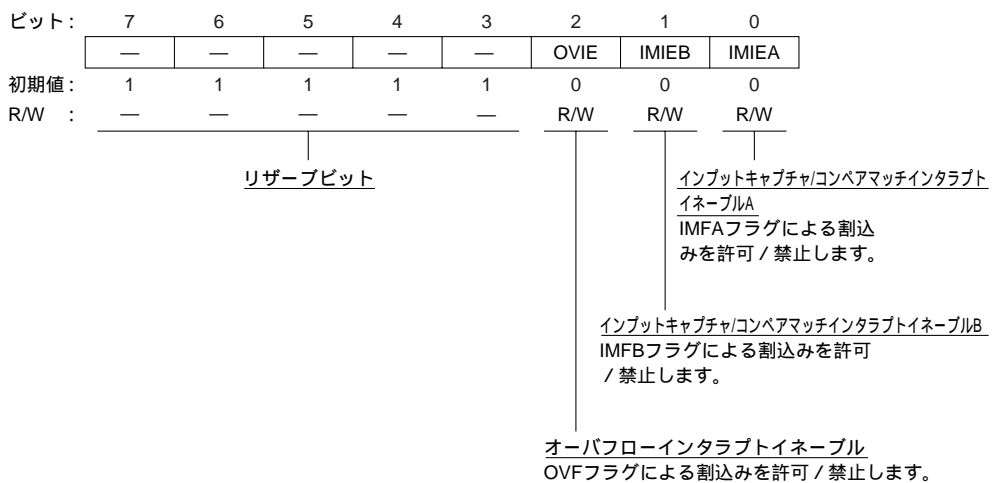
ビット0	説明
IMFA	
0	[クリア条件] (初期値) (1) IMFA = 1 の状態で、IMFA フラグをリードした後、IMFA フラグに 0 をライトしたとき (2) IMIA 割込みにより DMAC が起動されたとき (チャンネル 0~3 のみ)
1	[セット条件] (1) GRA がアウトพุットコンペアレジスタとして機能している場合、TCNT = GRA になったとき (2) GRA がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT の値が GRA に転送されたとき

10. 16ビットインテグレートドタイムユニット (ITU)

10.2.13 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIER があります。

チャンネル	略 称	機 能
0	TIER0	割込み要求の許可 / 禁止を制御します。
1	TIER1	
2	TIER2	
3	TIER3	
4	TIER4	



TIER は 8 ビットのリード / ライト可能なレジスタで、オーバーフロー割込み要求、GR のインพุットキャプチャ / コンペアマッチ割込み要求の許可 / 禁止を制御します。

TIER はリセット、またはスタンバイモード時に、H'F8 にイニシャライズされます。

ビット 7 ~ 3 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2 : オーバフローインタラプトイネーブル (OVIE)

TSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割込み要求を許可 / 禁止します。

ビット 2	説 明
OVIE	
0	OVF フラグによる割込み (OVI) 要求を禁止 (初期値)
1	OVF フラグによる割込み (OVI) 要求を許可

ビット 1: インพุットキャプチャ/コンペアマッチインタラプトイネーブル B (IMIEB)
 TSR の IMFB フラグが 1 にセットされたとき、IMFB による割込み要求を許可/禁止します。

ビット 1	説明
IMIEB	
0	IMFB フラグによる割込み (IMIB) 要求を禁止 (初期値)
1	IMFB フラグによる割込み (IMIB) 要求を許可

ビット 0: インพุットキャプチャ/コンペアマッチインタラプトイネーブル A (IMIEA)
 TSR の IMFA フラグが 1 にセットされたとき、IMFA による割込み要求を許可/禁止します。

ビット 0	説明
IMIEA	
0	IMFA フラグによる割込み (IMIA) 要求を禁止 (初期値)
1	IMFA フラグによる割込み (IMIA) 要求を許可

10.3 CPU とのインタフェース

10.3.1 16ビットアクセス可能なレジスタ

TCNT、GRA、GRB、およびBRA、BRBは16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

TCNTに対してワード単位のリード/ライトを行った場合の動作を図10.6、図10.7に示します。

また、TCNTH、TCNTLに対してバイト単位のリード/ライトを行った場合の動作を図10.8、図10.9、図10.10、図10.11に示します。

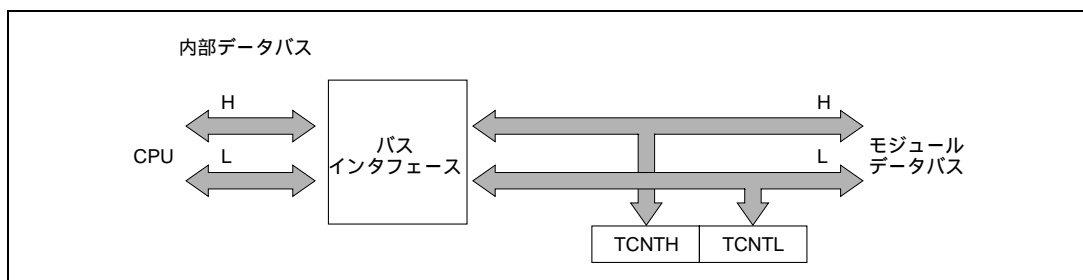


図 10.6 TCNT のアクセス動作 [CPU TCNT (ワード)]

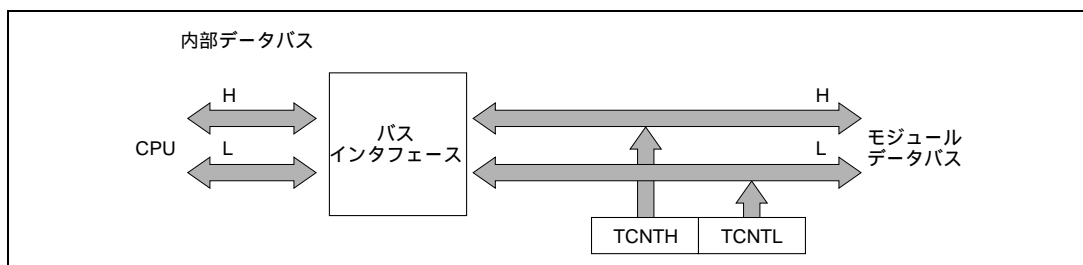


図 10.7 TCNT のアクセス動作 [TCNT CPU (ワード)]

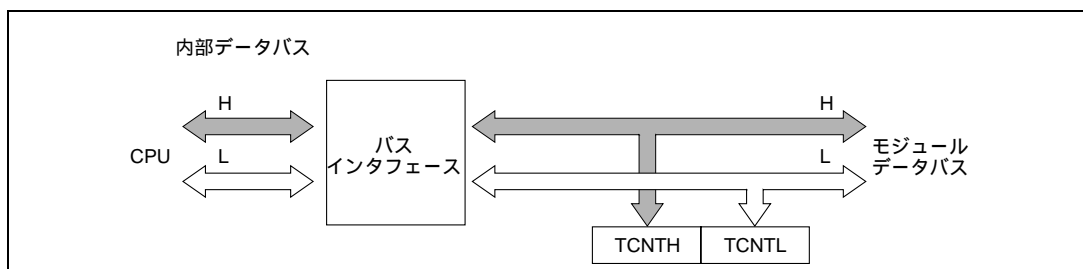


図 10.8 TCNT のアクセス動作 [CPU TCNT (上位バイト)]

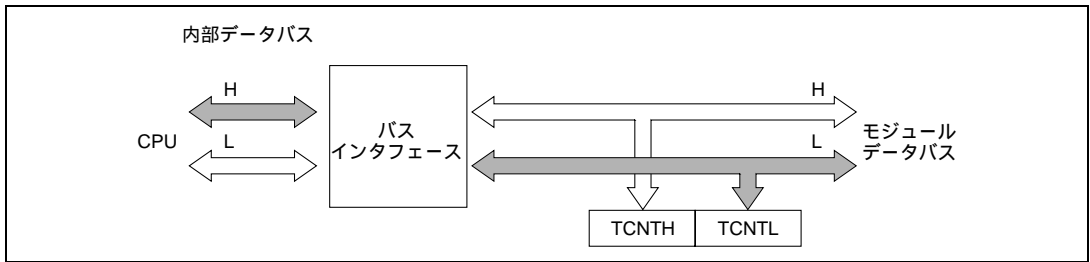


図 10.9 TCNT のアクセス動作 [CPU TCNT (下位バイト)]

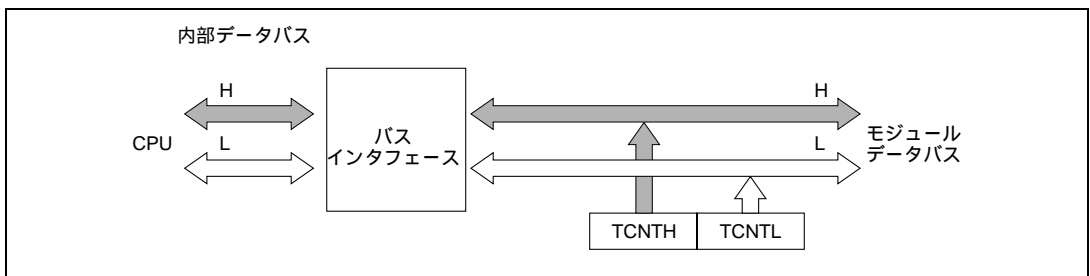


図 10.10 TCNT のアクセス動作 [TCNT CPU (上位バイト)]

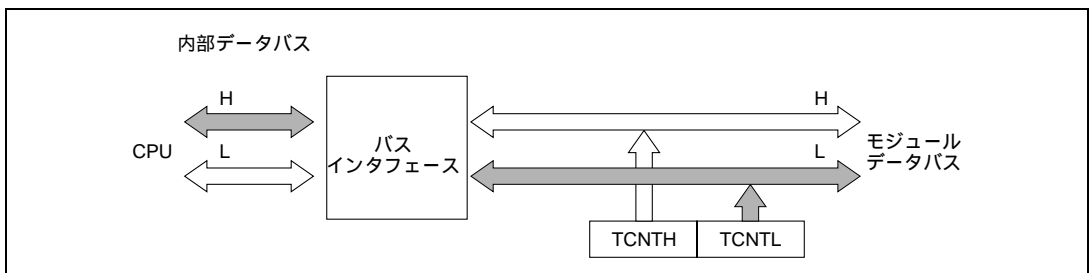


図 10.11 TCNT のアクセス動作 [TCNT CPU (下位バイト)]

10.3.2 8ビットアクセスのレジスタ

TCNT、GRA、GRB、およびBRA、BRB以外のレジスタは8ビットレジスタです。これらのレジスタはCPUと内部8ビットデータバスで接続されています。

TCRに対してバイト単位のリード/ライトを行った場合の動作を図10.12、図10.13に示します。なお、ワードサイズの転送命令を実行するとバイト単位2回の転送が行われます。

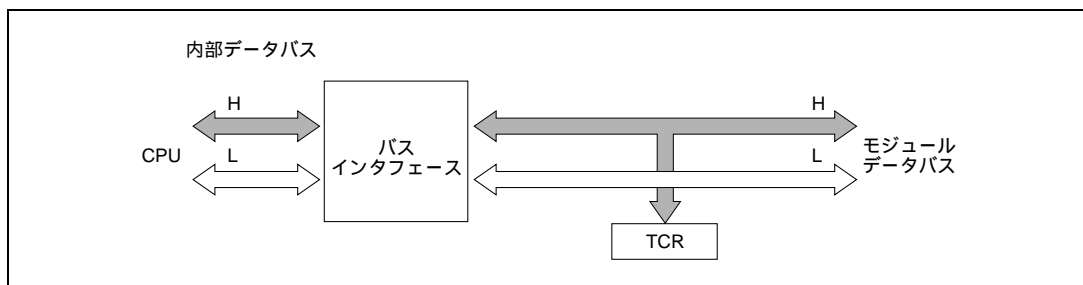


図 10.12 TCR のアクセス動作 [CPU TCR]

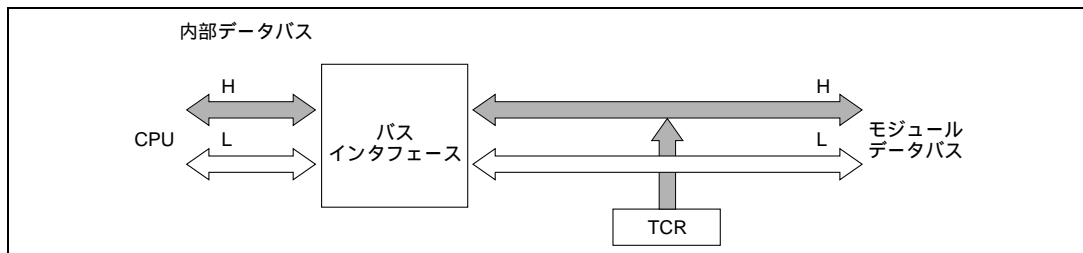


図 10.13 TCR のアクセス動作 [TCR CPU]

10.4 動作説明

10.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNT と GR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRB は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TCR の CCLR1、CCLR0 ビットの設定により、TCNT の同期クリアが可能です。

(3) PWM モード

TIOCA 端子から PWM 波形を出力するモードです。コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となります。GRA、GRB の設定により、デューティ 0~100% の PWM 波形を出力できます。PWM モードに設定すると当該チャンネルの GRA、GRB は自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期 PWM モード

チャンネル 3、4 を組み合わせて、正相と逆相の PWM 波形を 3 相出力します (3 相の PWM 波形は一方の変化点が共通となる関係になります)。リセット同期 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウント動作を行います。TCNT4 は独立に動作します (ただし、GRA4、GRB4 は TCNT4 とは切り離されています)。

(5) 相補 PWM モード

チャンネル 3、4 を組み合わせて、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。相補 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3、TCNT4 はアップ/ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB 端子から入力される 2 つのクロックの位相差を検出して、TCNT2 をアップ/ダウンカウント動作させるモードです。位相計数モードに設定すると TCLKA、TCLKB 端子はクロック入力となり、また TCNT2 はアップ/ダウンカウント動作を行います。

(7) バッファ動作

- GR がアウトプットコンペアレジスタの場合
コンペアマッチが発生すると当該チャンネルの BR の値が、GR に転送されます。
- GR がインプットキャプチャレジスタの場合
インプットキャプチャが発生すると TCNT の値を GR に転送すると同時に、それまで格納されていた GR の値を BR に転送します。

10. 16ビットインテグレートドタイムユニット (ITU)

- 相補 PWM モードの場合
TCNT3、TCNT4 のカウント方向が変化すると BR の値が、GR に転送されます。
- リセット同期 PWM モードの場合
GRA3 のコンペアマッチにより BR の値が、GR に転送されます。

10.4.2 基本機能

(1) カウンタの動作

タイムスタートレジスタ (TSTR) の STR0 ~ STR4 ビットを 1 にセットすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.14 に示します。

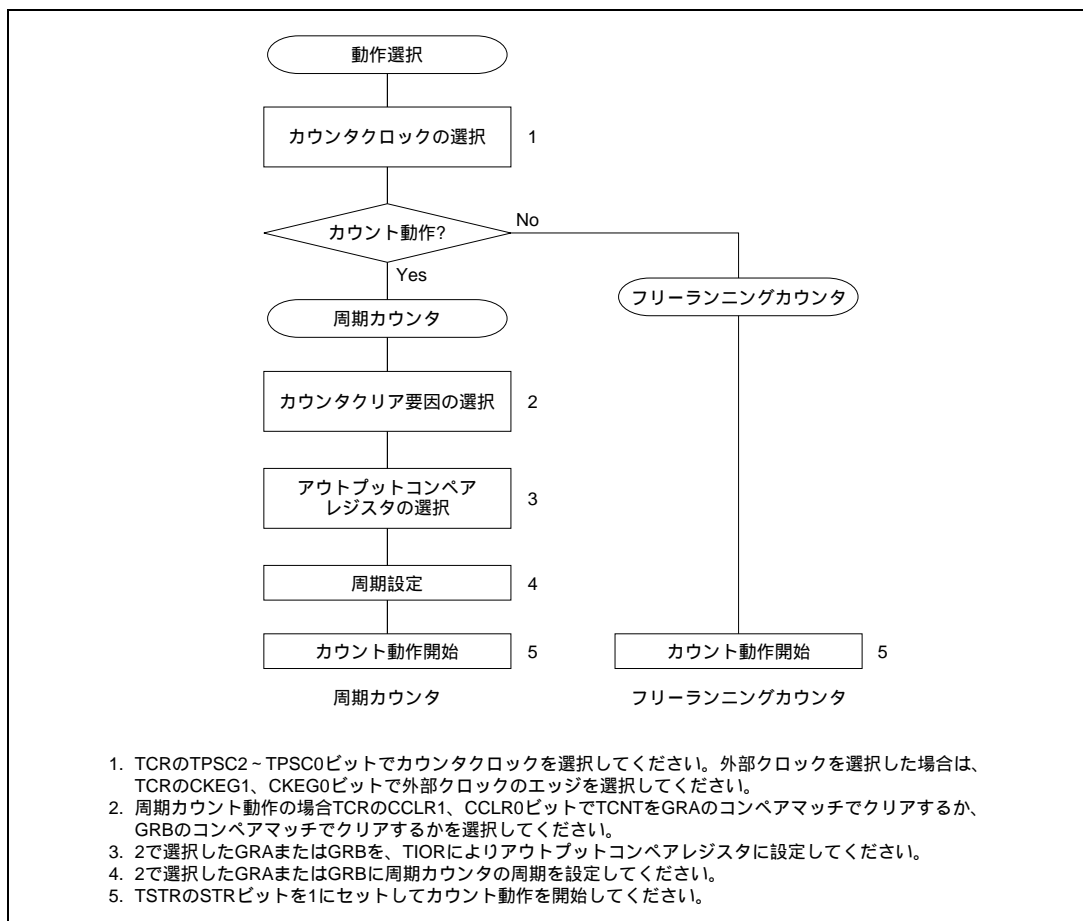


図 10.14 カウント動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

ITU チャンネル 0~4 のカウンタ (TCNT) はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF H'0000) すると TSR の OVF フラグが 1 にセットされます。このとき、対応する TIER の OVIE ビットが 1 ならば、CPU に割り込みを要求します。TCNT はオーバーフロー後、H'0000 から再びアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.15 に示します。

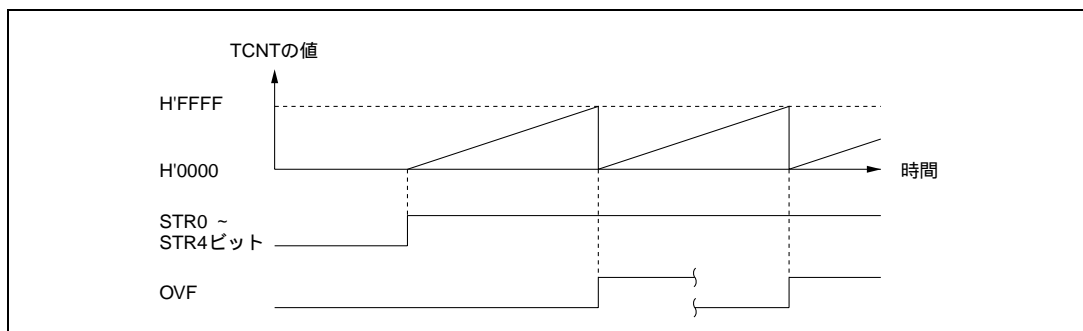


図 10.15 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、当該チャンネルの TCNT は周期カウント動作を行います (周期設定用の GRA または GRB をアウトプットコンペアレジスタに設定し、TCR の CCLR1、CCLR0 ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTR の対応するビットを 1 にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値が GRA / GRB の値と一致すると TSR の IMFA / IMFB フラグが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき、対応する TIER の IMIEA / IMIEB ビットが 1 ならば、CPU に割り込みを要求します。TCNT はコンペアマッチ後、H'0000 から再びアップカウント動作を継続します。

周期カウンタの動作を図 10.16 に示します。

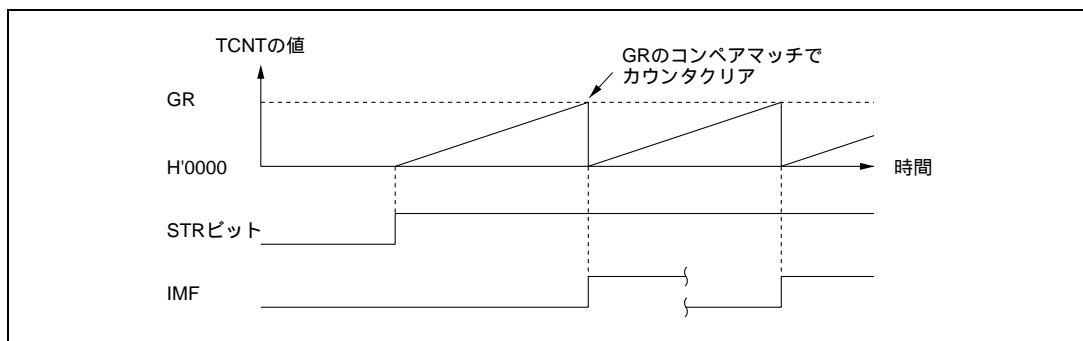


図 10.16 周期カウンタの動作

10. 16ビットインテグレートドタイムユニット (ITU)

(c) TCNT のカウントタイミング

(1) 内部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより、システムクロック () またはシステムクロックを分周した3種類のクロック ($/2$ 、 $/4$ 、 $/8$) が選択できます。
このときのタイミングを図10.17に示します。

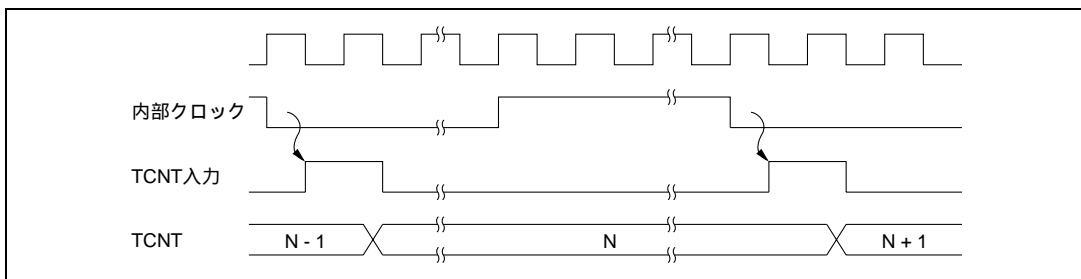


図 10.17 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子 (TCLKA～TCLKD) を、また CKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立上がりエッジ / 立下がりエッジ / 両エッジの選択が可能です。
なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立上がり / 立下がりの両エッジ検出時のタイミングを図10.18に示します。

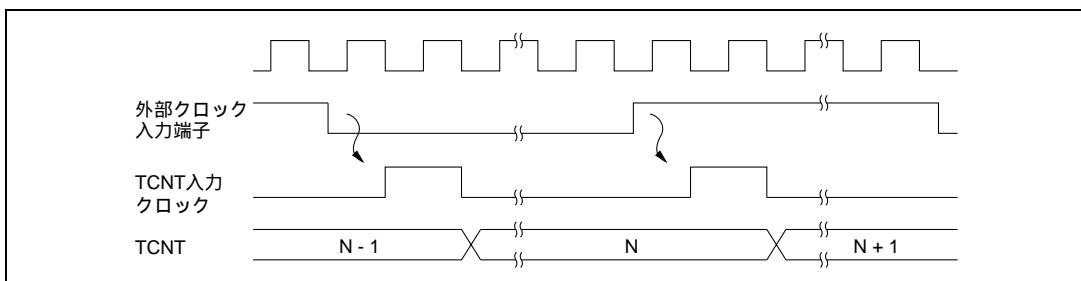


図 10.18 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

ITU チャンネル 0、1、3、4 は、コンペアマッチ A、B により対応する TIOCA、TIOCB 端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

チャンネル 2 は 0 出力 / 1 出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.19 に示します。

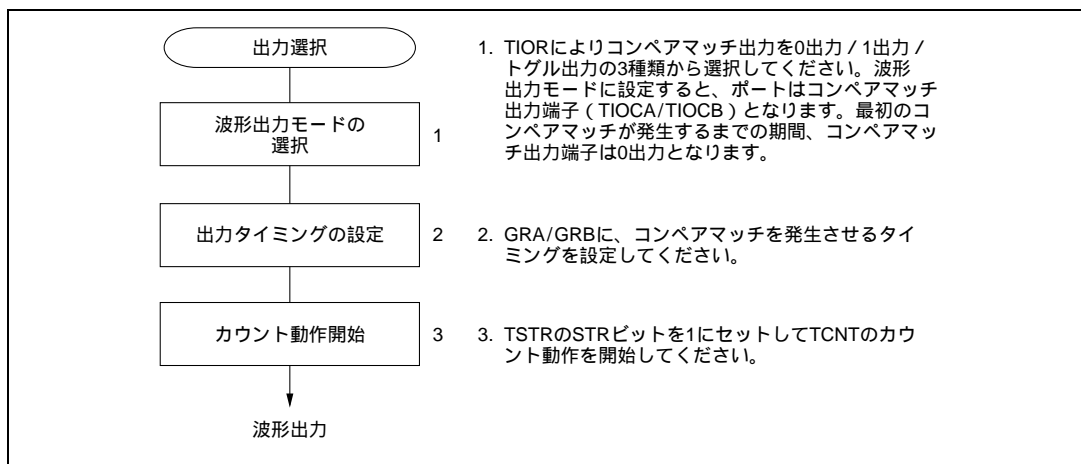


図 10.19 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力の例を図 10.20 に示します。

TCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

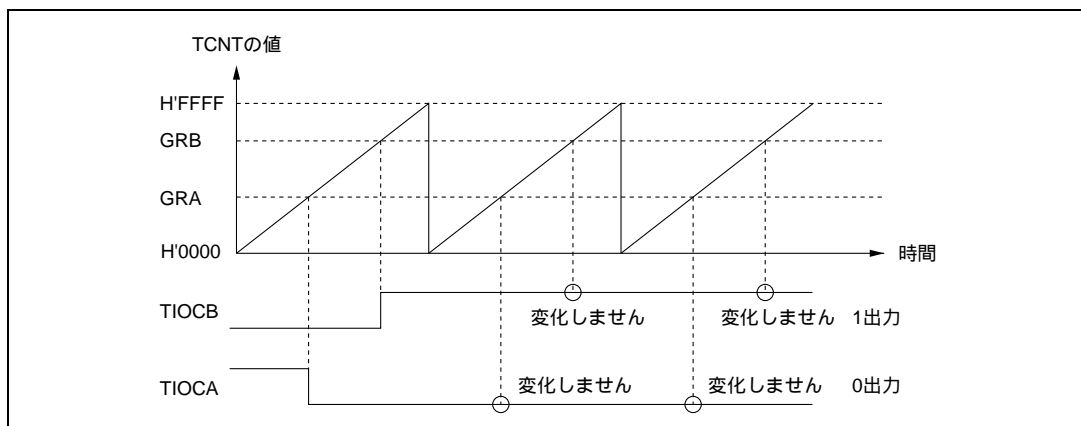


図 10.20 0 出力、1 出力の動作例

10. 16 ビットインテグレートドタイムユニット (ITU)

トグル出力の例を図 10.21 に示します。

TCNT を周期カウント動作 (コンペアマッチ B でカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

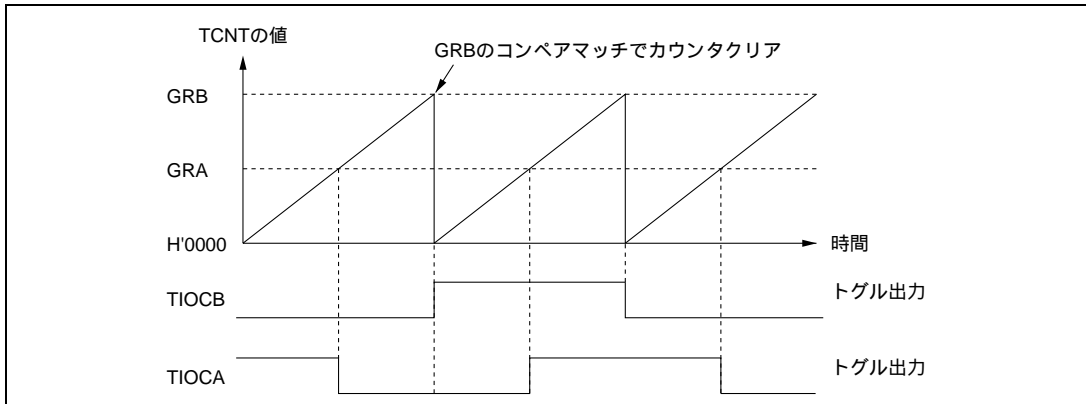


図 10.21 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定される出力値がアウトプットコンペア出力端子 (TIOCA、TIOCB) に出力されます。TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.22 に示します。

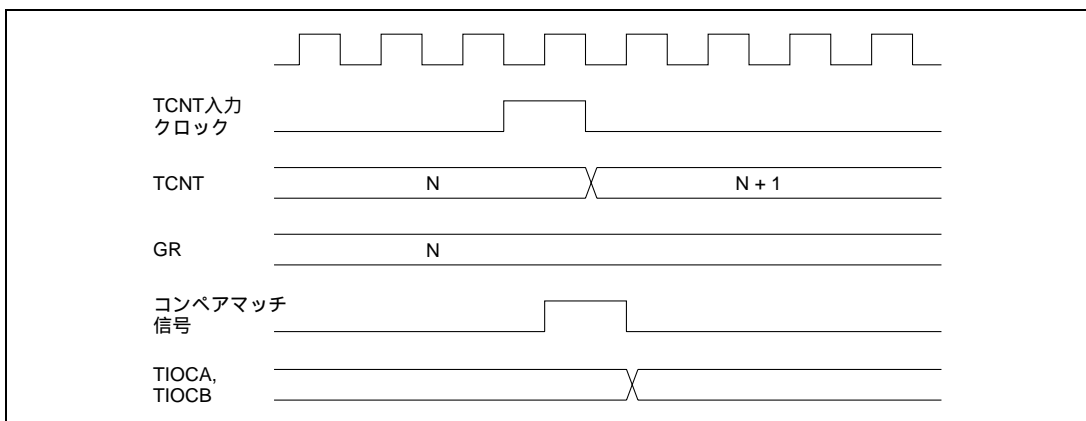


図 10.22 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TIOCA、TIOCB) の入力エッジを検出して TCNT の値を GR に転送することができます。検出エッジは立上がりエッジ/立下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.23 に示します。

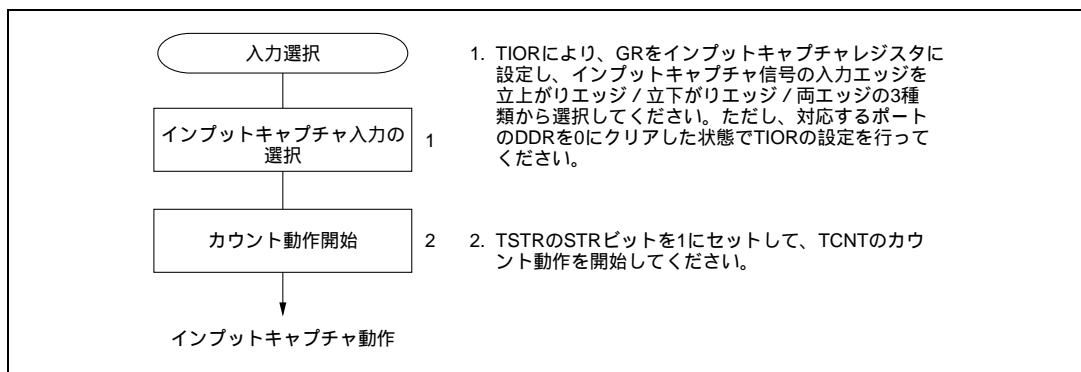


図 10.23 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.24 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立上がり/立下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立下がりエッジを選択し、TCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

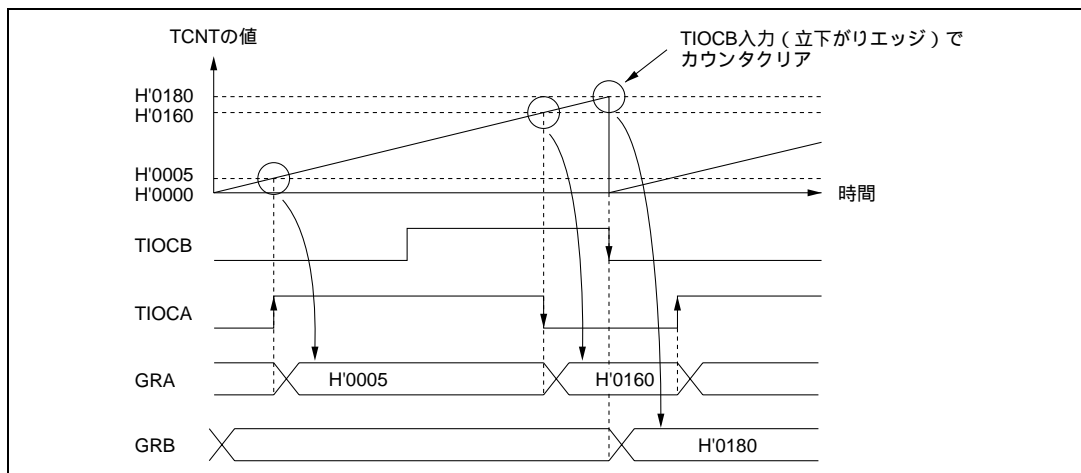


図 10.24 インพุットキャプチャ動作例

10. 16ビットインテグレートドタイマユニット (ITU)

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOR の設定により立上がりエッジ / 立下がりエッジ / 両エッジの選択ができます。

立上がりエッジを選択した場合のタイミングを図 10.25 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

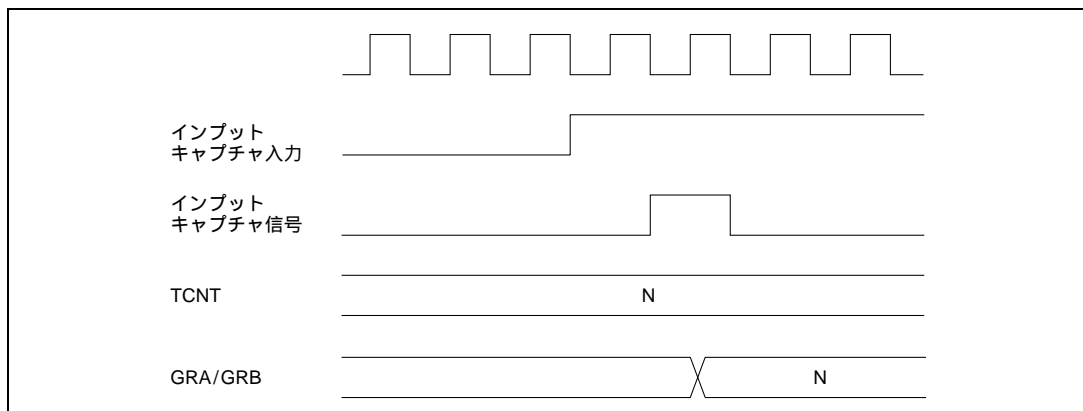


図 10.25 インพุットキャプチャ入力信号タイミング

10.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.26 に示します。

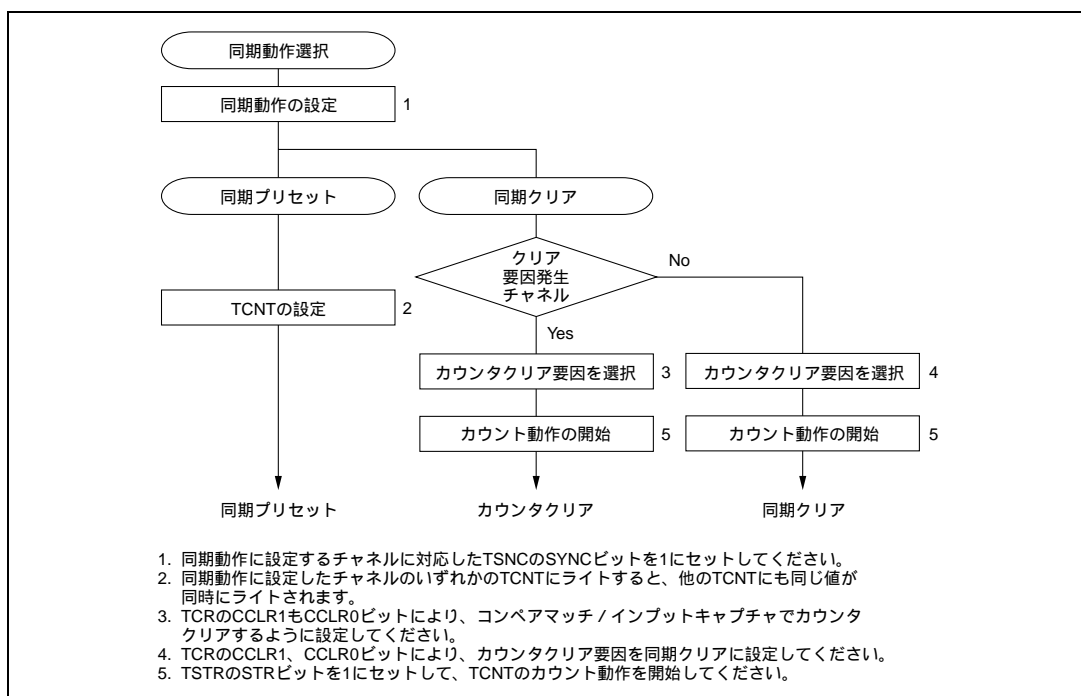


図 10.26 同期モードの設定手順例

(2) 同期動作例

同期動作例を図 10.27 に示します。

チャンネル 0~2 を同期動作かつ PWM モードに設定し、チャンネル 0 のカウンタクリア要因を GRB0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル 0~2 の TCNT は同期プリセット、GRB0 のコンペアマッチによる同期クリア動作を行い、3 相の PWM 波形を TIOCA₀、TIOCA₁、TIOCA₂ 端子から出力します。

PWM モードについては「10.4.4 PWM モード」を参照してください。

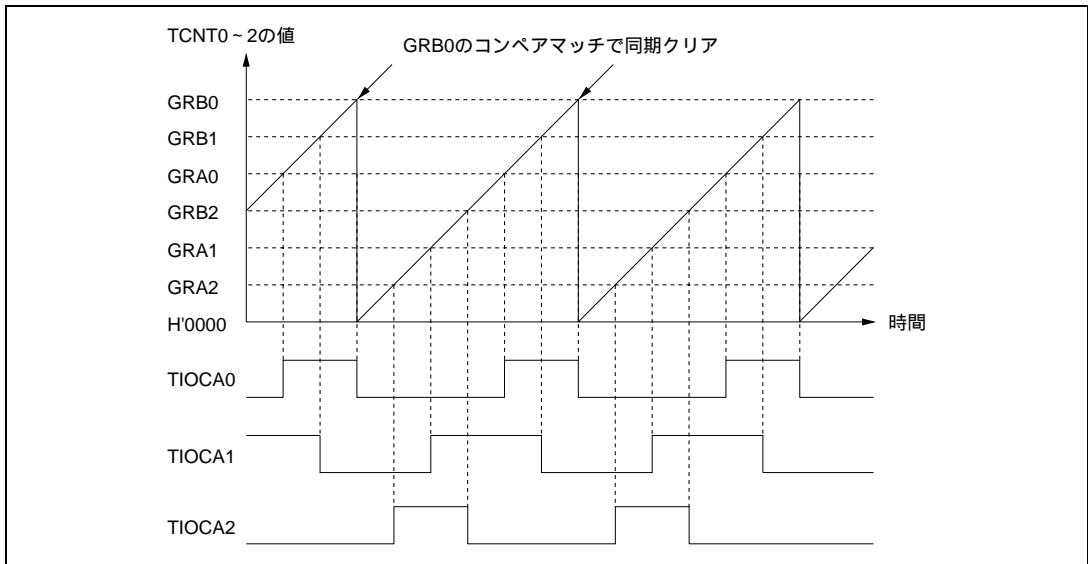


図 10.27 同期動作例

10.4.4 PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを TCNT のカウンタクリア要因とすることにより、デューティ 0~100% の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0~4 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 10.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 10.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA ₀	GRA0	GRB0
1	TIOCA ₁	GRA1	GRB1
2	TIOCA ₂	GRA2	GRB2
3	TIOCA ₃	GRA3	GRB3
4	TIOCA ₄	GRA4	GRB4

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.28 に示します。

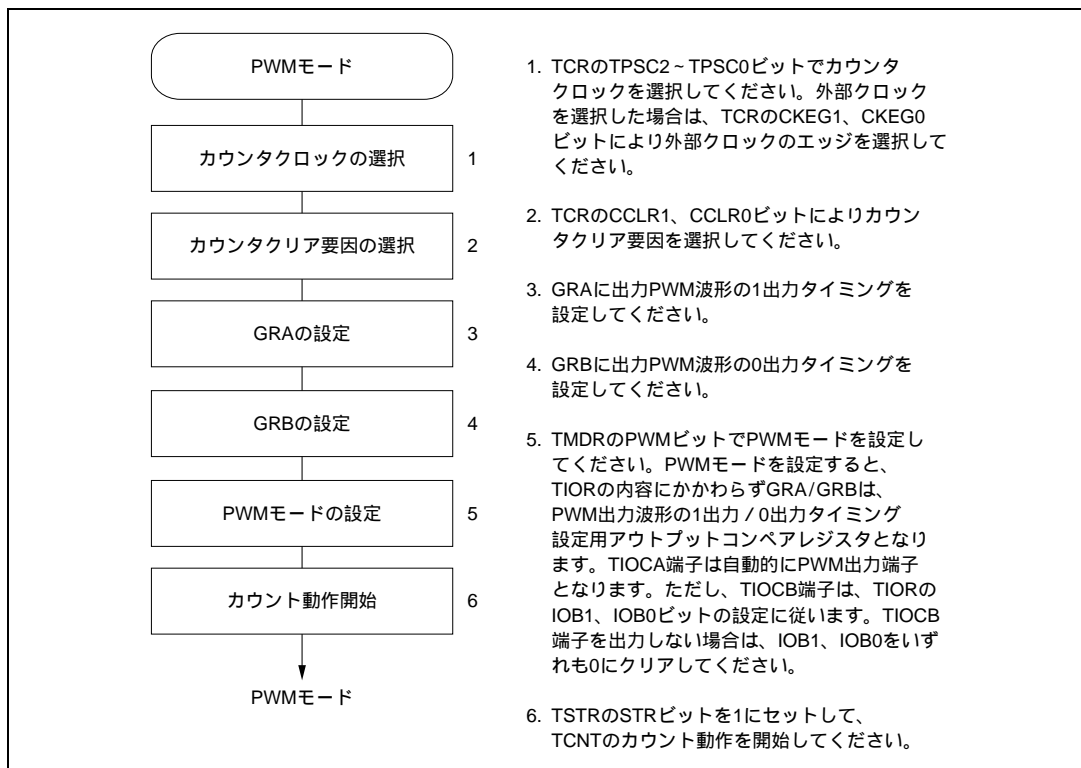


図 10.28 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モードの動作例を図 10.29 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

TCNT のカウンタクリア要因を GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウント動作も使用できます。

10. 16ビットインテグレートドタイムユニット (ITU)

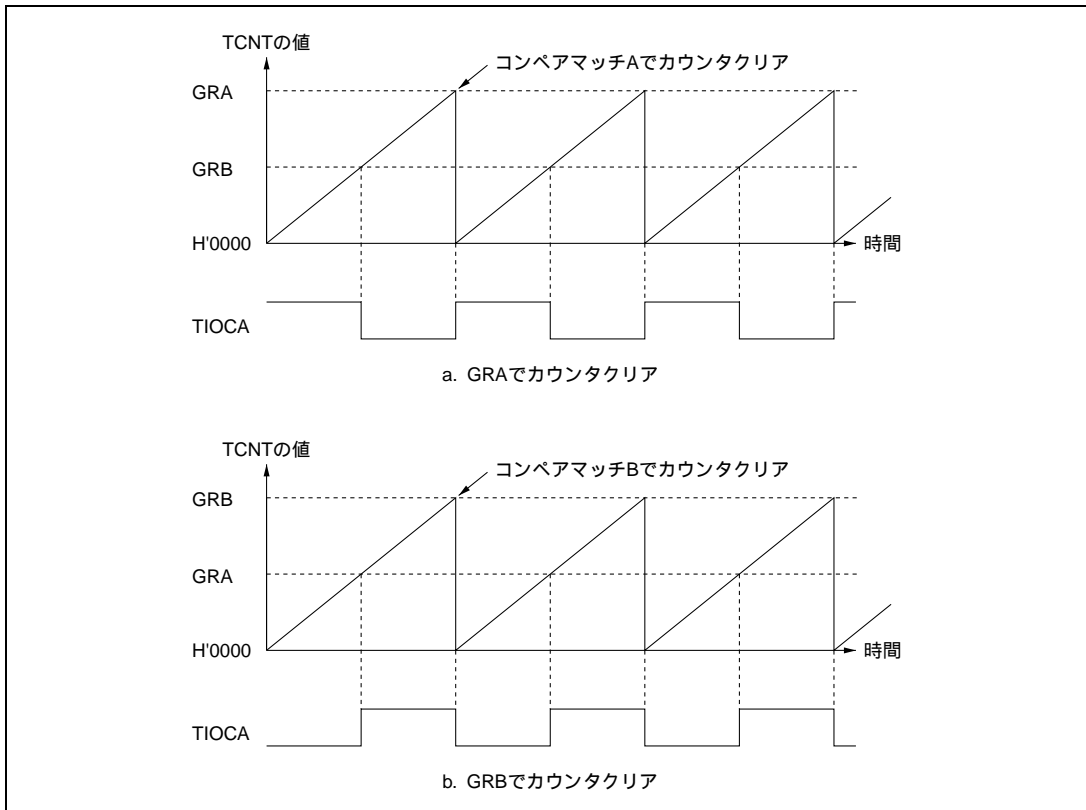


図 10.29 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 10.30 に示します。

カウンタクリア要因を GRB のコンペアマッチに設定し、GRA の設定値 > GRB の設定値としたとき、PWM 波形はデューティ 0%となります。また、カウンタクリア要因を GRA のコンペアマッチに設定し、GRB の設定値 > GRA の設定値としたとき PWM 波形はデューティ 100%となります。

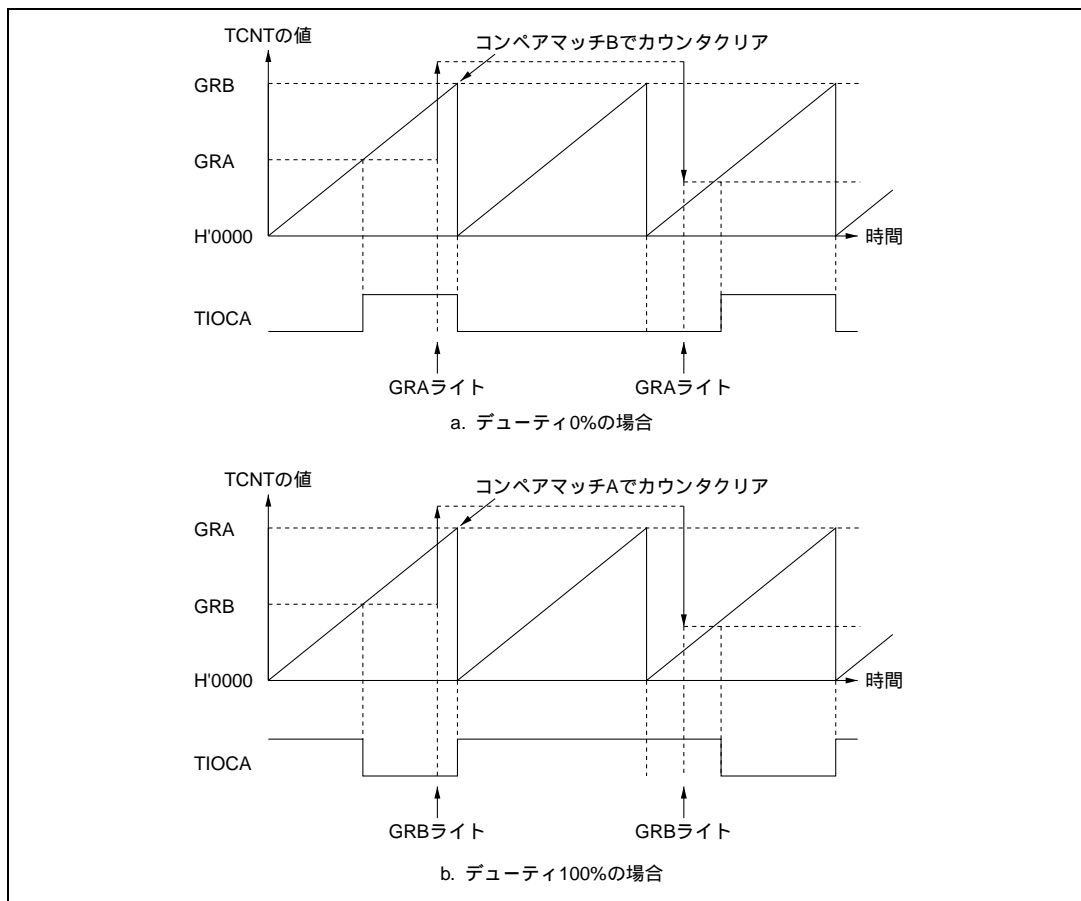


図 10.30 PWM モードの動作例 (2)

10.4.5 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形 (正相と逆相) を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、および TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウンタとして機能します。

使用される PWM 出力端子を表 10.5 に、使用するレジスタの設定を表 10.6 に示します。

表 10.5 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA ₃	PWM 出力 1
	TIOCB ₃	PWM 出力 1' (PWM 出力 1 の逆相波形)
4	TIOCA ₄	PWM 出力 2
	TOCXA ₄	PWM 出力 2' (PWM 出力 2 の逆相波形)
	TIOCB ₄	PWM 出力 3
	TOCXB ₄	PWM 出力 3' (PWM 出力 3 の逆相波形)

10. 16ビットインテグレートドタイムユニット (ITU)

表 10.6 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	H'0000 を初期設定
TCNT4	使用しません (独立に動作)
GRA3	TCNT3 のカウント周期を設定
GRB3	TIOCA ₃ 、TIOCB ₃ 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA ₄ 、TOCXA ₄ 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB ₄ 、TOCXB ₄ 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順を図 10.31 に示します。

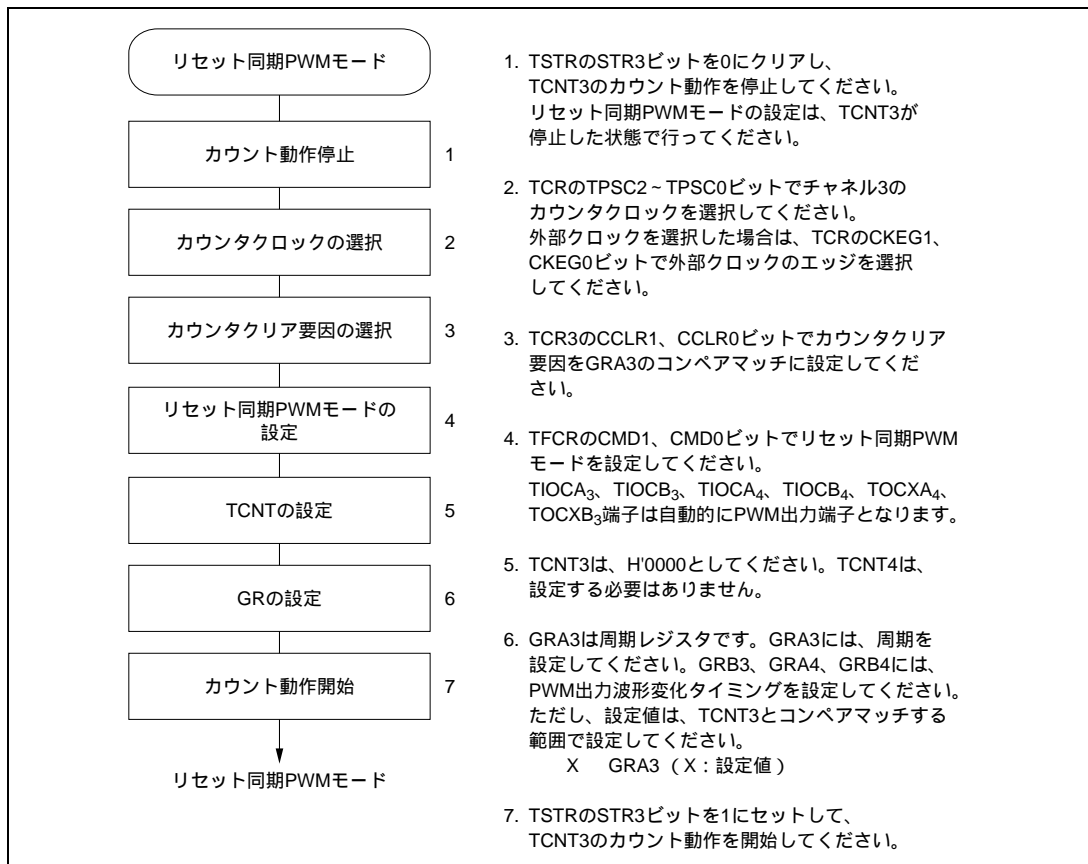


図 10.31 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.32 に示します。

リセット同期 PWM モードでは、TCNT3 はアップカウンタとして動作します。TCNT4 は独立動作します。ただし、GRA4、GRB4 は TCNT4 から切り離されます。TCNT3 が GRA3 とコンペアマッチするとカウンタはクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB3、GRA4、GRB4 と TCNT3 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

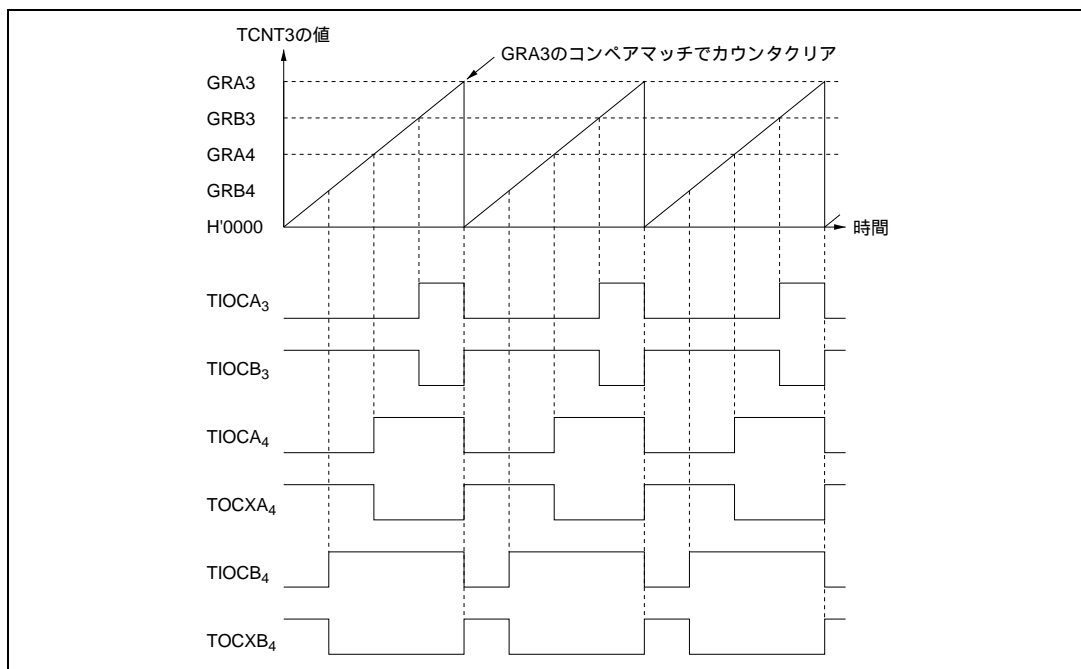


図 10.32 リセット同期 PWM モードの動作例 (OLS3 = OLS4 = 1 の場合)

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については、「10.4.8 バッファ動作」を参照してください。

10.4.6 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、および TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 と TCNT4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 10.7 に、使用するレジスタの設定を表 10.8 に示します。

10. 16ビットインテグレートドタイムユニット (ITU)

表 10.7 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA3	PWM 出力 1
	TIOCB3	PWM 出力 1' (PWM 出力 1 とノンオーバーラップの関係にある逆相波形)
4	TIOCA4	PWM 出力 2
	TOCXA4	PWM 出力 2' (PWM 出力 2 とノンオーバーラップの関係にある逆相波形)
	TIOCB4	PWM 出力 3
	TOCXB4	PWM 出力 3' (PWM 出力 3 とノンオーバーラップの関係にある逆相波形)

表 10.8 相補 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	ノンオーバーラップ期間を初期設定 (TCNT4 との差がノンオーバーラップ期間となります)
TCNT4	H'0000 を初期設定
GRA3	TCNT3 の上限値 - 1 を設定
GRB3	TIOCA ₃ 、TIOCB ₃ 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA ₄ 、TOCXA ₄ 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB ₄ 、TOCXB ₄ 端子より出力される PWM 波形の変化点を設定

(1) 相補 PWM モードの設定手順

相補 PWM モードの設定手順例を図 10.33 に示します。

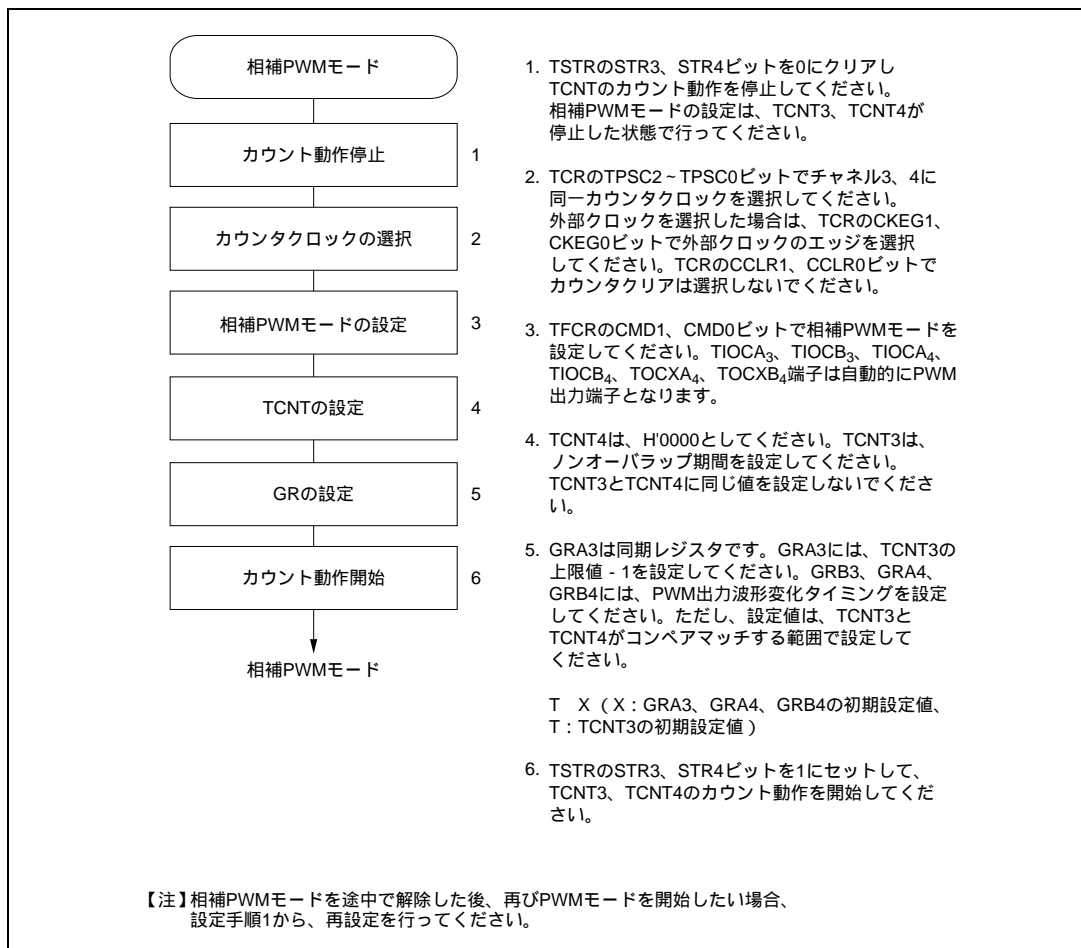


図 10.33 相補 PWM モードの設定手順例

10. 16ビットインテグレートドタイマユニット (ITU)

(2) 相補 PWM モードの解除手順

相補 PWM モードの解除手順例を図 10.34 に示します。

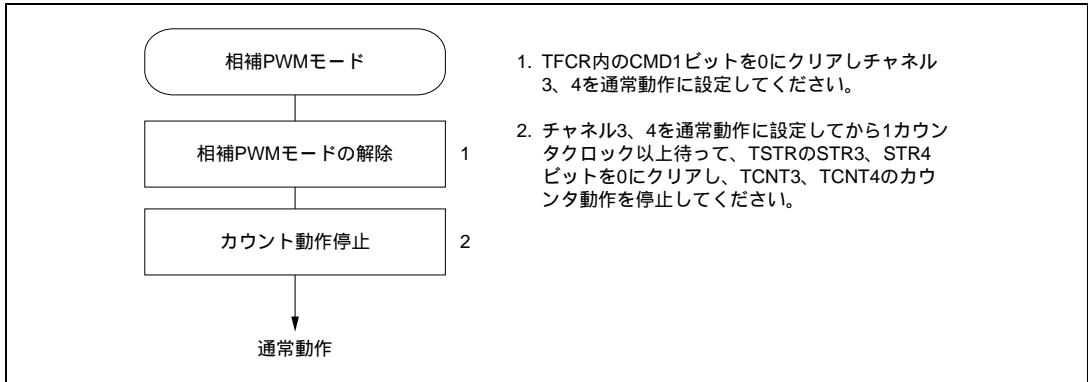


図 10.34 相補 PWM モードの解除手順

(3) 相補 PWM モードの動作例

相補 PWM モードの動作例を図 10.35 に示します。

相補 PWM モードでは、TCNT3、TCNT4 はアップ / ダウンカウンタとして動作します。TCNT3 が GRA3 とコンペアマッチするとダウンカウントし、TCNT4 がアンダフローするとアップカウントします。

GRB3、GRA4、GRB4 はカウンタのアップ / ダウン 1 周期中、それぞれ TCNT3 TCNT4 TCNT4 TCNT3 の順にコンペアマッチを行い PWM 波形を生成します (本モードでは、TCNT3 > TCNT4 に初期設定します)。

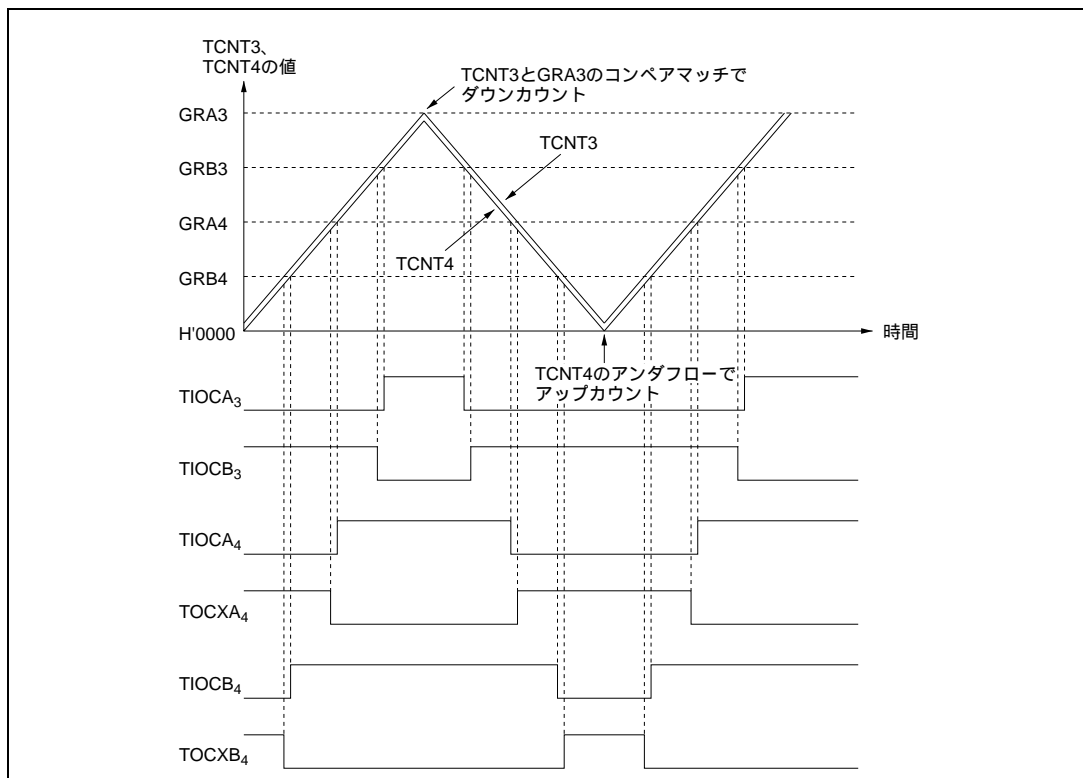


図 10.35 相補 PWM モードの動作例 (1) (OLS3 = OLS4 = 1 の場合)

相補 PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例 (1 相分) を図 10.36 に示します。

本例では GRB3 のコンペアマッチで端子出力が変化しますので、GRB3 の値を GRA3 の値よりも大きい値とすることでデューティ 0%、デューティ 100% の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については「10.4.8 バッファ動作」を参照してください。

10. 16ビットインテグレートドタイムユニット (ITU)

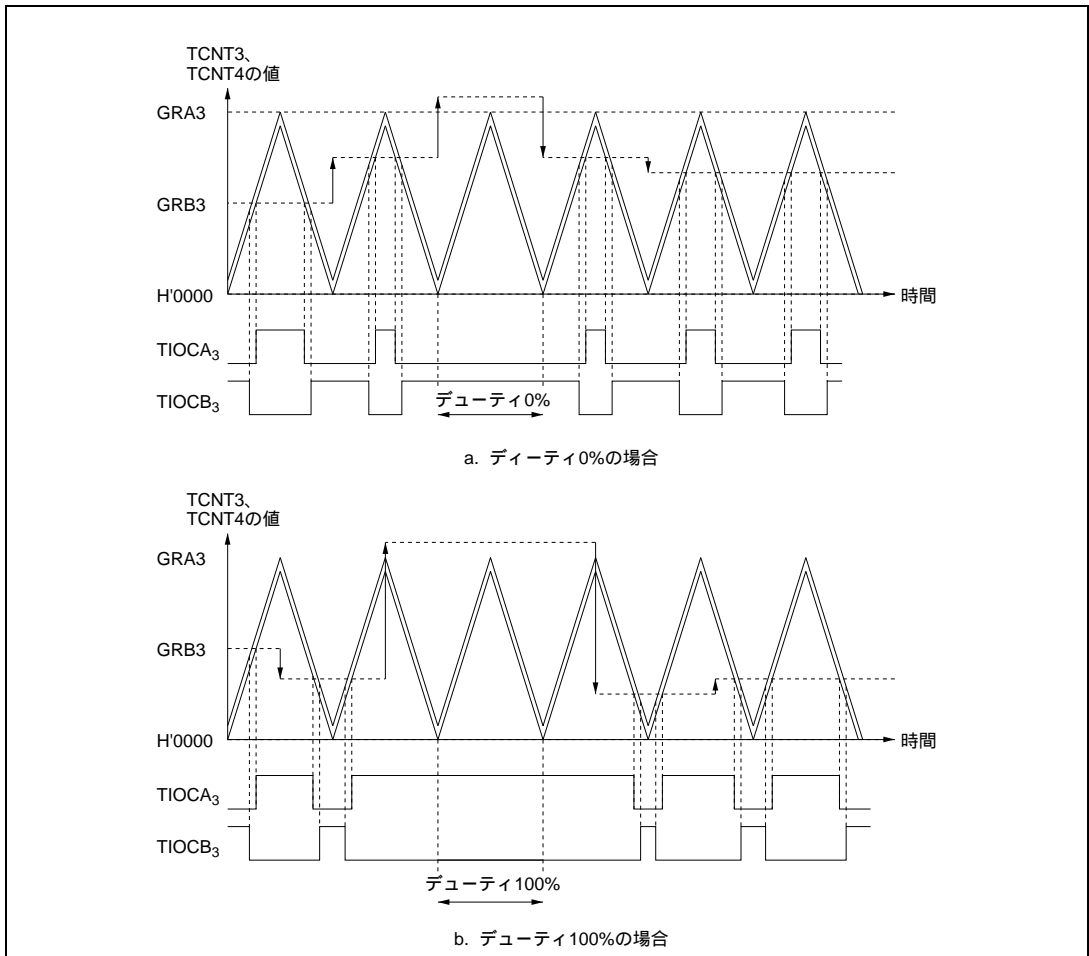


図 10.36 相補 PWM モードの動作例 (2) (OLS3 = OLS4 = 1 の場合)

相補 PWM モードを使用しているときのアップカウント/ダウンカウントの変化点で、TCNT3、TCNT4 はそれぞれオーバシュート/アンダシュートが発生します。

このとき、チャンネル 3 の IMFA フラグおよびチャンネル 4 の OVF フラグをセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを図 10.37、図 10.38 に示します。

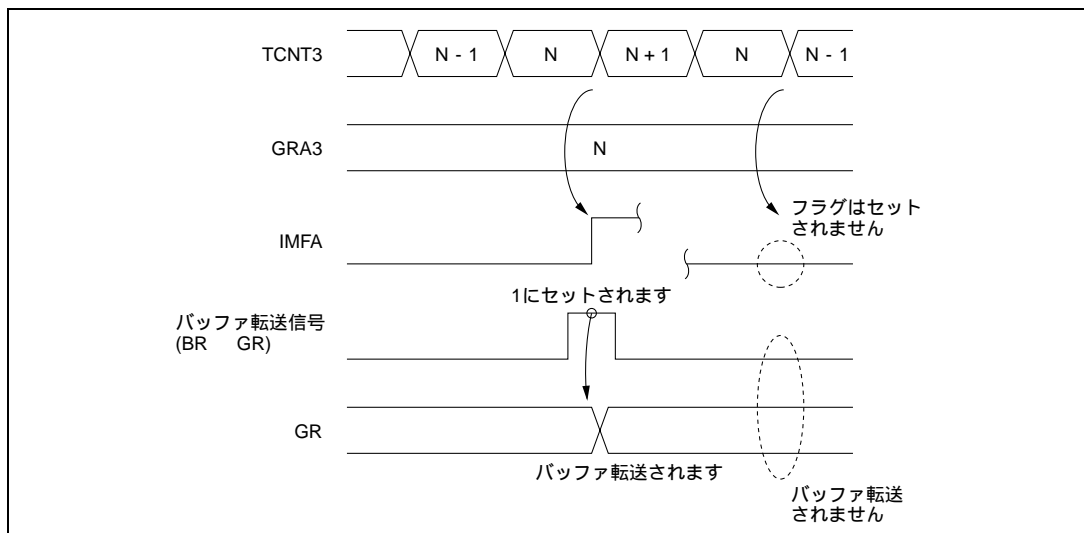


図 10.37 オーバシュート時のタイミング

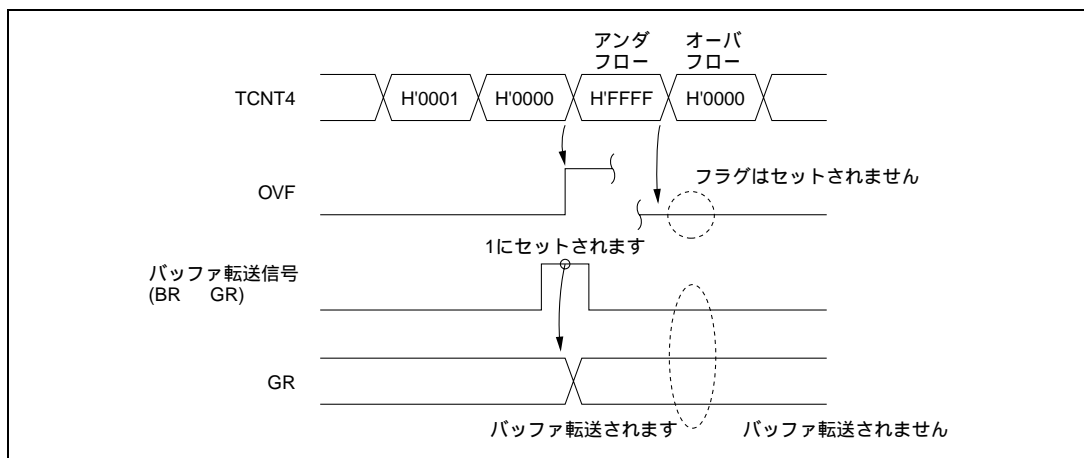


図 10.38 アンダシュート時のタイミング

チャンネル 3 の IMFA フラグはアップカウント時に、チャンネル 4 の OVF フラグはアンダフロー時のみ、それぞれ 1 にセットされます。

バッファ動作を設定された BR は、アップカウント動作時のコンペアマッチ A3 または TCNT4 のアンダフローによって GR に転送されます。

(4) 相補 PWM モードでの GR の設定値

相補 PWM モードでの GR の設定および動作中の変更については、以下の点に注意してください。

- 初期値
H'0000 ~ T - 1 (T : TCNT3 の初期設定値) の設定は禁止です。
なお、カウントスタート後、最初に発生するコンペアマッチ A3 のタイミング以降では、この設定も可能です。
- 設定値の変更方法
バッファ動作を使用してください。直接 GR にライトすると、正しく波形出力されない場合があります。
- 設定値変更時の注意

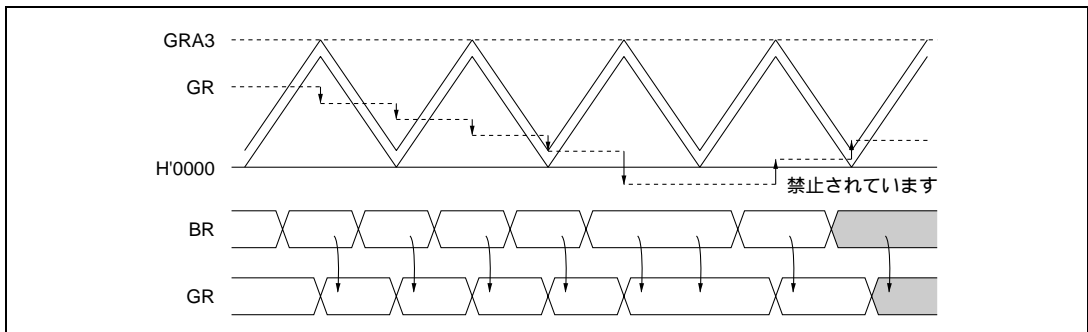


図 10.39 バッファ動作による GR の設定値変更例 (1)

(a) アップカウントからダウンカウントへの変化時のバッファ転送

GR の内容が $GRA3 - T + 1 \sim GRA3$ の範囲内であるとき、この範囲外の値は転送しないでください。また、GR の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作による GR の設定変更時の注意 (1) を図 10.40 に示します。

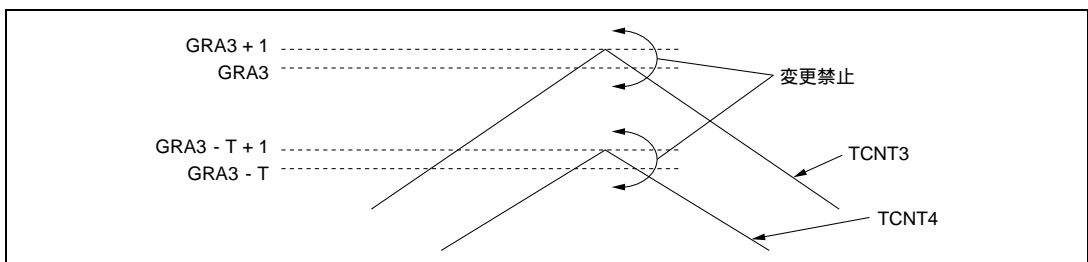


図 10.40 バッファ動作による GR の設定変更時の注意 (1)

(b) ダウンカウントからアップカウントへの変化時のバッファ転送

GR の内容が $H'0000 \sim T - 1$ の範囲であるとき、この範囲外の値は転送しないでください。また、GR の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作による GR の設定変更時の注意 (2) を図 10.41 に示します。

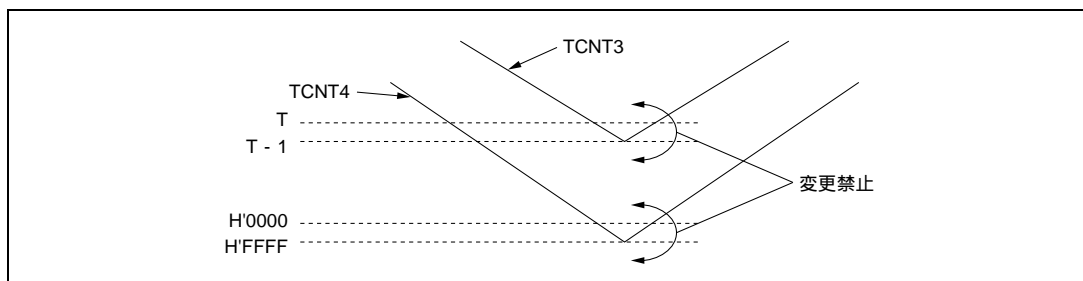


図 10.41 バッファ動作による GR の設定変更時の注意 (2)

(c) GR の設定をカウント領域 ($H'0000 \sim \text{GRA3}$) 外とするとき

デューティ 0%、100%の波形を出力する場合、GR の設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値を BR にライトしたときのカウント方向 (アップ / ダウンカウント) と、カウント領域内にもどる設定値を BR にライトするときのカウント方向が同一となるようにしてください。

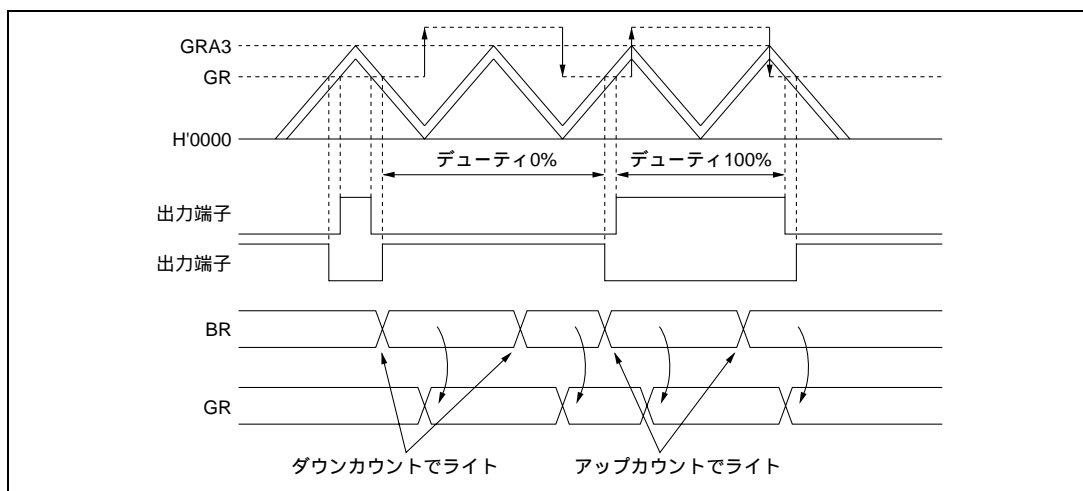


図 10.42 バッファ動作による GR の設定値変更例 (2)

上記設定は、GRA3 のコンペアマッチまたは TCNT4 のアンダフローが発生したことを検出して、BR ヘライトをすることによって実現可能です。また、GRA3 のコンペアマッチによって DMAC を起動することによっても実現可能です。

10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力 (TCLKA、TCLKB 端子) の位相差を検出し、TCNT2 をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR2 の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらず TCLKA、TCLKB 端子は自動的に外部クロック入力端子として機能し、また TCNT2 はアップ/ダウンカウンタとなります。ただし、TCR2 の CCLR1、CCLR0 ビット、TIOR2、TIER2、TSR2、GRA2、GRB2 は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割込み要因は使用することができます。

位相計数モードはチャンネル 2 のみのもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.43 に示します。

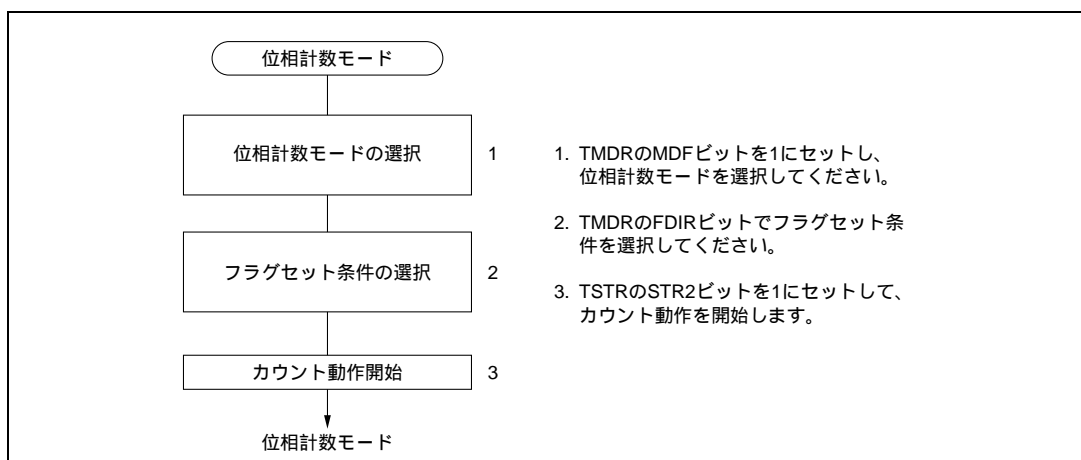


図 10.43 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図 10.44 に、TCNT2 のアップ/ダウンカウント条件を表 10.9 にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB 端子の立上がり () / 立下がり () の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。

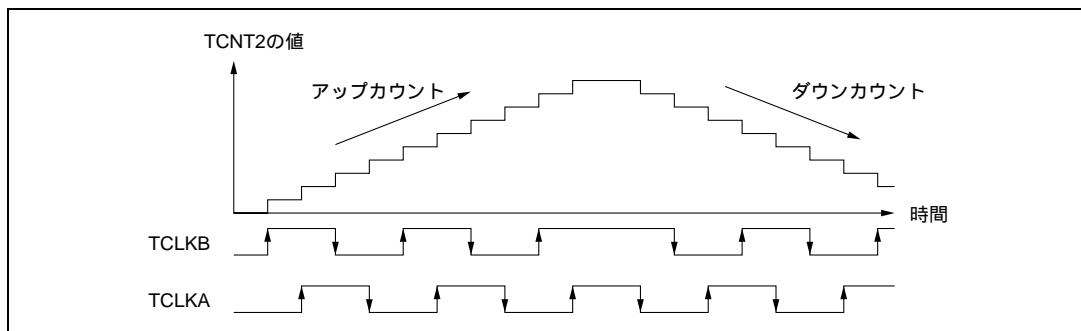


図 10.44 位相計数モードの動作例

表 10.9 アップ/ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
TCLKB		High		Low	High		Low	
TCLKA	Low		High			Low		High

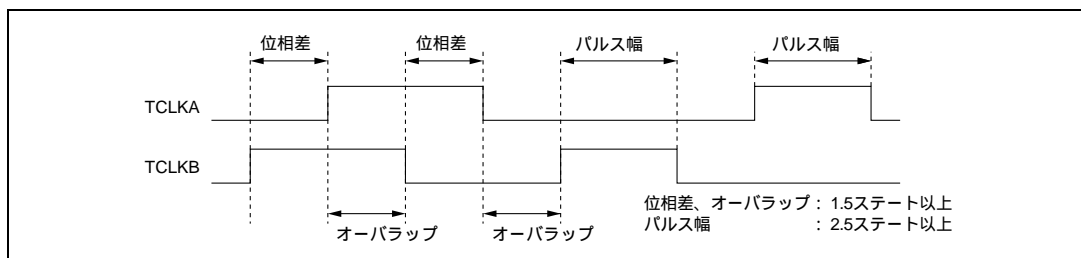


図 10.45 位相計数モード時の位相差、オーバーラップおよびパルス幅

10.4.8 バッファ動作

バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合、GR をインプットキャプチャレジスタに設定した場合、リセット同期 PWM モード時、および相補 PWM モード時で機能が異なります。

バッファ動作はチャンネル 3、4 のみのもつ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

(1) GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。この動作を図10.46に示します。

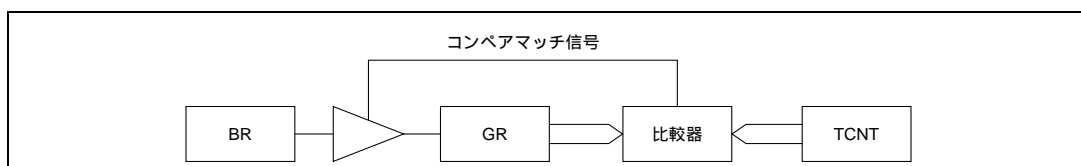


図 10.46 コンペアマッチバッファ動作

10. 16ビットインテグレートドタイムユニット (ITU)

(2) GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。
この動作を図10.47に示します。

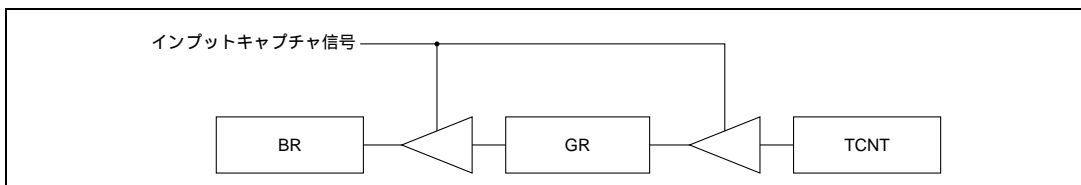


図 10.47 インプットキャプチャバッファ動作

(3) 相補PWMモードの場合

TCNT3、TCNT4のカウンタ方向が変化するとBRの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。

- TCNT3 と GRA3 がコンペアマッチしたとき
- TCNT4 がアンダフローしたとき

(4) リセット同期PWMモードの場合

コンペアマッチA3によりBRの値が、GRに転送されます。

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.48 に示します。



図 10.48 バッファ動作の設定手順例

(2) バッファ動作例

GRA をアウトプットコンペアレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 10.49 に示します。

TCNT がコンペアマッチ B によりクリアされる周期カウンタ動作をしている場合の例です。また、TIOCA、TIOCB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチ A で TIOCA 端子がトグル出力を行うと同

時に、BRA の値が GRA に転送されます。この動作をコンペアマッチ A が発生するたびに繰り返します。

この転送タイミングを図 10.50 に示します。

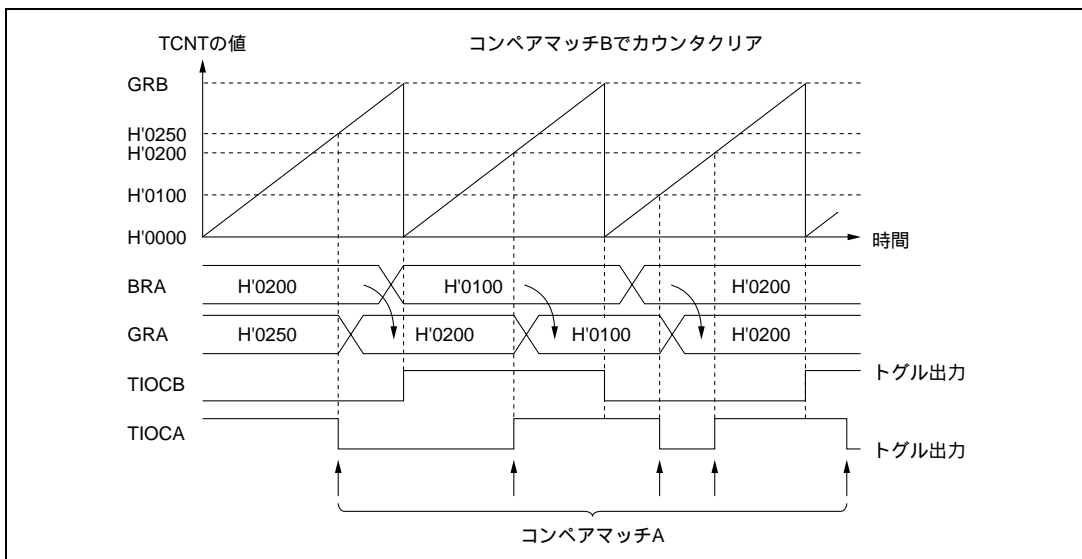


図 10.49 バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)

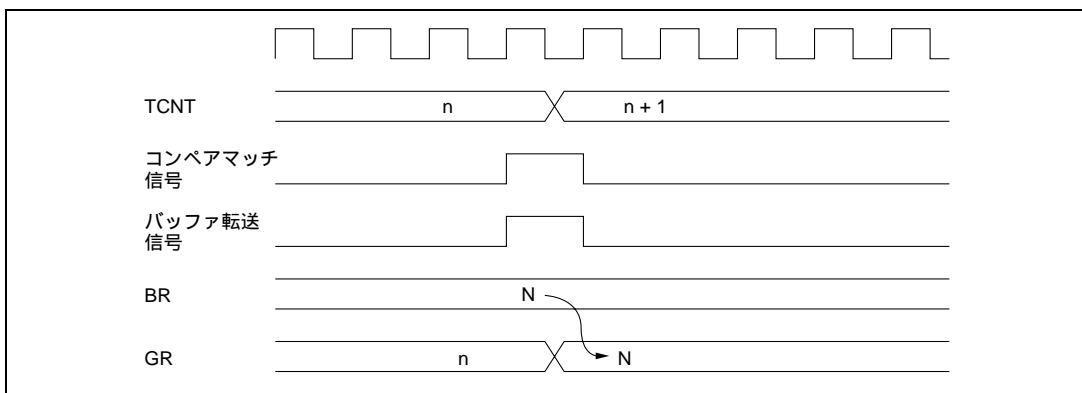


図 10.50 バッファ動作時のコンペアマッチタイミング例

10. 16 ビットインテグレートドタイムユニット (ITU)

GRA を入力キャプチャレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 10.51 に示します。

TCNT が入力キャプチャ B によりカウンタクリアされる場合の例です。TIOCB 端子の入力キャプチャ入力エッジは、立下がりエッジが選択され、また、TIOCA 端子の入力キャプチャ入力エッジは、立上がり / 立下りの両エッジが選択されているとします。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時に、それまで格納されていた GRA の値が BRA に転送されます。

この転送タイミングを図 10.52 に示します。

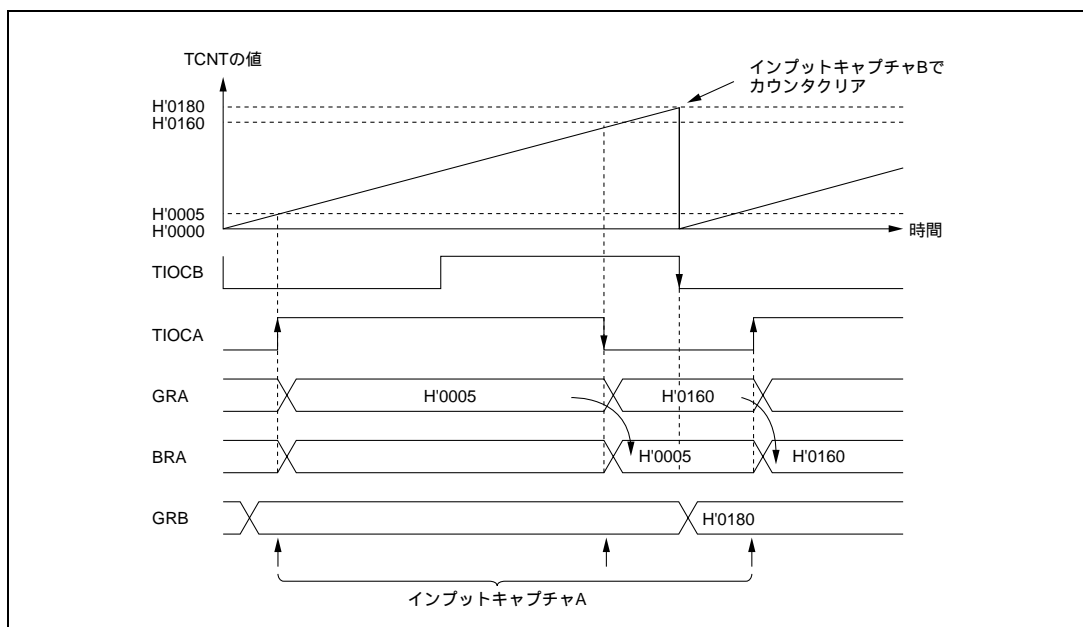


図 10.51 バッファ動作例 (2) (入力キャプチャレジスタに対するバッファ動作)

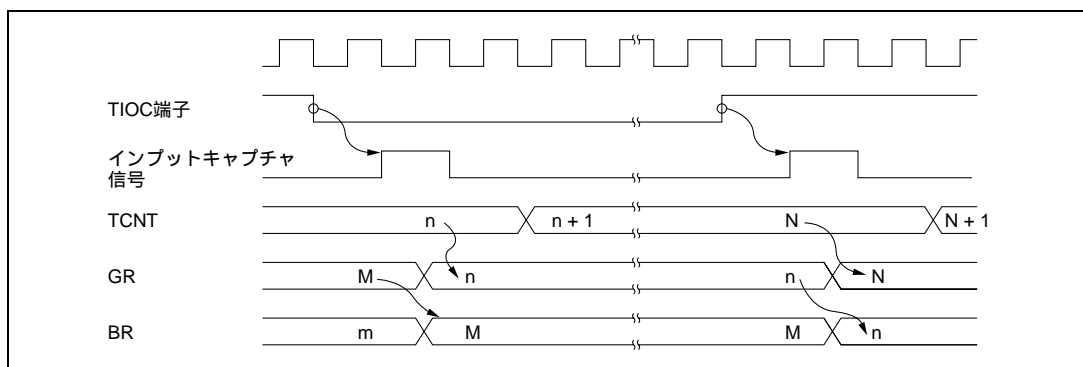


図 10.52 バッファ動作時の入力キャプチャタイミング

相補 PWM モード時、GRB3 と BRB3 をバッファ動作に設定したときの動作例を図 10.53 に示します。

バッファ動作を使用して GRB3 > GRA3 とすることにより、デューティ 0% の PWM 波形を生成した場合の例です。

BRB から GRB への転送は、TCNT3 と GRA3 がコンペアマッチしたとき、および TCNT4 がアンダフローしたときに行われます。

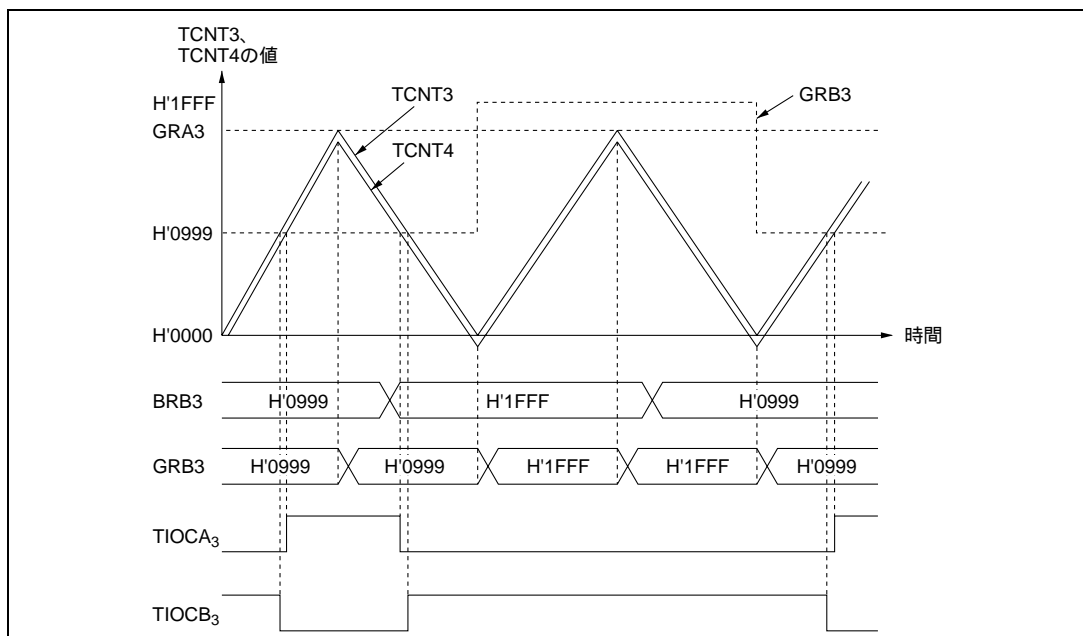


図 10.53 バッファ動作例 (3) (相補 PWM モード時のバッファ動作)

10.4.9 ITU 出力タイミング

チャンネル 3、4 の ITU 出力は、TOER、TOCR の設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1) TOER による ITU 出力の許可 / 禁止タイミング

TOER のマスタイネーブルビットを 0 にクリアして、ITU 出力を禁止する場合の例です。対応する入出力ポートの DR、DDR をあらかじめ設定しておくことにより、任意の値を出力することができます。

TOER による ITU 出力を許可 / 禁止するタイミングを図 10.54 に示します。

10. 16ビットインテグレートドタイムユニット (ITU)

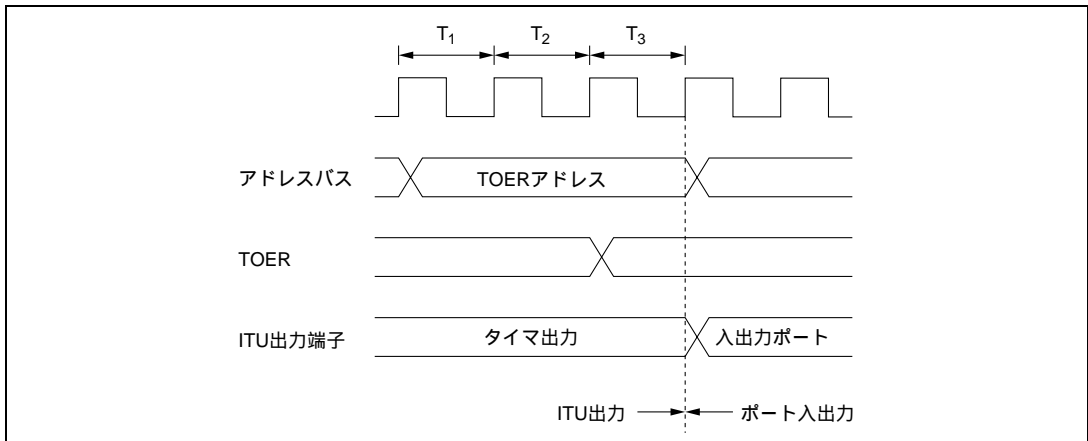


図 10.54 TOER へのライトによる ITU 出力禁止タイミングの例

(2) 外部トリガによる ITU 出力禁止タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR の XTGD ビットが 0 にクリアされている状態でチャンネル 1 の入力キャプチャ A 信号が発生すると、TOER のマスタインープルビットが 0 にクリアされ ITU 出力が禁止されます。

このタイミングを図 10.55 に示します。

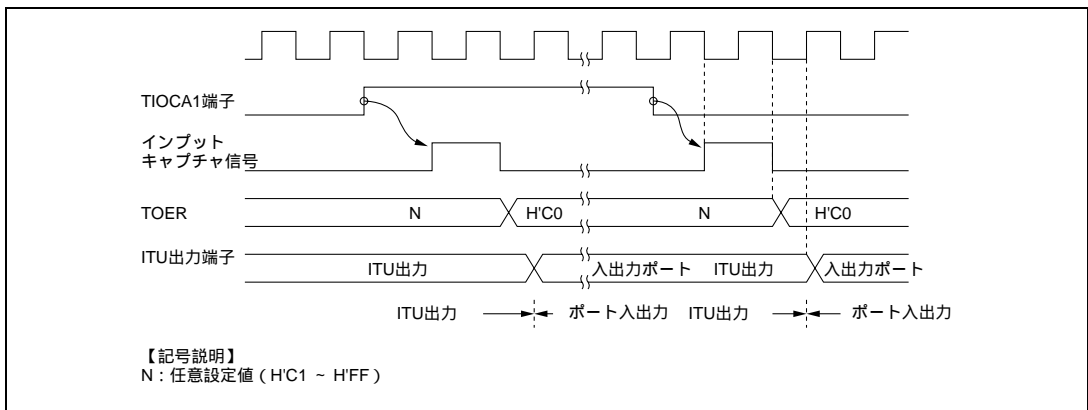


図 10.55 外部トリガによる ITU 出力禁止タイミングの例

(3) TOCR による出力反転タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR のアウトプットレベルセレクト (OLS4、OLS3) ビットを反転することにより、出力レベルを反転することができます。このタイミングを図 10.56 に示します。

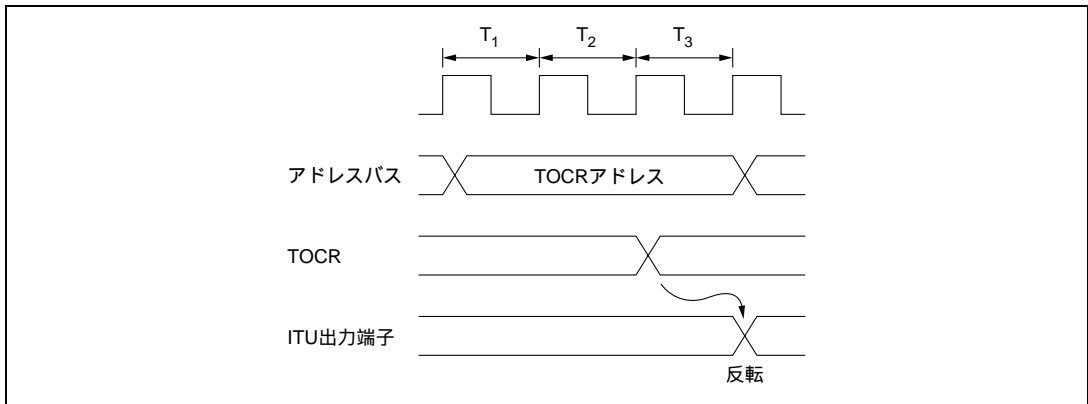


図 10.56 TOCR へのライトによる ITU 出力レベル反転タイミングの例

10.5 割込み

ITU の割込み要因には、インプットキャプチャ/コンペアマッチ割込み、オーバーフロー割込みの 2 種類があります。

10.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時の IMFA、IMFB フラグのセットタイミング

IMF フラグは、GR と TCNT が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 10.57 に IMF フラグのセットタイミングを示します。

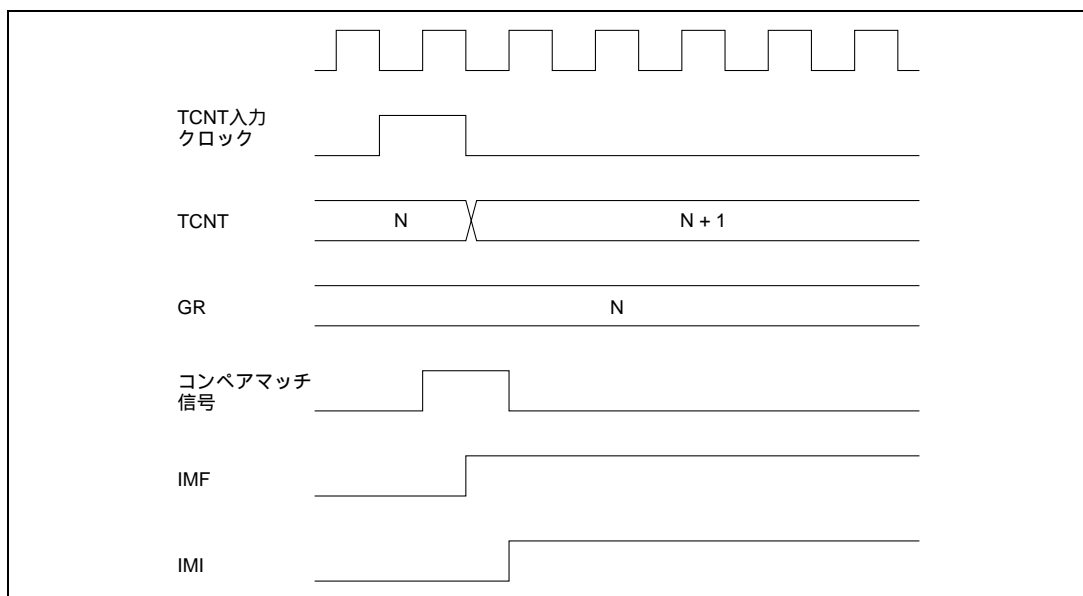


図 10.57 コンペアマッチ時の IMFA、IMFB フラグのセットタイミング

(2) インプットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インプットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に TCNT の値が対応する GR に転送されます。

このタイミングを図 10.58 に示します。

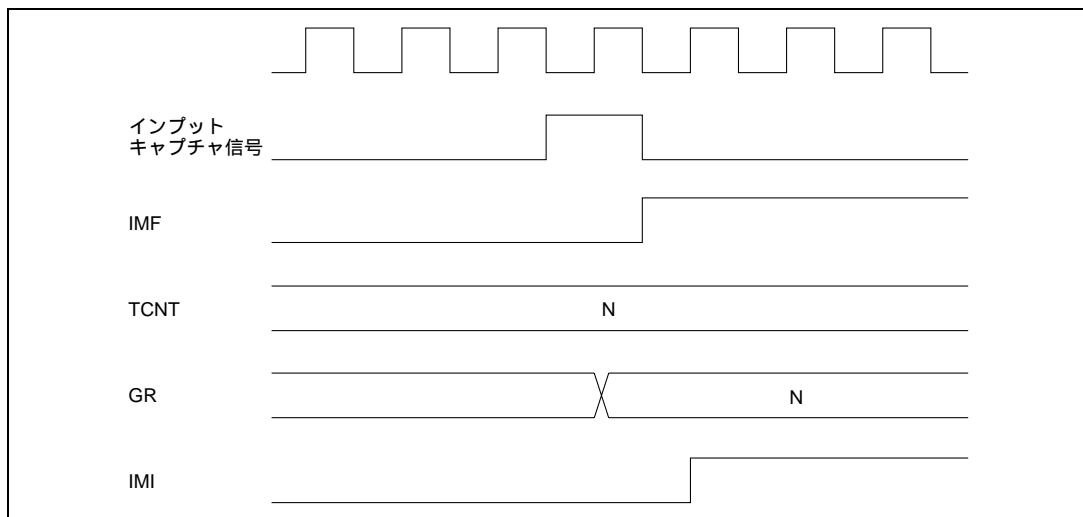


図 10.58 インプットキャプチャ時の IMFA、IMFB フラグのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、TCNT がオーバフロー (H'FFFF H'0000) したとき、またはアンダフロー (H'0000 H'FFFF) したときに 1 にセットされます。

このときのタイミングを図 10.59 に示します。

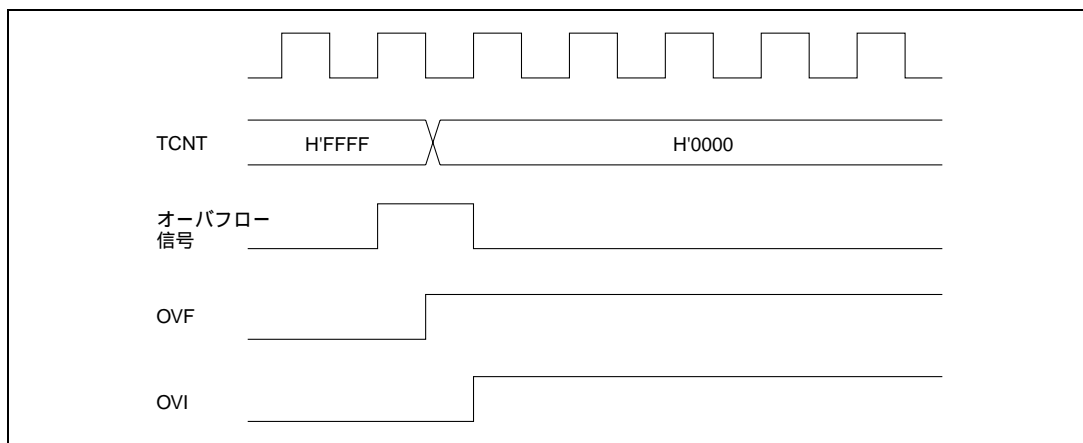


図 10.59 OVF フラグのセットタイミング

10.5.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後 0 をライトするとクリアされます。このタイミングを図 10.60 に示します。

10. 16 ビットインテグレートドタイムユニット (ITU)

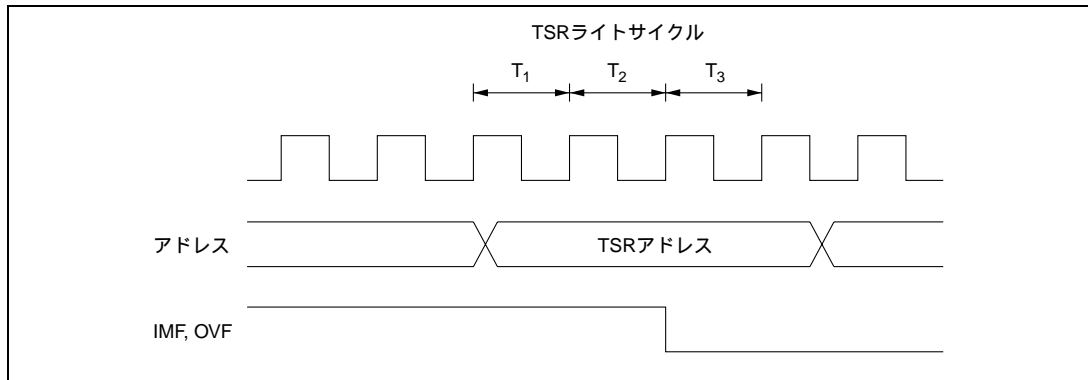


図 10.60 ステータスフラグのクリアタイミング

10.5.3 割り込み要因と DMA コントローラの起動

ITU は各チャンネルごとにコンペアマッチ/インプットキャプチャ A 割り込み、コンペアマッチ/インプットキャプチャ B 割り込み、およびオーバーフロー割り込みをもっています。これら 2 種類の割り込み計 15 本の割り込みは、それぞれ独立のベクタアドレスが割り付けられています。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。

チャンネル間の優先順位は、IPRA、IPRB により変更可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

チャンネル 0~3 のコンペアマッチ/インプットキャプチャ A 割り込みは DMAC の起動要因とすることができます。このときは、CPU へは当該割り込みは要求されません。

ITU の割り込み要因を表 10.10 に示します。

表 10.10 ITU 割り込み要因

チャンネル	割り込み要因	内容	DMAC の起動	優先順位*
0	IMIA0	コンペアマッチ/インプットキャプチャ A0	可	高 ↑ 低
	IMIB0	コンペアマッチ/インプットキャプチャ B0	不可	
	OVI0	オーバーフロー 0	不可	
1	IMIA1	コンペアマッチ/インプットキャプチャ A1	可	
	IMIB1	コンペアマッチ/インプットキャプチャ B1	不可	
	OVI1	オーバーフロー 1	不可	
2	IMIA2	コンペアマッチ/インプットキャプチャ A2	可	
	IMIB2	コンペアマッチ/インプットキャプチャ B2	不可	
	OVI2	オーバーフロー 2	不可	
3	IMIA3	コンペアマッチ/インプットキャプチャ A3	可	
	IMIB3	コンペアマッチ/インプットキャプチャ B3	不可	
	OVI3	オーバーフロー 3	不可	
4	IMIA4	コンペアマッチ/インプットキャプチャ A4	不可	
	IMIB4	コンペアマッチ/インプットキャプチャ B4	不可	
	OVI4	オーバーフロー 4	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は IPRA、IPRB により変更可能です。

10.6 使用上の注意

ITU の動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNT のライトとクリアの競合

TCNT のライトサイクル中の T_3 ステートで、カウンタクリア信号が発生すると、TCNT への書込みサイクルは行われず TCNT のクリアが優先されます。

このタイミングを図 10.61 に示します。

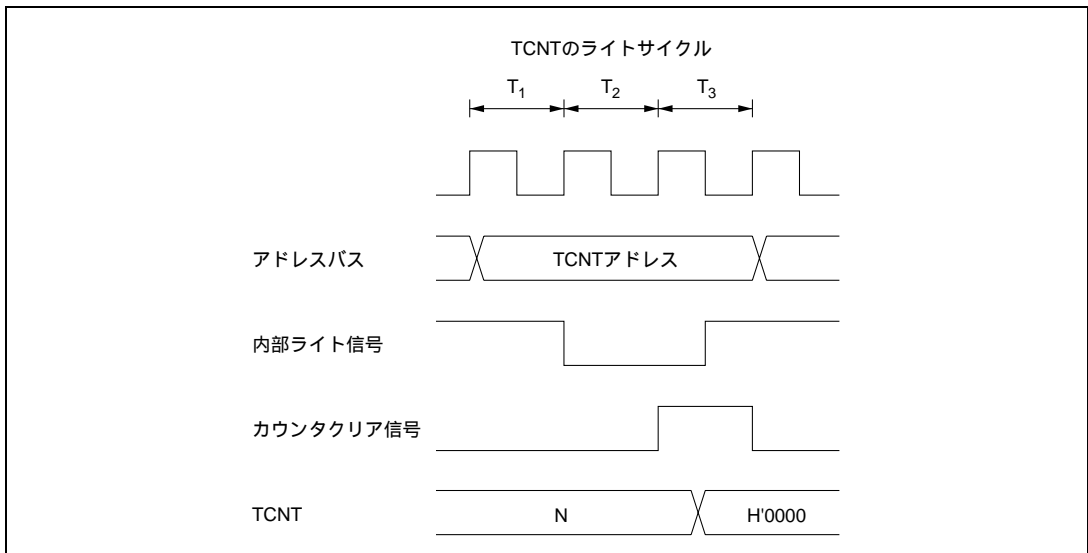


図 10.61 TCNT のライトとクリアの競合

10. 16ビットインテグレートドタイムユニット (ITU)

(2) TCNTのワードライトとカウントアップの競合

TCNTのワードライトサイクル中の T_3 状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図10.62に示します。

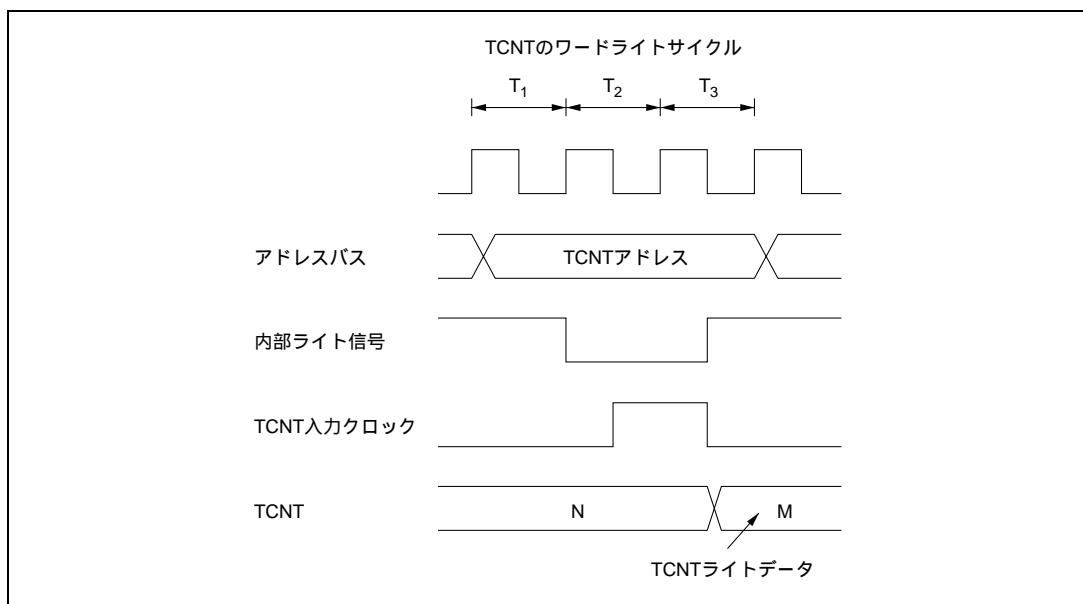


図 10.62 TCNTのワードライトとカウントアップの競合

(3) TCNT のバイトライトとカウントアップの競合

TCNT のバイトライトサイクル中の T_2 ステートまたは T_3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図 10.63 に示します。

TCNTH のバイトライトサイクル中の T_2 ステートでカウントアップが発生した場合の例です。

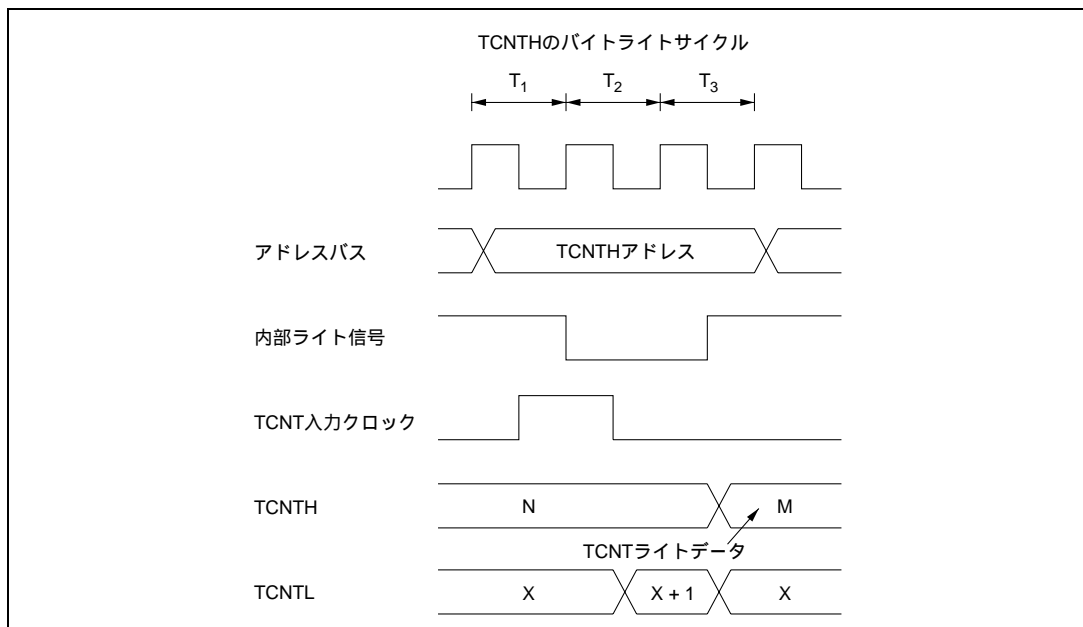


図 10.63 TCNT のバイトライトとカウントアップの競合

10. 16ビットインテグレートドタイムユニット (ITU)

(4) GRのライトとコンペアマッチの競合

GRのライトサイクル中の T_3 状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図10.64に示します。

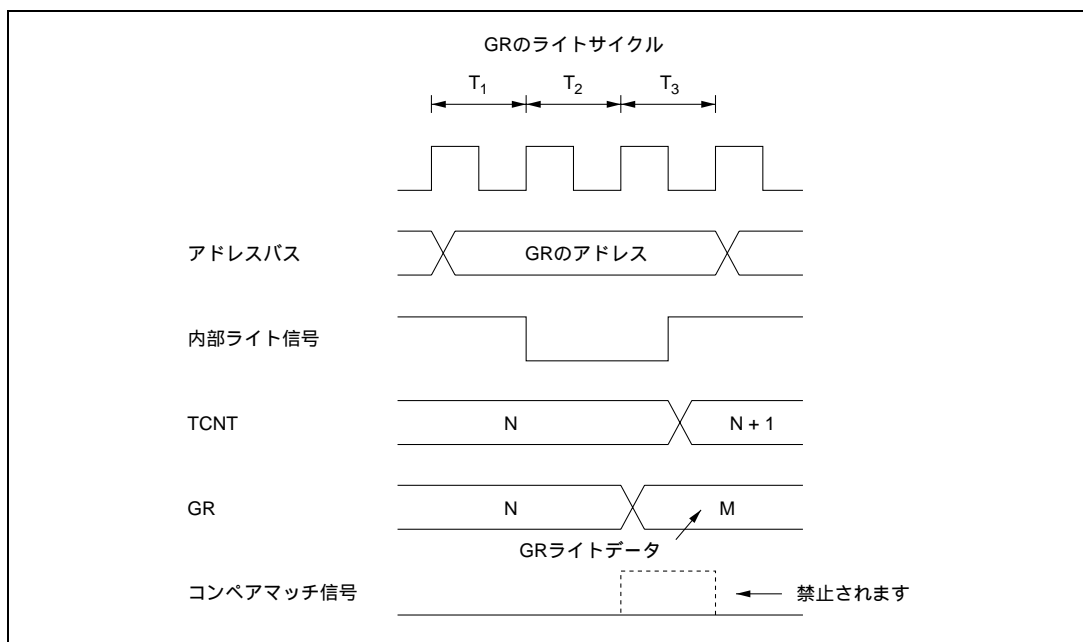


図 10.64 GRのライトとコンペアマッチの競合

(5) TCNT のライトとオーバーフロー / アンダフローとの競合

TCNT のライトサイクル中の T_3 ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。

このタイミングを図 10.65 に示します。

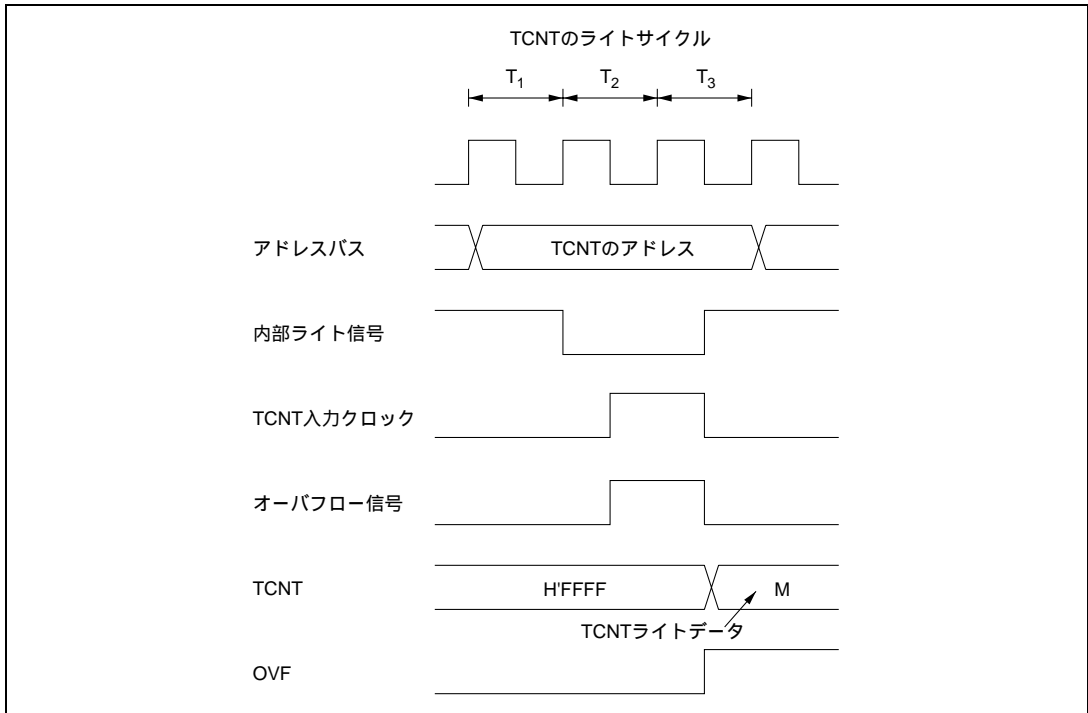


図 10.65 TCNT のライトとオーバーフローの競合

10. 16ビットインテグレートドタイムユニット (ITU)

(6) GRのリードとインプットキャプチャの競合

GRのリードサイクル中の T_3 状態で、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図10.66に示します。

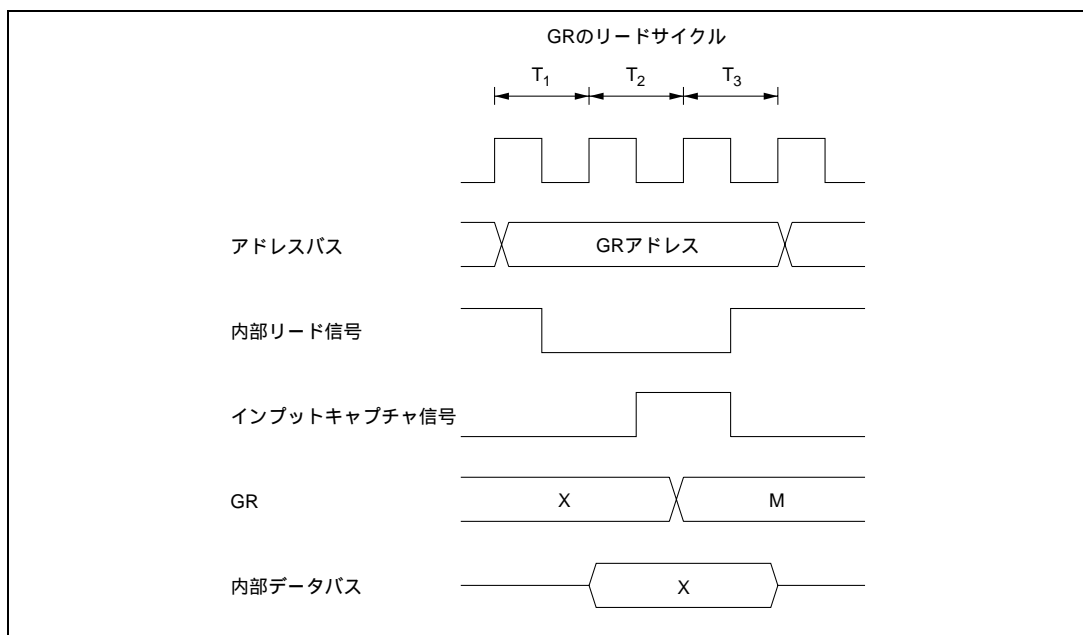


図 10.66 GRのリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GR にはカウンタクリア前の TCNT の内容が転送されます。

このタイミングを図 10.67 に示します。

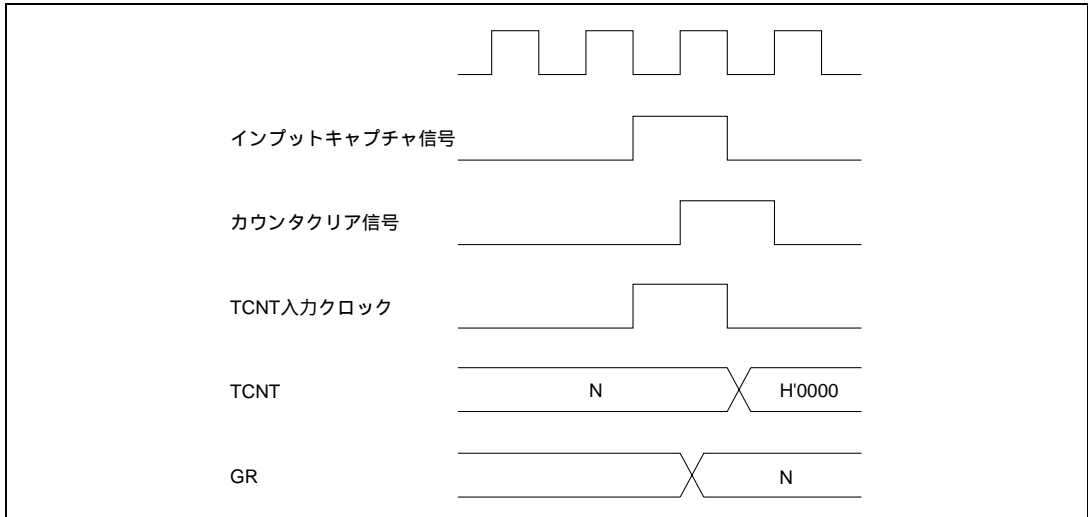


図 10.67 インพุットキャプチャによるカウンタクリアとカウントアップの競合

10. 16ビットインテグレートドタイムユニット (ITU)

(8) GRのライトとインプットキャプチャの競合

GRのライトサイクル中のT₃状態で、インプットキャプチャ信号が発生すると、GRへの書込みは行われず、インプットキャプチャが優先されます。

このタイミングを図10.68に示します。

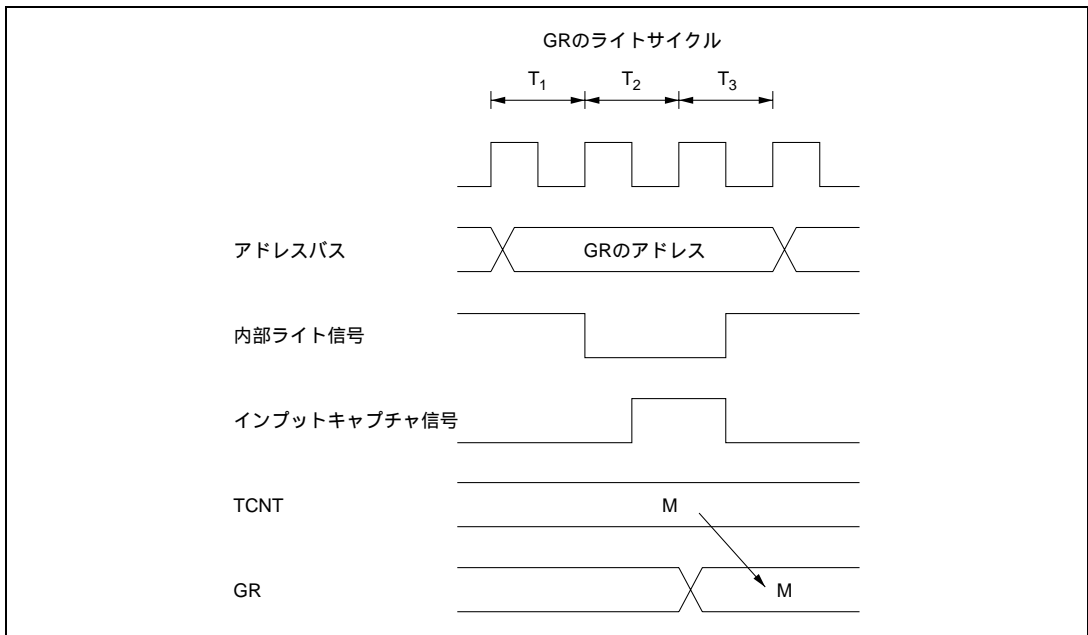


図 10.68 GRのライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式ようになります。

$$f = \frac{f_{clk}}{N+1}$$

(f: カウンタ周波数、 f_{clk} : 動作周波数、N: GRの設定値)

(10) BRのライトとインプットキャプチャの競合

BRをインプットキャプチャバッファレジスタとして使用しているとき、ライトサイクル中のT₃状態でインプットキャプチャ信号が発生すると、BRへのライトは行われずバッファ動作が優先されます。

このタイミングを図10.69に示します。

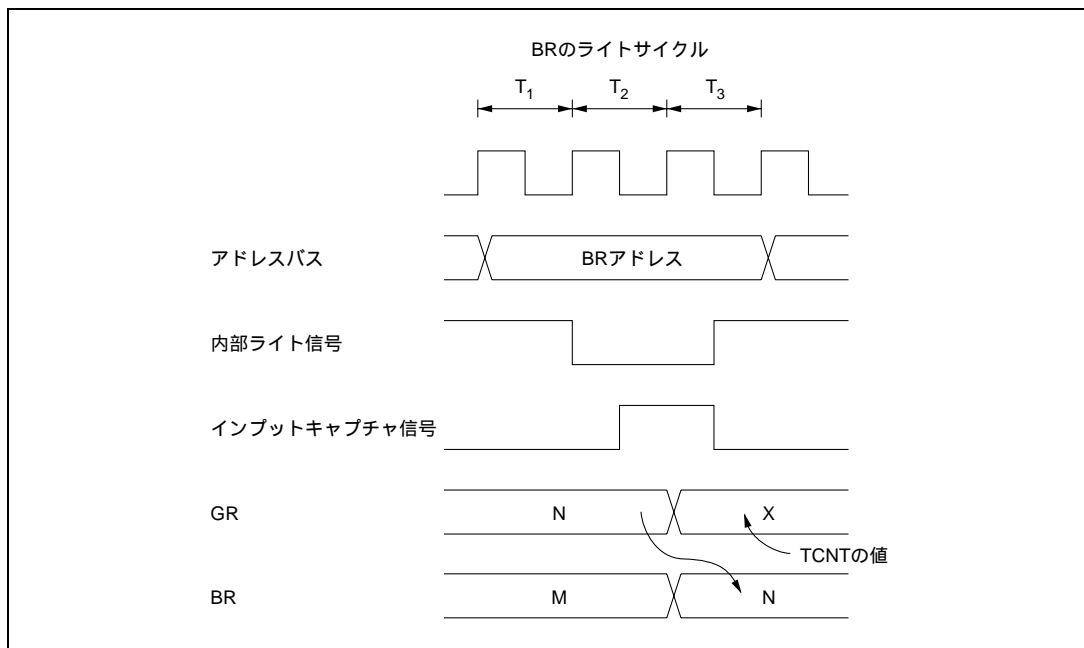


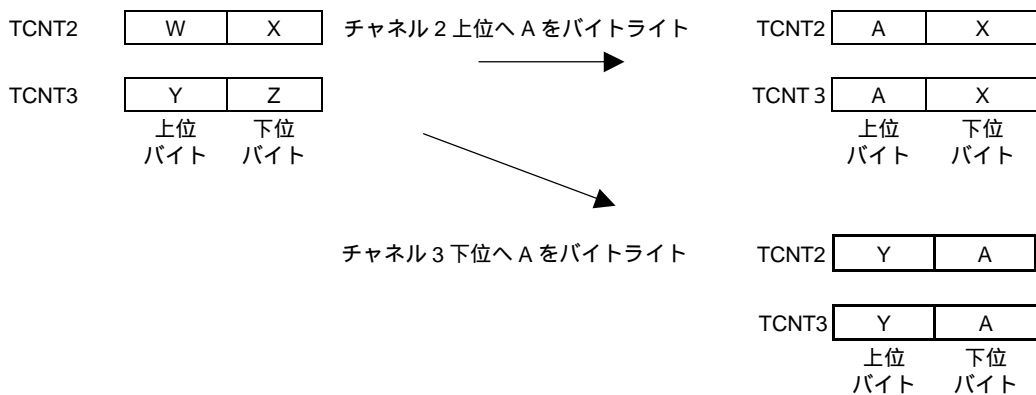
図 10.69 BR のライトとインプットキャプチャの競合

(11) 同期動作時のライト動作に関する注意事項

同期動作を設定した状態で、TCNT のバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した TCNT と、16 ビットすべて同じ値となります。

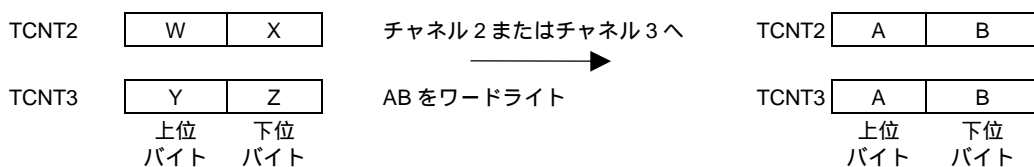
(例) チャンネル 2、3 を同期モードで指定した場合

- チャンネル 2 / チャンネル 3 へのバイトライト



10. 16ビットインテグレートドタイムユニット (ITU)

- チャンネル2 / チャンネル3 へのワードライト



(12) リセット同期 PWM モード / 相補 PWM モード設定時の注意事項

TFCR の CMD1、CMD0 ビットを設定するときは、次のことに注意してください。

- CMD1、CMD0 ビットへのライトは、TCNT3、TCNT4 が停止中に行ってください。
- リセット同期 PWM モードと相補 PWM モードの相互の設定変更は禁止されています。通常動作 (CMD1 ビットを 0 にクリア) に設定した後に、リセット同期 PWM モードまたは相補 PWM モードに設定してください。

(13) ITUの動作モード一覧

表 10.11 (1) ITUの動作モード (チャンネル0)

動作モード	レジスタ設定													
	TSNC		TMDR			TFCR		TOCR		TOER		TIOR0		TCR0
	同期動作	MDF	FDIR	PWM	相補PWM	リセット同期PWM	バックアップ動作	XTGD	出力レベルセレクト	マスターイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PWMモード	-	-	-	PWM0=1	-	-	-	-	-	-	-	*	-	-
アウトプットコンペアA機能	-	-	-	PWM0=0	-	-	-	-	-	-	IOA2=0 他任意	-	-	-
アウトプットコンペアB機能	-	-	-	-	-	-	-	-	-	-	-	IOB2=0 他任意	-	-
インプットキャプチャA機能	-	-	-	PWM0=0	-	-	-	-	-	-	IOA2=1 他任意	-	-	-
インプットキャプチャB機能	-	-	-	PWM0=0	-	-	-	-	-	-	-	IOB2=1 他任意	-	-
コンペアマッチ / インプットキャプチャA でクリア	-	-	-	-	-	-	-	-	-	-	-	-	CCLR1=0 CCLR0=1	-
コンペアマッチ / インプットキャプチャB でクリア	-	-	-	-	-	-	-	-	-	-	-	-	CCLR1=1 CCLR0=0	-
同期クリア	-	-	-	-	-	-	-	-	-	-	-	-	CCLR1=1 CCLR0=1	-

【記号説明】

- : 設定可能 (有効) です。

- : 設定は当該動作モードに影響しません。

【注】 * PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 10.11 (2) ITUの動作モード (チャンネル1)

動作モード	レジスタ設定													
	TSNC		TMDR		TFRC		TOCR		TOER		TIOR1		TCR1	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PWMモード	SYNC1=1	-	-	PWM1=1	-	-	-	-	-	-	-	*1	-	-
アウトプットコンペアA機能	-	-	-	PWM1=0	-	-	-	-	-	-	IOA2=0 他任意	-	-	-
アウトプットコンペアB機能	-	-	-	-	-	-	-	-	-	-	-	IOB2=0 他任意	-	-
インプットキャプチャA機能	-	-	-	PWM1=0	-	-	-	*2	-	-	IOA2=1 他任意	-	-	-
インプットキャプチャB機能	-	-	-	PWM1=0	-	-	-	-	-	-	-	IOB2=1 他任意	-	-
コンペアマッチ / インプットキャプチャA でクリア	-	-	-	-	-	-	-	-	-	-	-	-	CCLR1=0 CCLR0=1	-
コンペアマッチ / インプットキャプチャB でクリア	-	-	-	-	-	-	-	-	-	-	-	-	CCLR1=1 CCLR0=0	-
同期クリア	SYNC1=1	-	-	-	-	-	-	-	-	-	-	-	CCLR1=1 CCLR0=1	-

【記号説明】

：設定可能 (有効) です。

- : 設定は当該動作モードに影響しません。

【注】 *1 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

*2 チャンネル3とチャンネル4が相補PWMモードまたはリセット同期PWMモードで動作している時のみ有効となります。

表 10.11 (3) ITUの動作モード (チャンネル2)

動作モード	レジスタ設定													
	TSNC 同期動作	MDF	TMDR		TFCR		TOCR		TOER	TIOR2		TCR2		
			FDIR	PWM	相補 PWM	リセット 同期 PWM	バツファ 動作	XTGD	出力 レベル セレクト	マスタ イネーブル	IOA	IOB	クリア 選択	クロック 選択
同期プリセット	SYNC2=1		-			-		-	-	-	-			
PWMモード			-	PWM2=1		-		-	-	-	-	*		
アウトプットコンペアA機能			-	PWM2=0		-		-	-	-	IOA2=0 他任意			
アウトプットコンペアB機能			-			-		-	-	-		IOB2=0 他任意		
インプットキャプチャA機能			-	PWM2=0		-		-	-	-	IOA2=1 他任意			
インプットキャプチャB機能			-	PWM2=0		-		-	-	-		IOB2=1 他任意		
コンペアマッチ/ インプットキャプチャA でクリア			-			-		-	-	-			CCLR1=0 CCLR0=1	
コンペアマッチ/ インプットキャプチャB でクリア			-			-		-	-	-			CCLR1=1 CCLR0=0	
同期クリア	SYNC2=1		-			-		-	-	-			CCLR1=1 CCLR0=1	
位相計数モード		MDF=1				-		-	-	-				

【記号説明】
 - : 設定可能 (有効) です。
 - : 設定は当該動作モードに影響しません。
 【注】 * PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

10. 16ビットインテグレートドタイマユニット (ITU)

表 10.11 (4) ITUの動作モード (チャンネル3)

動作モード	レジスタ設定													
	TSNC 同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	XTGD	TOCR 出力 レベル セレクト	TOER マスタ イネーブル	IOA	IOB	クリア 選択	TCR3 クロック 選択
同期プリセット	SYNC3=1	-	-	-	*3	-	-	-	-	*1	-	-	-	-
PWMモード		-	-	PWM3=1	CMD1=0	CMD1=0	-	-	-	-	-	*2	-	-
アウトプットコンペアA機能		-	-	PWM3=0	CMD1=0	CMD1=0	-	-	-	-	IOA2=0 他任意	-	-	-
アウトプットコンペアB機能		-	-	-	CMD1=0	CMD1=0	-	-	-	-	-	IOB2=0 他任意	-	-
インプットキャプチャA機能		-	-	PWM3=0	CMD1=0	CMD1=0	-	-	-	EA3は 無効 他任意	IOA2=1 他任意	-	-	-
インプットキャプチャB機能		-	-	PWM3=0	CMD1=0	CMD1=0	-	-	-	EB3は 無効 他任意	-	IOB2=1 他任意	-	-
コンペアマッチ / インプットキャプチャA でクリア		-	-	CMD1=1 CMD0=0 は禁止	*4	-	-	-	-	*1	-	-	CCLR1=0 CCLR0=1	-
コンペアマッチ / インプットキャプチャB でクリア		-	-	CMD1=0	CMD1=0	CMD1=0	-	-	-	*1	-	-	CCLR1=1 CCLR0=0	-
同期クリア	SYNC3=1	-	-	CMD1=1 CMD0=0 は禁止	-	-	-	-	-	*1	-	-	CCLR1=1 CCLR0=1	-
相補PWMモード		-	-	CMD1=1 CMD0=0	*3	-	-	-	-	-	-	-	CCLR1=0 CCLR0=0	*5
リセット同期PWMモード		-	-	CMD1=1 CMD0=1	-	-	-	-	*6	-	-	-	CCLR1=0 CCLR0=1	-
バッファ動作 (BRA)		-	-	-	-	-	-	-	-	*1	-	-	-	-
バッファ動作 (BRB)		-	-	-	-	-	-	-	-	*1	-	-	-	-

【記号説明】

: 設定可能 (有効) です。

- : 設定は当該動作モードに影響しません。

【注】 *1 マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。

*2 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

*3 相補PWMモード設定時には、チャネル3とチャネル4を同時に同期動作設定しないでください。

*4 インプットキャプチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。

*5 相補PWMモード設定時のクロック選択は、チャネル3とチャネル4を同一としてください。

*6 チャネル1のインプットキャプチャ機能を使用してください。

表 10.11 (5) ITUの動作モード (チャンネル4)

動作モード	レジスタ設定											TCR4 クロック 選択	
	TSNC 同期動作	MDF	TMDR FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	XTGD	TOCR 出力 レベル セレクト	TOER マスタ イネーブル	IOA		IOB
同期リセット	-	-	-	-	*3	CMD1=0	-	-	*1	-	-	-	-
PWMモード	-	-	-	PWM4=1	CMD1=0	CMD1=0	-	-	-	-	IOA2=0 他任意	*2	-
アウトプットコンペアA機能	-	-	-	PWM4=0	CMD1=0	CMD1=0	-	-	-	-	IOA2=0 他任意	-	-
アウトプットコンペアB機能	-	-	-	-	CMD1=0	CMD1=0	-	-	-	-	IOB2=0 他任意	-	-
インプットキャプチャA機能	-	-	-	PWM4=0	CMD1=0	CMD1=0	-	-	EA4は 無効 他任意	IOA2=1 他任意	-	-	-
インプットキャプチャB機能	-	-	-	PWM4=0	CMD1=0	CMD1=0	-	-	EB4は 無効 他任意	IOB2=1 他任意	-	-	-
コンペアマッチ/ インプットキャプチャA でクリア	-	-	-	CMD1=1 CMD0=0 は禁止	*4	-	-	-	*1	-	-	CCLR1=0 CCLR0=1	-
コンペアマッチ/ インプットキャプチャB でクリア	-	-	-	CMD1=1 CMD0=0 は禁止	*4	-	-	-	*1	-	-	CCLR1=1 CCLR0=0	-
同期クリア	SYNC4=1	-	-	CMD1=1 CMD0=0 は禁止	-	-	-	-	*1	-	-	CCLR1=1 CCLR0=1	-
相補PWMモード	*3	-	-	CMD1=1 CMD0=0	CMD1=1 CMD0=0	CMD1=1 CMD0=0	-	-	-	-	-	CCLR1=0 CCLR0=0	*5
リセット同期PWMモード	-	-	-	CMD1=1 CMD0=1	CMD1=1 CMD0=1	CMD1=1 CMD0=1	-	-	-	-	-	*6	*6
バッファ動作 (BRA)	-	-	-	BFA4=1 他任意	-	-	-	-	*1	-	-	-	-
バッファ動作 (BRB)	-	-	-	BFB4=1 他任意	-	-	-	-	*1	-	-	-	-

【記号説明】
 - : 設定可能 (有効) です。
 - : 設定は当該動作モードに影響しません。
 【注】 *1 マスタタイムベースビットの設定は、波形出力動作時のみ有効となります。
 *2 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。
 *3 相補PWMモード設定時には、チャンネル3とチャンネル4を同時に同期動作設定しないでください。
 *4 リセット同期PWMモード設定時は、カウンタクリア機能は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。
 *5 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。
 *6 リセット同期PWMモード動作時は、TCR4の設定は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。

11. プログラマブルタイミングパターンコントローラ (TPC)

11.1 概要

本 LSI は、16 ビットインテグレートドタイムユニット (ITU) をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

TPC の特長を以下に示します。

- 出力データ 16 ビット
最大16ビットのデータ出力が可能で、TPC出力をビット単位に許可することができます。
- 4 系統の出力可能
4ビット単位のグループで出力トリガ信号が選択可能で、最大4ビット×4系統の出力を行うことができます。
- 出力トリガ信号を選択可能
ITUの4チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。
- ノンオーバーラップ動作
複数のパルス出力の間のノンオーバーラップ期間を設定することができます。
- DMA コントローラ (DMAC) との連携動作可能
出力トリガ信号に選択したコンペアマッチ信号でDMACを起動することにより、CPUの介在なくデータを順次出力することができます。

11. プログラマブルタイミングパターンコントローラ (TPC)

11.1.2 ブロック図

TPCのブロック図を図 11.1 に示します。

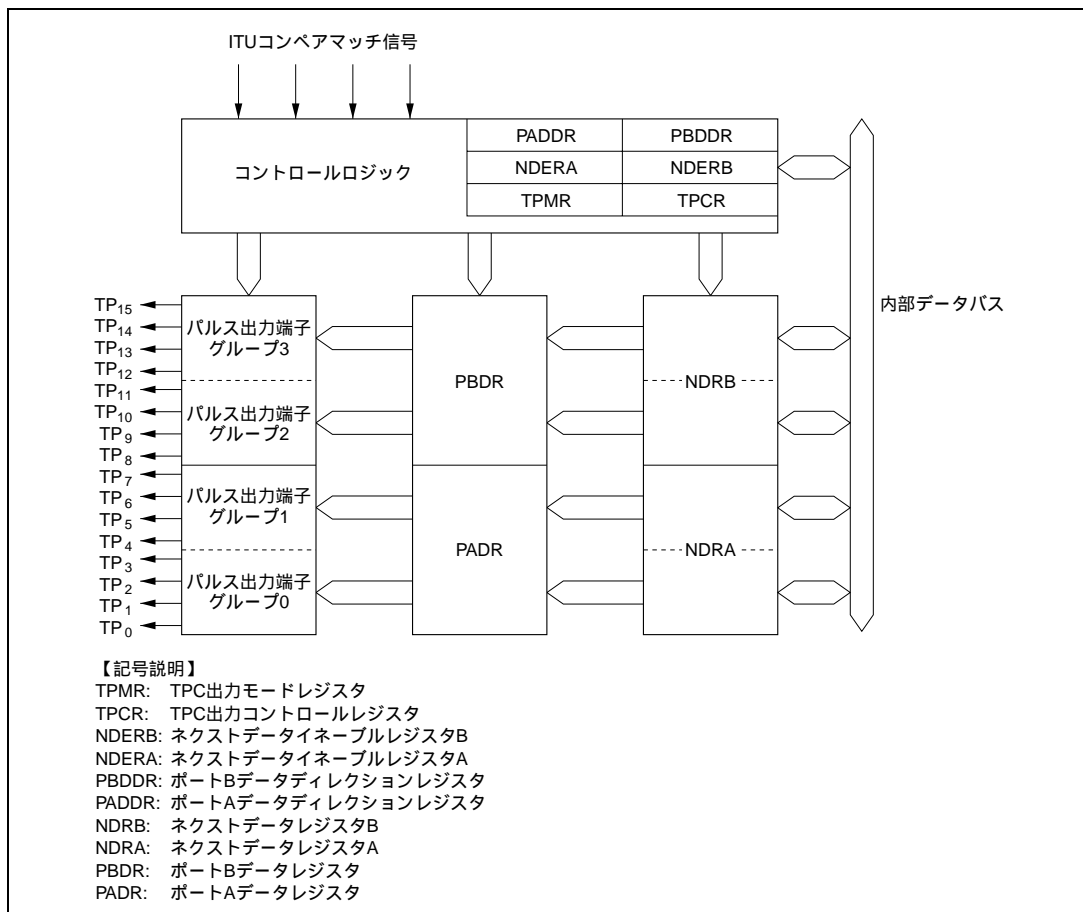


図 11.1 TPCのブロック図

11.1.3 端子構成

TPC の端子構成を表 11.1 に示します。

表 11.1 端子構成

名 称	略 称	入出力	機 能
TPC 出力 0	TP ₀	出力	グループ 0 のパルス出力
TPC 出力 1	TP ₁	出力	
TPC 出力 2	TP ₂	出力	
TPC 出力 3	TP ₃	出力	
TPC 出力 4	TP ₄	出力	グループ 1 のパルス出力
TPC 出力 5	TP ₅	出力	
TPC 出力 6	TP ₆	出力	
TPC 出力 7	TP ₇	出力	
TPC 出力 8	TP ₈	出力	グループ 2 のパルス出力
TPC 出力 9	TP ₉	出力	
TPC 出力 10	TP ₁₀	出力	
TPC 出力 11	TP ₁₁	出力	
TPC 出力 12	TP ₁₂	出力	グループ 3 のパルス出力
TPC 出力 13	TP ₁₃	出力	
TPC 出力 14	TP ₁₄	出力	
TPC 出力 15	TP ₁₅	出力	

11. プログラマブルタイミングパターンコントローラ (TPC)

11.1.4 レジスタ構成

TPC のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポート A データレジスタ	PADR	R/(W)* ²	H'00
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/(W)* ²	H'00
H'FFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFA5/H'FFA7* ³	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFA4/H'FFA6* ³	ネクストデータレジスタ B	NDRB	R/W	H'00

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 TPC 出力として使用しているビットは、ライトできません。
*3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFA7、グループ 1 に対応する NDRA のアドレスは H'FFA5 となります。
同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFA6、グループ 3 に対応する NDRB のアドレスは H'FFA4 となります。

11.2 各レジスタの説明

11.2.1 ポート A データディレクションレジスタ (PADDDR)

PADDDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポート A は TP₇ ~ TP₀ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PADDDR の詳細は、「9.11 ポート A」を参照してください。

11.2.2 ポート A データレジスタ (PADR)

PADR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】 * NDERAにより、TPC出力に設定されたビットはリード専用となります。

PADR の詳細は、「9.11 ポート A」を参照してください。

11. プログラマブルタイミングパターンコントローラ (TPC)

11.2.3 ポート B データディレクションレジスタ (PBDDR)

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0
ポートBの各端子の入出力を選択するビットです。

ポート B は TP₁₅ ~ TP₈ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PBDDR の詳細は、「9.12 ポート B」を参照してください。

11.2.4 ポート B データレジスタ (PBDR)

PBDR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートBデータ7~0
TPC出力グループ2、3の出力データを格納するビットです。

【注】 * NDERBにより、TPC出力に設定されたビットはリード専用となります。

PBDR の詳細は、「9.12 ポート B」を参照してください。

11.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	ネクストデータ7~4 TPC出力グループ1の次の 出力データを格納するビットです。				ネクストデータ3~0 TPC出力グループ0の次の 出力データを格納するビットです。			
--	---	--	--	--	---	--	--	--

(b) アドレス : H'FFA7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

	リザーブビット							
--	---------	--	--	--	--	--	--	--

11. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDRA の上位 4 ビット (グループ 1) のアドレスは H'FFA5、NDRA の下位 4 ビット (グループ 0) のアドレスは H'FFA7 となります。このとき、アドレス H'FFA5 のビット 3~0、アドレス H'FFA7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ7~4
TPC出力グループ1の次の
出力データを格納するビットです。

リザーブビット

(b) アドレス : H'FFA7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ3~0
TPC出力グループ0の次の
出力データを格納するビットです。

11.2.6 ネクストデータレジスタ B (NDRB)

NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFA4

ビット:	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ15~12
TPC出力グループ3の次の
出力データを格納します。
ネクストデータ11~8
TPC出力グループ2の次の
出力データを格納します。

(b) アドレス : H'FFA6

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :								

リザーブビット

11. プログラマブルタイミングパターンコントローラ (TPC)

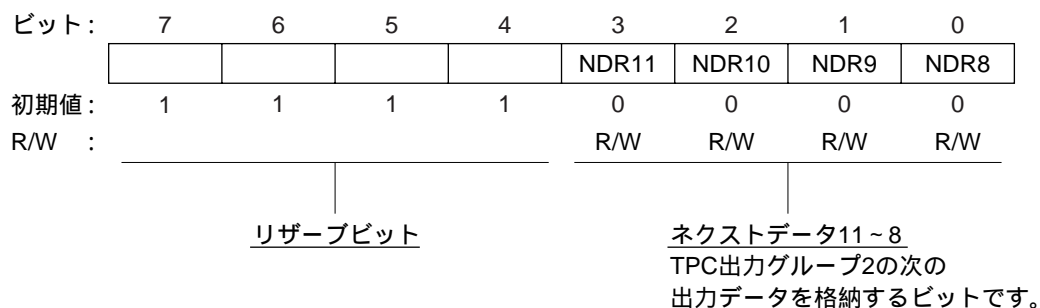
(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) のアドレスは H'FFA4、NDRB の下位 4 ビット (グループ 2) のアドレスは H'FFA6 となります。このとき、アドレス H'FFA4 のビット 3~0、アドレス H'FFA6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFA4



(b) アドレス : H'FFA6



11.2.7 ネクストデータインーブルレジスタ A (NDERA)

NDERA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀端子) の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータインーブル7~0
TPC出力グループ1、0の許可/禁止を
選択するビットです。

NDERA により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7~0: ネクストデータインーブル 7~0 (NDER7~NDER0)

TPC 出力グループ 1、0 (TP₇~TP₀端子) の許可/禁止をビット単位で選択します。

ビット 7~0	説明	
NDER7~NDER0		
0	TPC 出力 TP ₇ ~TP ₀ を禁止 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送禁止)	(初期値)
1	TPC 出力 TP ₇ ~TP ₀ を許可 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送許可)	

11. プログラマブルタイミングパターンコントローラ (TPC)

11.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8
TPC出力グループ3、2の許可/禁止を
選択するビットです。

NDERB により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRB の値が PBDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDERB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7~0: ネクストデータイネーブル 15~8 (NDER15 ~ NDER8)

TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット 7~0	説明
NDER15 ~ NDER8	
0	TPC 出力 TP ₁₅ ~ TP ₈ を禁止 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₁₅ ~ TP ₈ を許可 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送許可)

11.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。



TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7、6: グループ3コンペアマッチセレクト1、0 (G3CMS1、G3CMS0)
TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説明
G3CMS1	G3CMS0	
0	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャネル0のコンペアマッチ
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャネル1のコンペアマッチ
1	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャネル2のコンペアマッチ
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャネル3のコンペアマッチ (初期値)

11. プログラマブルタイミングパターンコントローラ (TPC)

ビット 5、4 : グループ 2 コンペアマッチセレクト 1、0 (G2CMS1、G2CMS0)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 5	ビット 4	説 明
G2CMS1	G2CMS0	
0	0	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャネル 0 のコンペアマッチ
	1	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャネル 2 のコンペアマッチ
	1	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャネル 3 のコンペアマッチ (初期値)

ビット 3、2 : グループ 1 コンペアマッチセレクト 1、0 (G1CMS1、G1CMS0)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	
0	0	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャネル 0 のコンペアマッチ
	1	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャネル 2 のコンペアマッチ
	1	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャネル 3 のコンペアマッチ (初期値)

ビット 1、0 : グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャネル 0 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャネル 2 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャネル 3 のコンペアマッチ (初期値)

11.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット:	7	6	5	4	3	2	1	0
					G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

リザーブビット

グループ3ノンオーバーラップ
TPC出力グループ3 (TP₁₅~TP₁₂) のノンオーバーラップ動作を設定するビットです。

グループ2ノンオーバーラップ
TPC出力グループ2 (TP₁₁~TP₈) のノンオーバーラップ動作を設定するビットです。

グループ1ノンオーバーラップ
TPC出力グループ1 (TP₇~TP₄) のノンオーバーラップ動作を設定するビットです。

グループ0ノンオーバーラップ
TPC出力グループ0 (TP₃~TP₀) のノンオーバーラップ動作を設定するビットです。

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる ITU の GRB に出力波形の周期を、また GRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に HF0 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

11. プログラマブルタイミングパターンコントローラ (TPC)

ビット3: グループ3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット3	説明
G3NOV	
0	TPC 出力グループ 3 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット2: グループ2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット2	説明
G2NOV	
0	TPC 出力グループ 2 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット1: グループ1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット1	説明
G1NOV	
0	TPC 出力グループ 1 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット0: グループ0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット0	説明
G0NOV	
0	TPC 出力グループ 0 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

11.3 動作説明

11.3.1 概要

TPC 出力は、PADDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PADR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を図 11.2 に示します。また、TPC 動作条件を表 11.3 に示します。

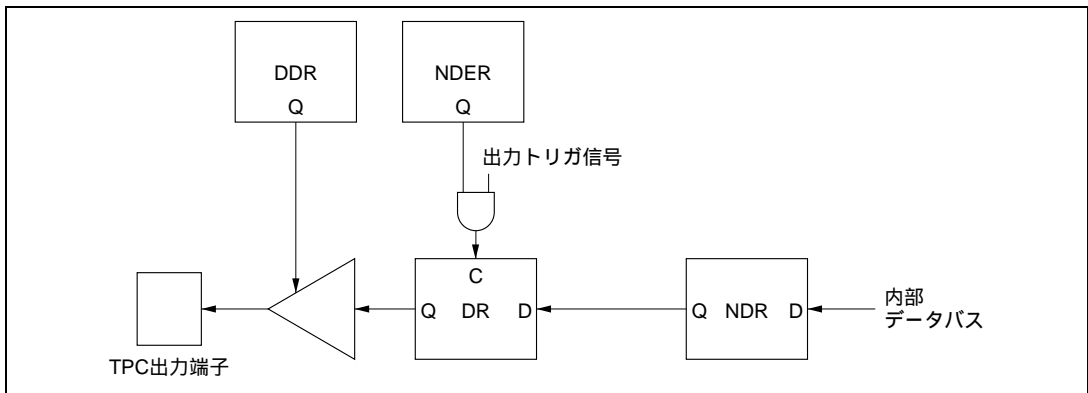


図 11.2 TPC 出力動作

表 11.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません)
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDRA/NDRB の内容が PADR/PBDR に転送され、出力されます。

このタイミングを図 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

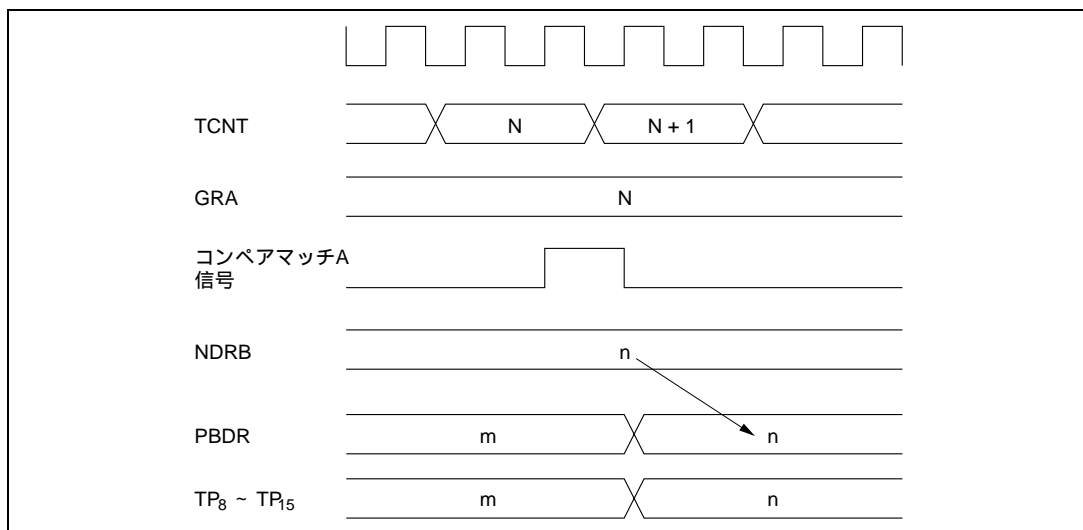


図 11.3 NDR の内容が転送・出力されるタイミング (例)

11.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 11.4 に示します。

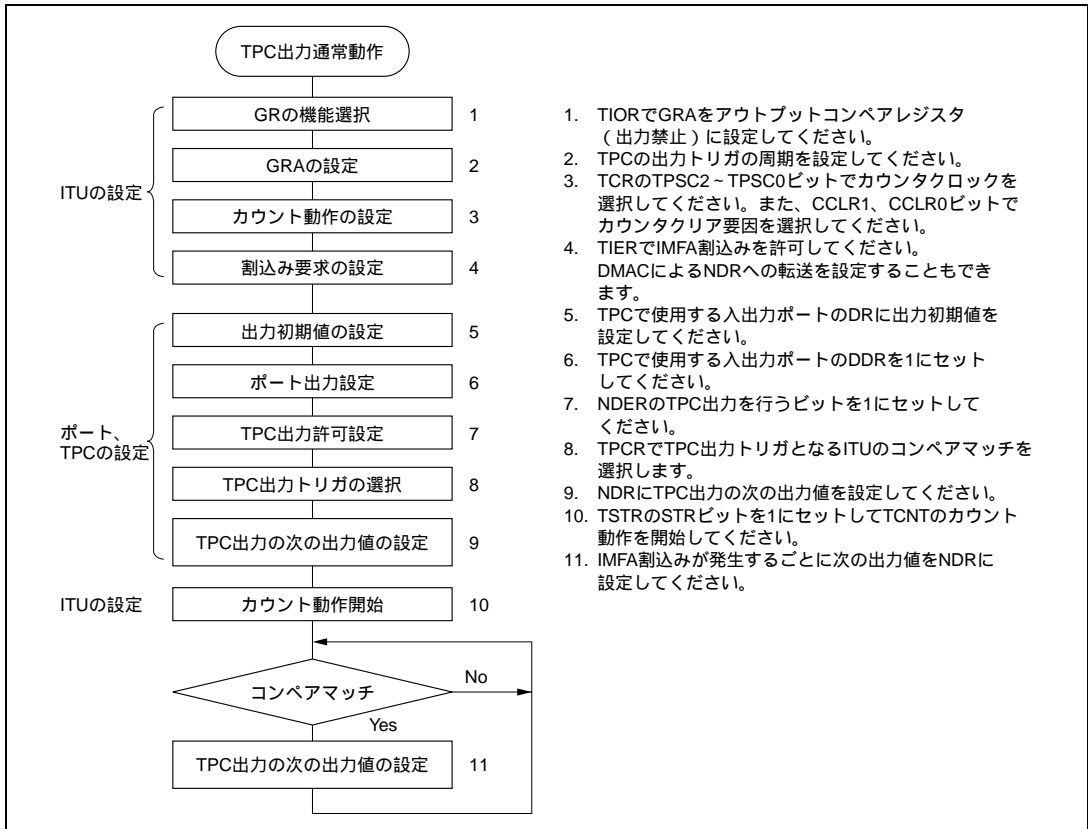


図 11.4 TPC 出力通常動作の設定手順例

11. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 11.5 に示します。

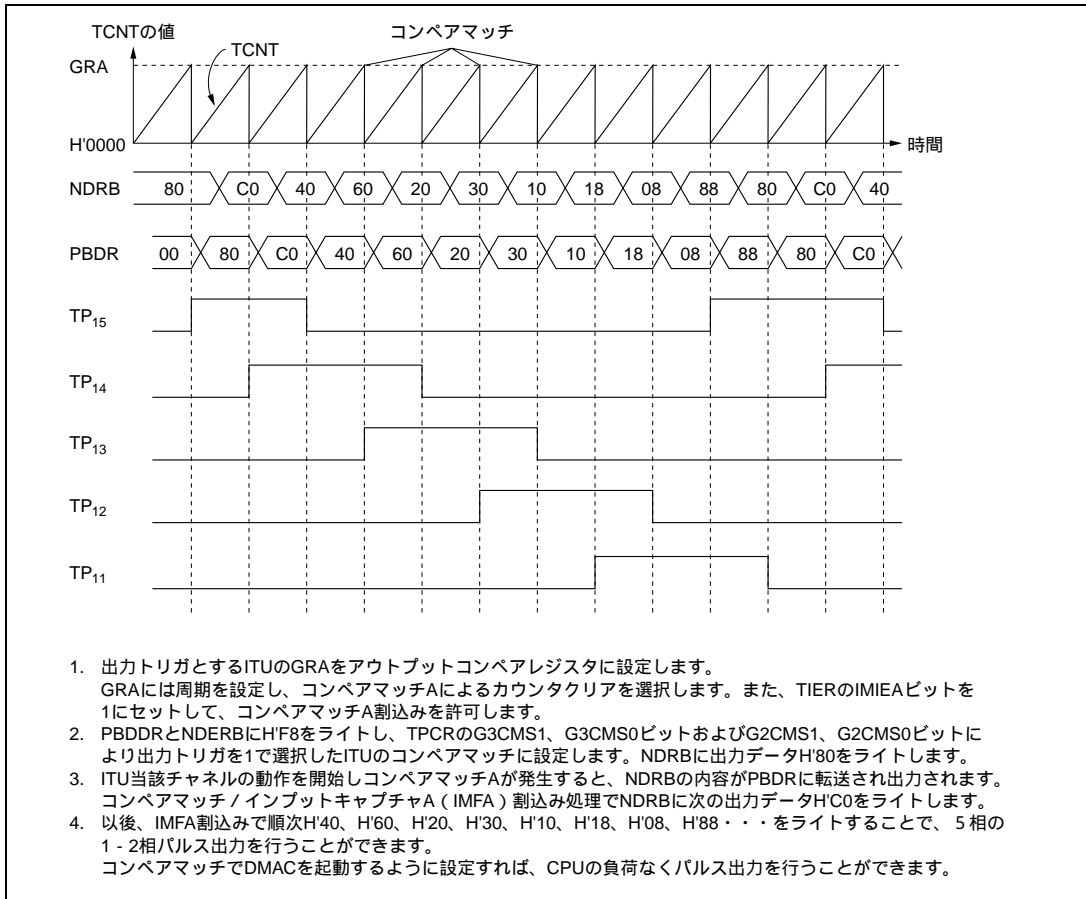


図 11.5 TPC 出力通常動作例 (5 相パルス出力例)

11.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

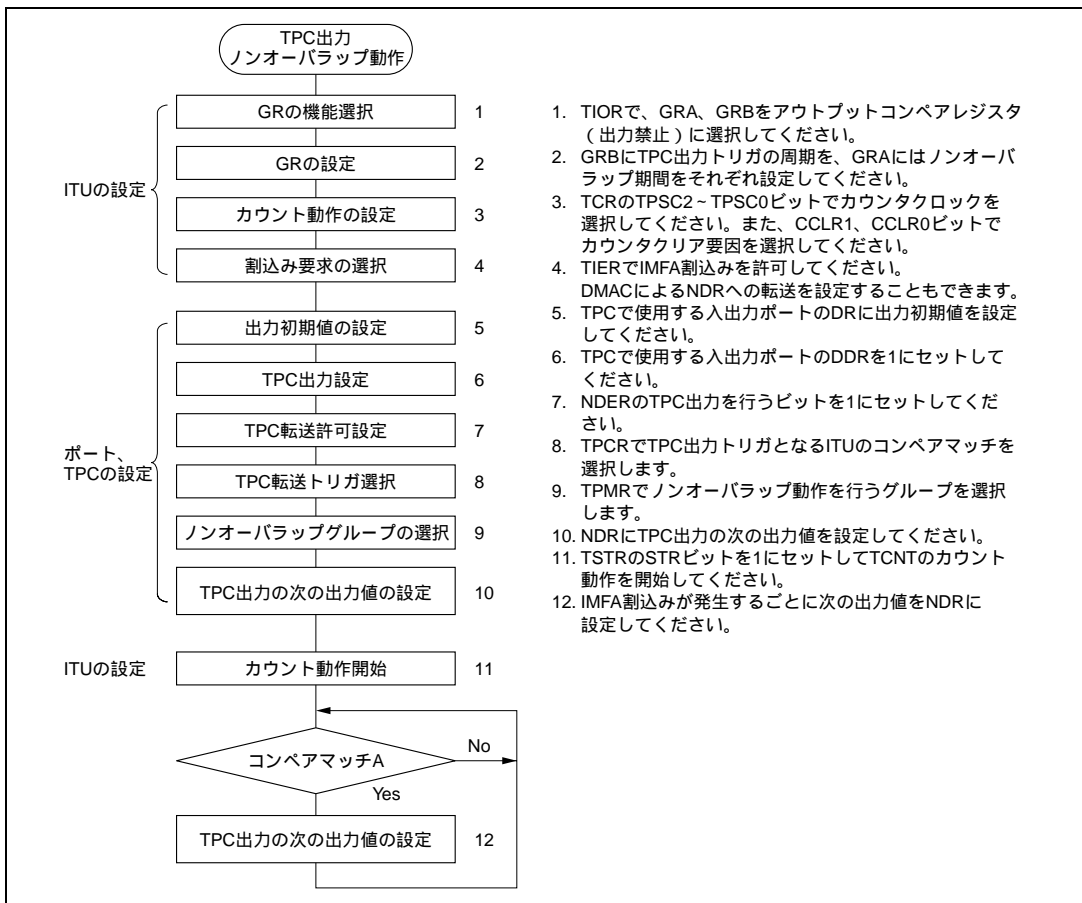


図 11.6 TPC 出力ノンオーバーラップ動作の設定手順例

11. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

TPC 出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 11.7 に示します。

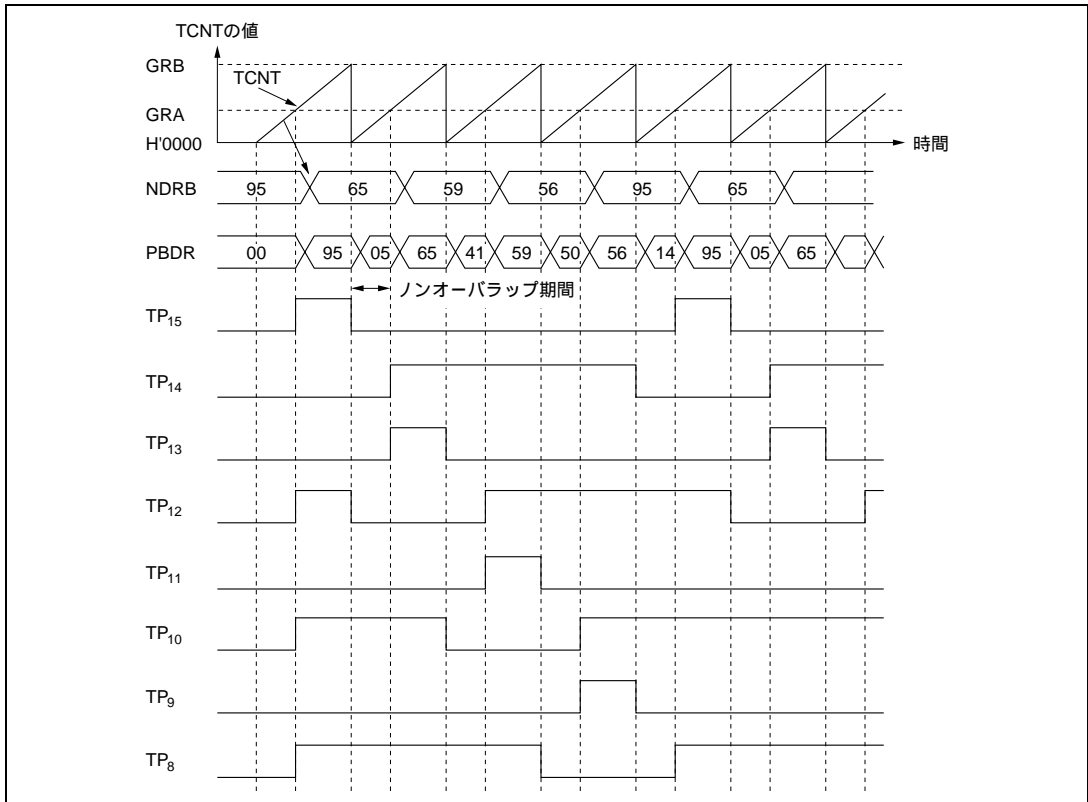


図 11.7 TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

以下に動作例について説明します。

- (1) 出力トリガとする ITU の GRA、GRB をアウトプットコンペアレジスタに設定します。GRB には周期、GRA にはノンオーバーラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、TIER の IMEA ビットを 1 にセットして、IMFA 割込みを許可します。
- (2) PBDDR と NDRB に H'FF をライトし、TPCR の G3CMS1、G3CMS0 ビットおよび G2CMS1、G2CMS0 ビットにより出力トリガを 1 で選択した ITU のコンペアマッチに設定します。TPMR の G3NOV、G2NOV ビットをそれぞれ 1 にセットして、ノンオーバーラップ動作を設定します。NDRB に出力データを H'95 をライトします。
- (3) ITU 当該チャンネルの動作を開始すると、GRB のコンペアマッチで 1 出力 0 出力の変化、GRA のコンペアマッチで 0 出力 1 出力の変化を行います。(0 出力 1 出力の変化は GRA の設定値分遅延することになります)。IMFA 割込み処理で NDRB に次の出力データ H'65 をライトします。
- (4) 以後、IMFA 割込みで順次 H'59、H'56、H'95・・・をライトすることで、4 相の相補ノンオーバーラップ出力を発生することができます。
コンペアマッチで DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

11.3.5 インプットキャプチャによる TPC 出力

TPC 出力は、ITU のコンペアマッチだけではなく、インプットキャプチャによっても可能です。TPCR によって選択された ITU の GRA がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号により TPC 出力を行います。このタイミングを図 11.8 に示します。

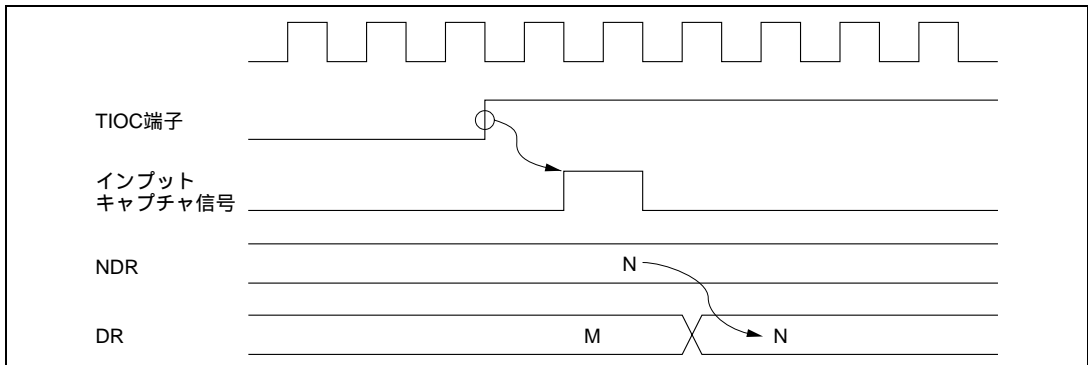


図 11.8 インプットキャプチャによる TPC 出力例

11.4 使用上の注意

11.4.1 TPC 出力端子の動作

TP₀ ~ TP₁₅ は ITU、DMAC、アドレスバスなどの端子と兼用になっています。これらの端子は、ITU、DMAC、アドレスバスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようにになっています。

- (1) コンペアマッチAではNDRの内容を常にDRへ転送します。
- (2) コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 11.9 に示します。

11. プログラマブルタイミングパターンコントローラ (TPC)

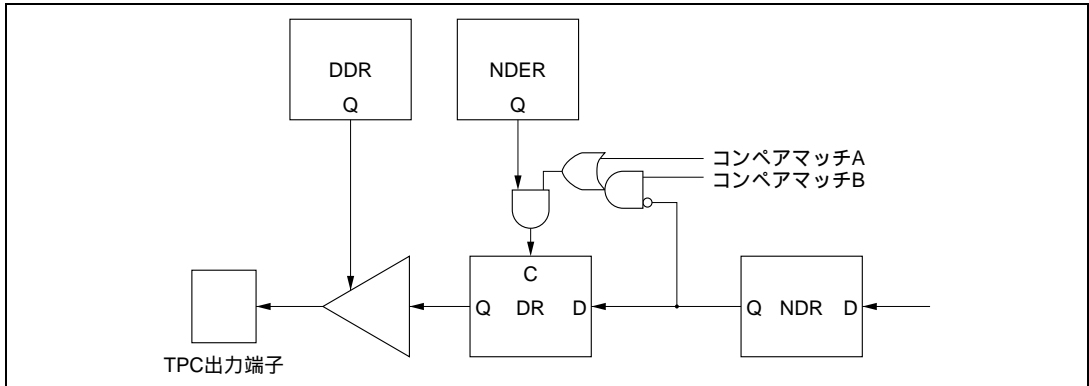


図 11.9 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先だて行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは IMFA 割込みの割込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、IMFA 割込みで DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.10 に示します。

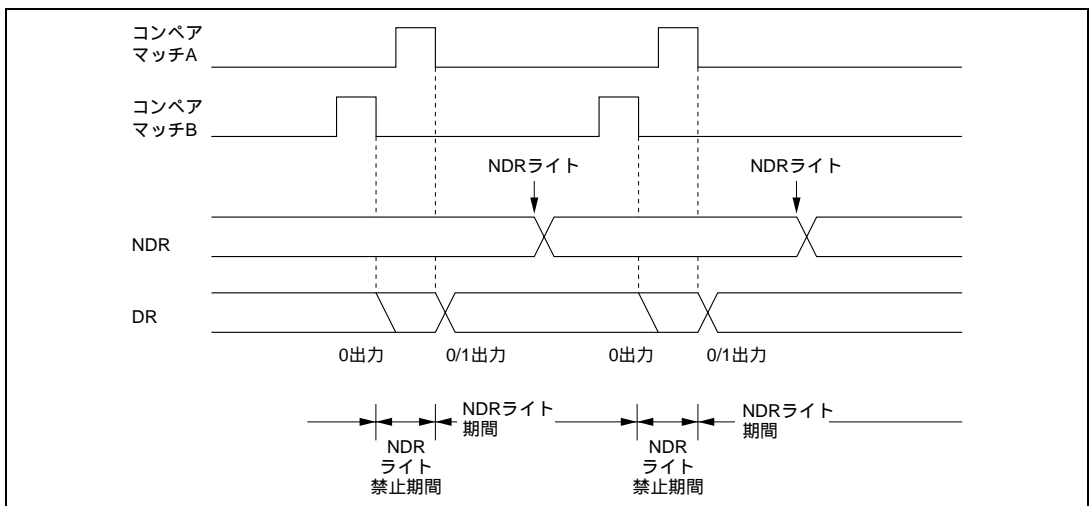


図 11.10 ノンオーバーラップ動作と NDR ライトタイミング

12. ウォッチドッグタイマ

12.1 概要

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ (TCNT) の値が書き換えられずオーバーフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバーフローするごとにインターバルタイマ割込みを発生することができます。

12.1.1 特長

WDT の特長を以下に示します。

- 8 種類のカウンタ入力クロックを選択可能
/ 2、 / 32、 / 64、 / 128、 / 256、 / 512、 / 2048、 / 4096
- インターバルタイマとして使用可能
- TCNT がオーバーフローするとリセット信号または割込みを発生
ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割込みを発生します。
- ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット可能
ウォッチドッグタイマ時に TCNT のオーバーフローによってリセット信号を発生すると、本 LSI 全体は内部リセットされます。
本 LSI では、リセット信号を外部に出力することはできません。

12. ウォッチドッグタイマ

12.1.2 ブロック図

図 12.1 に WDT のブロック図を示します。

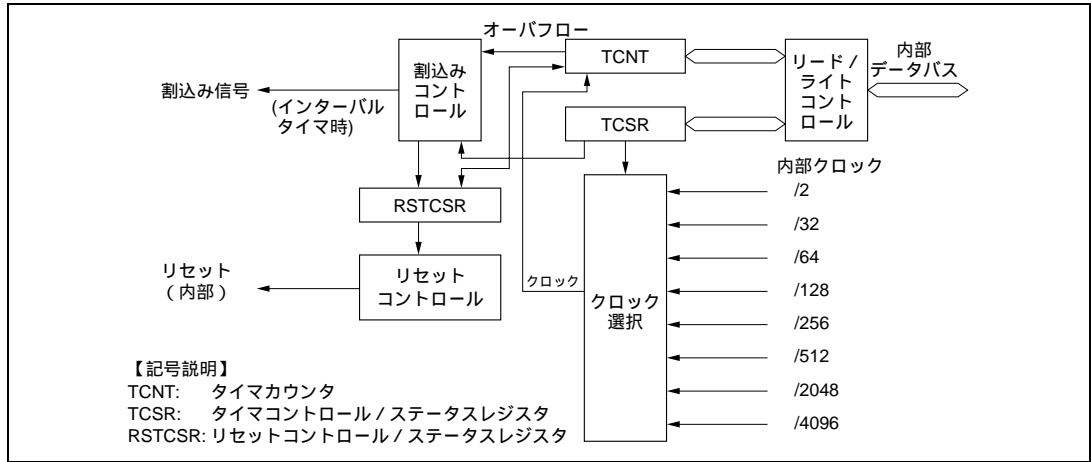


図 12.1 WDT のブロック図

12.1.3 レジスタ構成

表 12.1 に WDT のレジスタ構成を示します。

表 12.1 レジスタ構成

アドレス*1		名称	略称	R/W	初期値
ライト時*2	リード時				
H'FFA8	H'FFA8	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*3	H'18
	H'FFA9	タイマカウンタ	TCNT	R/W	H'00
H'FFAA	H'FFAB	リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)*3	H'3F

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 このアドレスから始まるワードデータとしてライトしてください。
 *3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)

TCNT は、8 ビットのリード/ライト*可能なアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

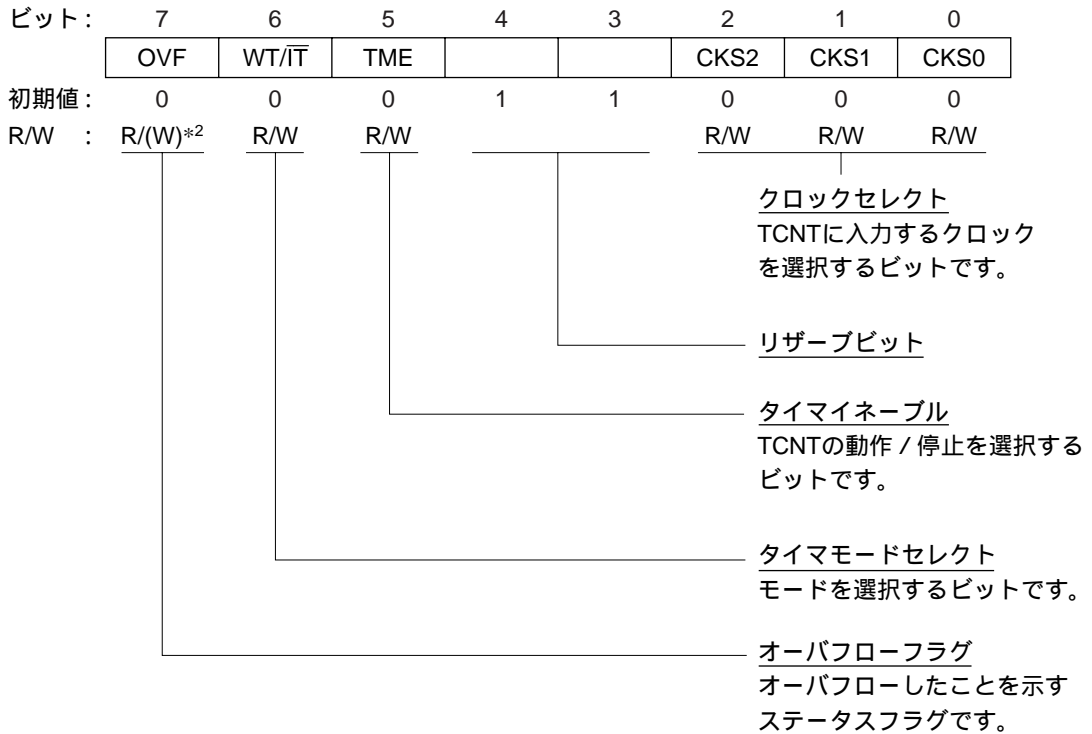
TCSR の TME ビットを 1 にセットすると、TCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー (H'FF H'00) すると、TCSR の OVF フラグが 1 にセットされます。

また、TCNT はリセット、または TME = 0 のとき H'00 にイニシャライズされます。

【注】* TCNT は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、8 ビットのリード/ライト*1可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。



ビット7~5はリセット、またはスタンバイモード時に各ビットとも0にイニシャライズされます。ビット2~0は、リセット時に各ビットとも0にイニシャライズされます。なお、ビット2~0はソフトウェアスタンバイモード時には、イニシャライズされずにソフトウェアスタンバイモードに移る直前の値を保持します。

【注】*1 TCSR は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

*2 フラグをクリアするための0ライトのみ可能です。

ビット7：オーバフローフラグ（OVF）

TCNT がオーバフロー（H'FF H'00）したことを示すステータスフラグです。

ビット7	説明
OVF	
0	〔クリア条件〕 OVF=1の状態、OVFフラグをリード後、OVFフラグに0をライトしたとき (初期値)
1	〔セット条件〕 TCNTがH'FF H'00に変化したとき

ビット6：タイマモードセレクト（WT/ \bar{IT} ）

WDTをウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時はTCNTのオーバフローでインターバルタイマ割込み要求を発生します。また、ウォッチドッグタイマ時はTCNTのオーバフローでリセット信号を発生します。

ビット6	説明
WT/ \bar{IT}	
0	インターバルタイマを選択：インターバルタイマ割込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット5：タイマイネーブル（TME）

TCNTの動作/停止を選択します。WT/ \bar{IT} =1の場合、SYSCRのソフトウェアスタンバイビット（SSBY）を0にクリアしてからTMEを1にセットしてください。また、SSBYを1にセットするときはTMEを0にクリアしてください。

ビット5	説明
TME	
0	TCNTをH'00にイニシャライズし、カウント動作は停止 (初期値)
1	TCNTはカウント動作、CPUへの割込み要求を許可

ビット4、3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

12. ウォッチドッグタイマ

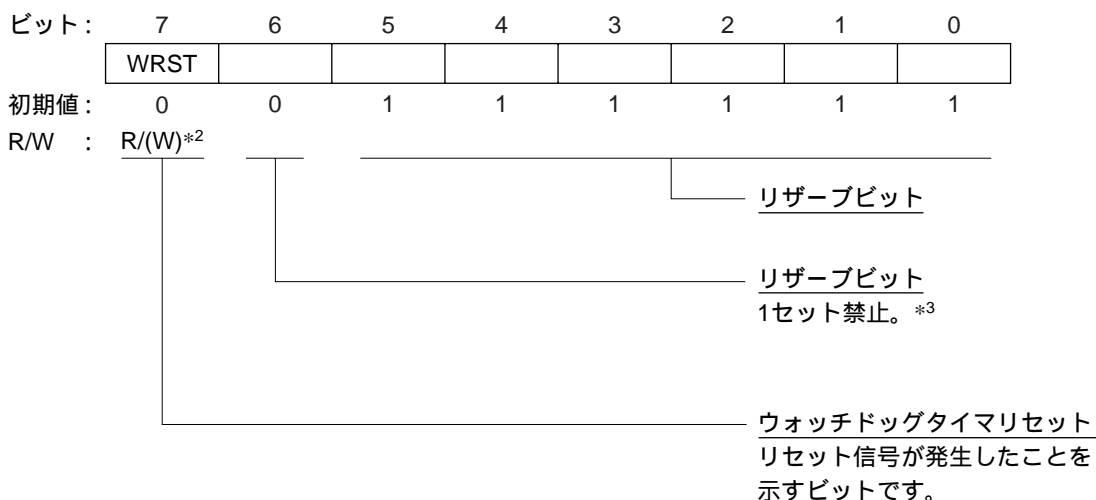
ビット2~0: クロックセレクト2~0 (CKS2~0)

システムクロック () を分周して得られる8種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	/ 2 (初期値)
		1	/ 32
	1	0	/ 64
		1	/ 128
1	0	0	/ 256
		1	/ 512
	1	0	/ 2048
		1	/ 4096

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は8ビットのリード/ライト*1可能なレジスタで、ウォッチドッグタイマのオーバフローによるリセット信号の発生状態をモニタします。



ビット7は、 $\overline{\text{RES}}$ 端子によるリセット信号でイニシャライズされます。ウォッチドッグタイマのオーバフローによるリセット信号ではイニシャライズされません。

- 【注】 *1 RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。
 *2 ビット7は、フラグをクリアするための0ライトのみ可能です。
 *3 ビット6は、1をセットしないでください。

ビット7：ウォッチドッグタイマリセット（WRST）

ウォッチドッグタイマ時に TCNT がオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。

ビット7	説明
WRST	
0	〔クリア条件〕 (初期値) (1) RES 端子によるリセット信号 (2) WRST=1 の状態で、WRST フラグをリード後 0 をライトしたとき
1	〔セット条件〕 ウォッチドッグタイマ時に、TCNT がオーバーフローし、リセット信号が発生したとき

ビット6：リザーブビット

リザーブビットです。1 をセットしないでください。

ビット5~0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

12.2.4 レジスタ書き換え時の注意

WDT の TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図 12.2 に TCNT、TCSR へのライトデータを示します。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A (TCNT のとき) または H'A5 (TCSR のとき) にしてワード転送を行います。

これにより、下位バイトのデータが TCNT、または TCSR へライトされます。

<TCNTライト時>	15	8 7	0
アドレス H'FFA8*	H'5A		ライトデータ
<TCSRライト時>	15	8 7	0
アドレス H'FFA8*	H'A5		ライトデータ
【注】* アドレスの下位16ビットを示しています。			

図 12.2 TCNT、TCSR へのライトデータ

12. ウォッチドッグタイマ

(2) RSTCSR へのライト

RSTCSR ヘライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図 12.3 に RSTCSR のライトデータを示します。

WRST ビットへ 0 をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ (H'00) が RSTCSR の WRST ビットへライトされ、WRST ビットが 0 にクリアされます。

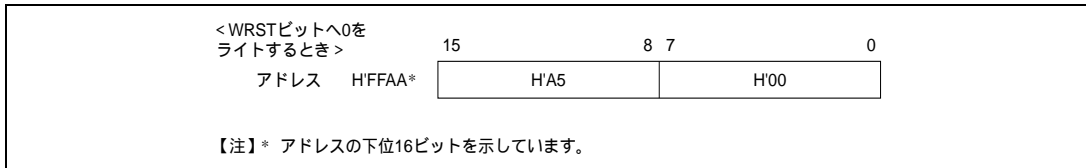


図 12.3 RSTCSR へのライトデータ

(3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFA8 に TCSR、H'FFA9 に TCNT、H'FFAB に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表 12.2 に TCNT、TCSR、RSTCSR のリードを示します。

表 12.2 TCNT、TCSR、RSTCSR のリード

アドレス*	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT
H'FFAB	RSTCSR

【注】 * アドレスの下位 16 ビットを示しています。

12.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

12.3.1 ウォッチドッグタイマ時の動作

図 12.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の WT/IT ビット、TME ビットをそれぞれ 1 にセットします。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセットと $\overline{\text{RES}}$ 端子によるリセットは、同一ベクタです。そのため、 $\overline{\text{RES}}$ 端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、 $\overline{\text{RES}}$ 端子によるリセットと WDT のオーバーフローによるリセットが同時に発生した場合は $\overline{\text{RES}}$ 端子によるリセットが優先されます。

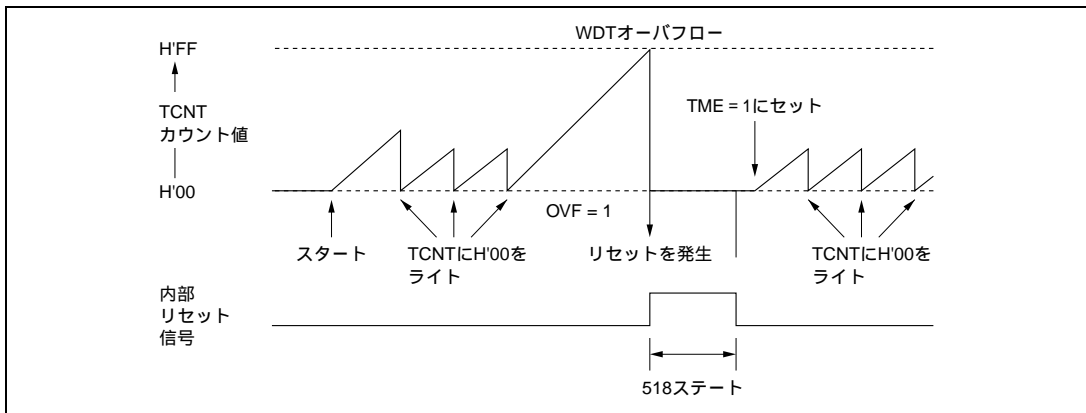


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマ時の動作

図 12.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT/\overline{IT} ビットを 0 にクリアし、TME ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとに、インターバルタイマ割込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割込みを発生させることができます。

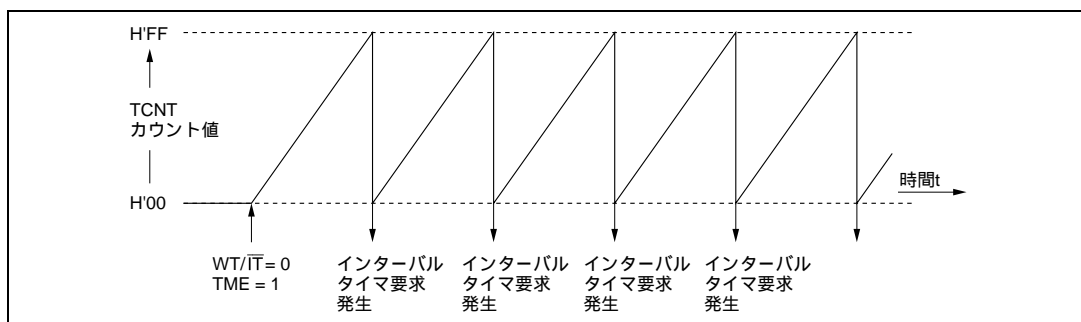


図 12.5 インターバルタイマ時の動作

12.3.3 オーバフローフラグ (OVF) セットタイミング

図 12.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割込みが発生します。

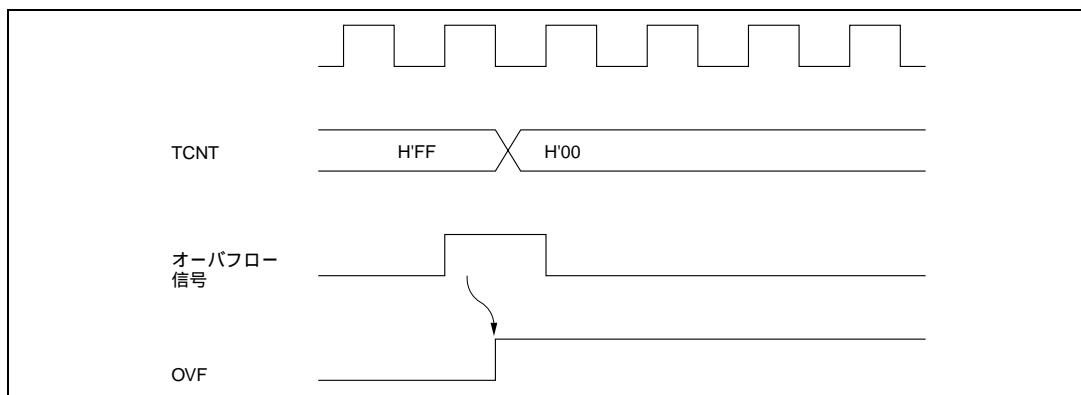


図 12.6 OVF フラグのセットタイミング

12.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSR の WRST ビットは、TCSR の WT/\overline{IT} ビット、TME ビットをそれぞれ 1 にセットしたとき有効になります。

図 12.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバーフローして、OVF フラグが 1 にセットされたとき、WRST ビットは 1 にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは 0 にクリアされますが、WRST ビットは 1 にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

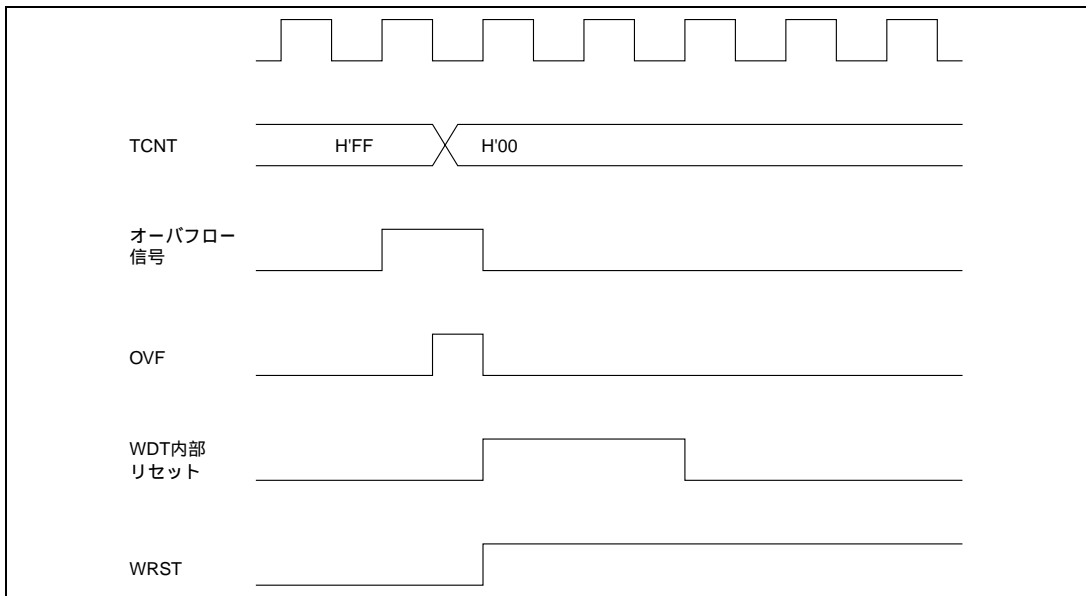


図 12.7 WRST ビットのセットおよび内部リセットタイミング

12.4 割込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割込み (WOVI) を発生します。インターバルタイマ割込みは TCSR の OVF フラグが 1 にセットされると常に要求されます。

12.5 使用上の注意

(1) TCNT のライトとカウントアップの競合

図 12.8 に TCNT のライトとカウントアップの競合を示します。

TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

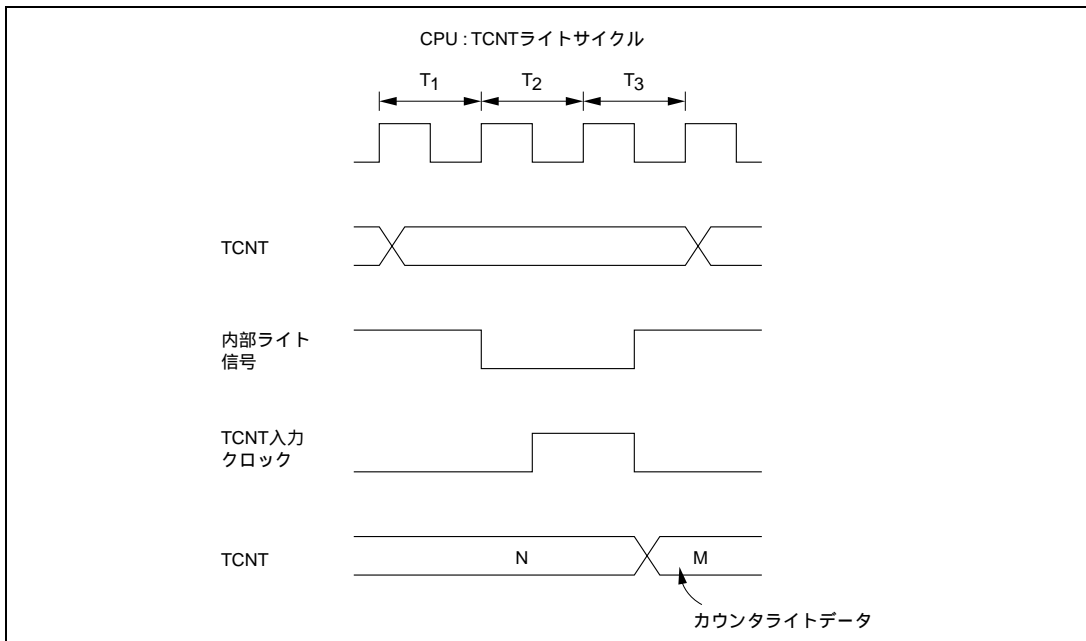


図 12.8 TCNT のライトとカウントアップの競合

(2) CKS2 ~ CKS0 ビットの切り換え

CKS2 ~ CKS0 ビットを切り換えるときは、TCSR の TME ビットを 0 にクリアし、TCNT を停止させてから行ってください。

13. シリアルコミュニケーションインタフェース

13.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。2 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

消費電流低減のため SCI を使用しない場合には、SCI 各チャンネル単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

また、SCI0 については“ISO/IEC7816 - 3 (Identification Card)” に準拠した IC カードインタフェース用シリアル通信機能としてスマートカードインタフェースをサポートしています。詳しくは「第 14 章 スマートカードインタフェース」を参照してください。

13.1.1 特長

SCI の特長を以下に示します。

- シリアル通信モードを調歩同期式モード/クロック同期式モードから選択可能
 - － 調歩同期式モード
 - キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。
また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。
シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。
 - データ長 : 7 ビット / 8 ビット
 - ストップビット長 : 1 ビット / 2 ビット
 - パリティ : 偶数パリティ / 奇数パリティ / パリティなし
 - マルチプロセッサビット : 1 / 0
 - 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出
 - ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。
 - － クロック同期式モード
 - クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。
シリアルデータ通信フォーマットは 1 種類です。
 - データ長 : 8 ビット
 - 受信エラーの検出 : オーバランエラーを検出

13. シリアルコミュニケーションインタフェース

- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能
- 4 種類の割り込み要因
送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、SCI0については送信データエンプティ割り込みと受信データフル割り込みによりDMAコントローラ（DMAC）を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

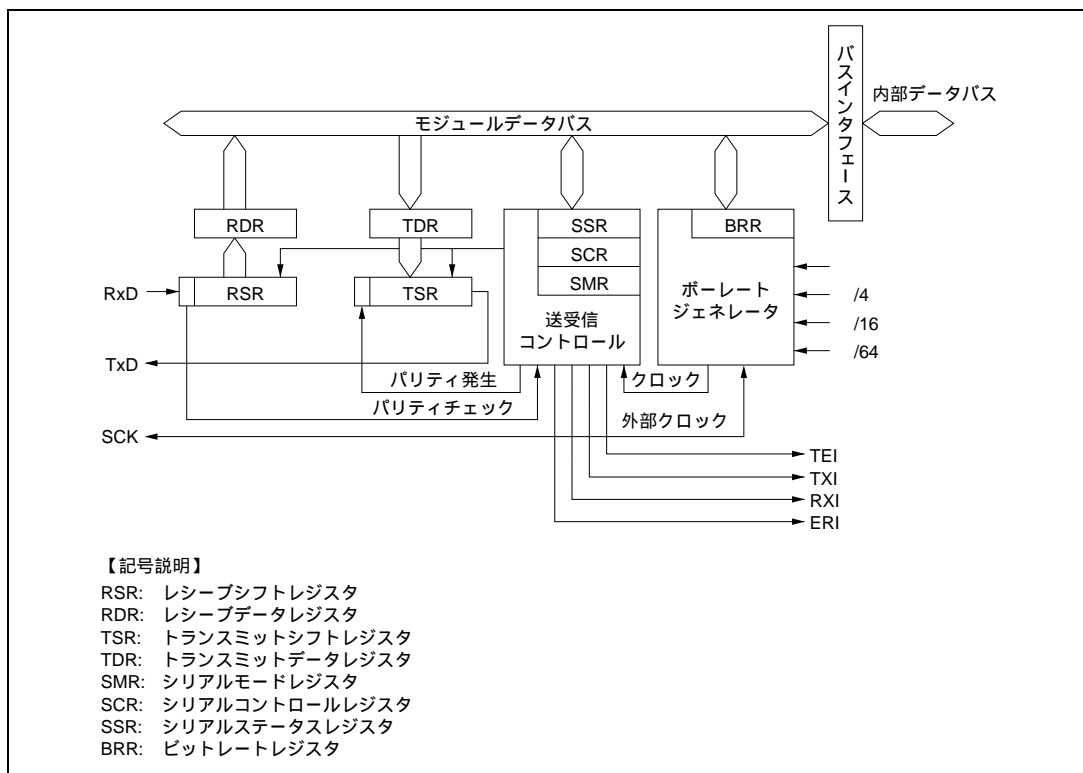


図 13.1 SCI のブロック図

13.1.3 端子構成

SCIは、チャンネルごとに表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK ₀	入出力	SCI ₀ のクロック入出力
	レシーブデータ端子	RxD ₀	入力	SCI ₀ の受信データ入力
	トランスミットデータ端子	TxD ₀	出力	SCI ₀ の送信データ出力
1	シリアルクロック端子	SCK ₁	入出力	SCI ₁ のクロック入出力
	レシーブデータ端子	RxD ₁	入力	SCI ₁ の受信データ入力
	トランスミットデータ端子	TxD ₁	出力	SCI ₁ の送信データ出力

13.1.4 レジスタ構成

SCIには、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 13.2 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
0	H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFB5	レシーブデータレジスタ	RDR	R	H'00
1	H'FFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBC	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFBD	レシーブデータレジスタ	RDR	R	H'00

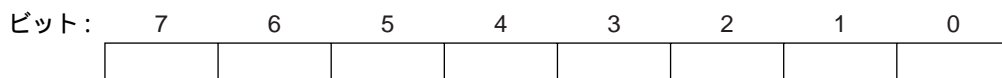
【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

RSR は、シリアルデータを受信するためのレジスタです。



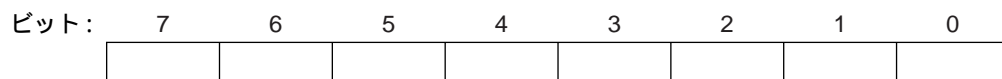
R/W : — — — — — — — —

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

RDR は、受信したシリアルデータを格納するレジスタです。



初期値: 0 0 0 0 0 0 0 0

R/W : R R R R R R R R

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

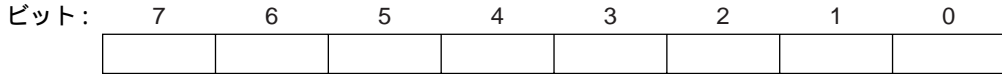
このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

13.2.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのレジスタです。



R/W :

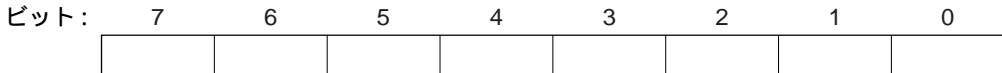
SCI は、TDR から送信データを一旦 TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。



初期値: 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

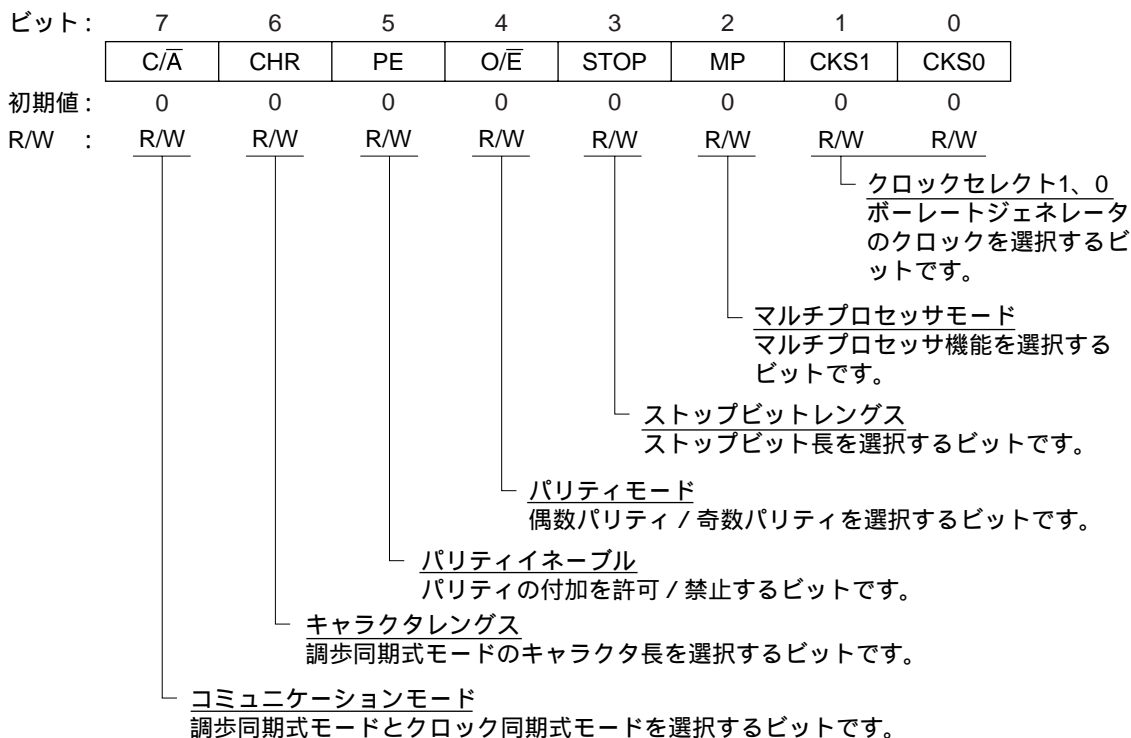
SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておく、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF にイニシャライズされます。

13.2.5 シリアルモードレジスタ (SMR)

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。



SMR は、常に CPU によるリード / ライトが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード / クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6：キャラクタレングス（CHR）

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。

ビット5：パリティイネーブル（PE）

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ/奇数パリティのいずれで行うかを選択します。O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

13. シリアルコミュニケーションインタフェース

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明	
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明	
MP		
0	マルチプロセッサ機能の禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット1、0：クロックセレクト1、0（CKS1、0）

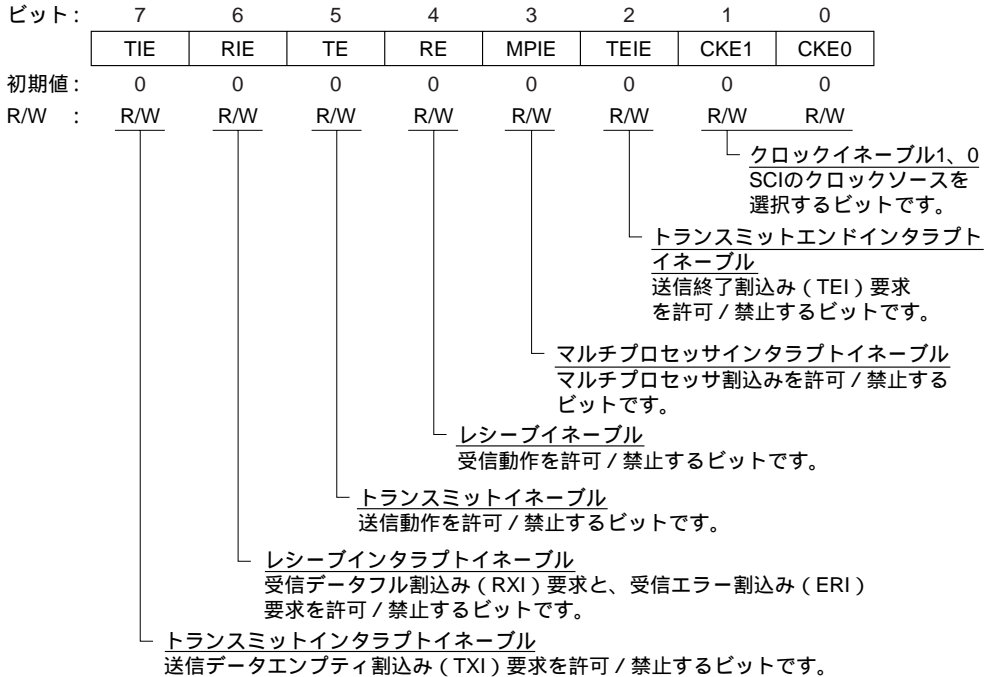
内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、0ビットの設定により、 $\div 4$ 、 $\div 16$ 、 $\div 64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「13.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	クロック	(初期値)
	1	$\div 4$ クロック	
1	0	$\div 16$ クロック	
	1	$\div 64$ クロック	

13.2.6 シリアルコントロールレジスタ (SCR)

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。



SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット7: トランスミットインタラプトイネーブル (TIE)

TDR から TSR へシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明	
TIE		
0	送信データエンpty割り込み (TXI) 要求の禁止*	(初期値)
1	送信データエンpty割り込み (TXI) 要求の許可	

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

13. シリアルコミュニケーションインタフェース

ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を禁止* (初期値)
1	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を許可

【注】 * RXI、および ERI 割込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をロードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *¹ SSR の TDRE フラグは 1 に固定されます。
*² この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。
*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割込みを許可／禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割込み禁止状態（通常の受信動作をします） 〔クリア条件〕 （1）MPIE ビットを 0 にクリア （2）MPB=1 のデータを受信したとき (初期値)
1	マルチプロセッサ割込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割込み（RXI）要求、受信エラー割込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】* RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割込み要求の発生（SCR の TIE、RIE ビットが 1 にセットされている場合）と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

送信キャラクタの最後尾ビットの送出時に有効な送信データが TDR がないとき、送信終了割込み（TEI）要求の発生を許可／禁止します。

ビット2	説明
TEIE	
0	送信終了割込み（TEI）要求を禁止* (初期値)
1	送信終了割込み（TEI）要求を許可*

【注】* TEI 割込み要求の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

13. シリアルコミュニケーションインタフェース

ビット 1、0 : クロックイネーブル 1、0 (CKE1、0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを設定する前に CKE1、CKE0 ビットを設定してください。

SCI のクロックソースの選択についての詳細は「13.3 動作説明」の表 13.9 を参照してください。

ビット 1	ビット 0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート*1
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*1
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ
 送信時のマルチプロセッサビットの値を設定するビットです。

マルチプロセッサビット
 受信したマルチプロセッサビットを格納するビットです。

トランスミットエンド
 送信終了を示すステータスフラグです。

パリティエラー
 受信時にパリティエラーを検出したことを示すステータスフラグです。

フレーミングエラー
 受信時にフレーミングエラーを検出したことを示すステータスフラグです。

オーバランエラー
 受信時にオーバランエラーを検出したことを示すステータスフラグです。

レシーブデータレジスタフル
 受信を完了しRDRにデータが格納されていることを示すステータスフラグです。

トランスミットデータレジスタエンpty
 TDRからTSRに送信データが転送されTDRにデータをライトすることが可能であることを示すステータスフラグです。

【注】 * フラグをクリアするための0ライトのみ可能です。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグ、およびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、またはスタンバイモード時にH'84にイニシャライズされます。

13. シリアルコミュニケーションインタフェース

ビット7：トランスミットデータレジスタエンプティ (TDRE)

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR に有効な送信データがライトされていることを表示 〔クリア条件〕 (1) TDRE = 1 の状態をリードした後、0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	TDR に有効な送信データがないことを表示 (初期値) 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータライトが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR に受信データが格納されていないことを表示 (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態をリードした後、0 をライトしたとき (3) DMAC で RDR のデータをリードしたとき
1	RDR に受信データが格納されていることを表示 〔セット条件〕 シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) ORER=1の状態をリードした後、0をライトしたとき (初期値)* ¹
1	受信時にオーバランエラーが発生したことを表示* ² 〔セット条件〕 RDRF=1の状態でのシリアル受信を完了したとき

【注】 *1 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。

*2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー（FER）

調歩同期モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) FER=1の状態をリードした後、0をライトしたとき (初期値)* ¹
1	受信時にフレーミングエラーが発生したことを表示 〔セット条件〕 SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期モードでは、シリアル送信も続けることができません。

13. シリアルコミュニケーションインタフェース

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) PER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生したことを表示* ² 〔セット条件〕 受信時の受信データとパリティビットをあわせた1の数が、SMRのO \bar{E} ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 〔クリア条件〕 (1) TDRE = 1 の状態をリードした後、TDREフラグに0をライトしたとき (2) DMACでTDRヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが0のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき

ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットでRE ビットを0にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

13.2.8 ビットレートレジスタ（BRR）

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF にイニシャライズされます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

13. シリアルコミュニケーションインタフェース

表 13.3 ビットレートに対する BRR の設定例 (調歩同期モード)

(MHz) ビット レート (bit/s)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00	-	-	-

(MHz) ビット レート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

13. シリアルコミュニケーションインタフェース

(MHz) ビット レート (bit/s)	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	- 6.99

(MHz) ビット レート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

13. シリアルコミュニケーションインタフェース

ビット レート (bit/s)	13			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	230	-0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	168	0.16	2	181	0.16	2	191	0.00	2	207	0.16
300	2	84	-0.43	2	90	0.16	2	95	0.00	2	103	0.16
600	1	168	0.16	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	84	-0.43	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	168	0.16	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	84	-0.43	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	41	0.76	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	20	0.76	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	12	0.00	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	10	-3.82	0	10	3.57	0	11	0.00	0	12	0.16

ビット レート (bit/s)	18			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	88	-0.25	3	110	-0.02
150	2	233	0.16	3	64	0.16	3	80	-0.47
300	2	116	0.16	2	129	0.16	2	162	0.15
600	1	233	0.16	2	64	0.16	2	80	-0.47
1200	1	116	0.16	1	129	0.16	1	162	0.15
2400	0	233	0.16	1	64	0.16	1	80	-0.47
4800	0	116	0.16	0	129	0.16	0	162	0.15
9600	0	58	-0.69	0	64	0.16	0	80	-0.47
19200	0	28	1.02	0	32	-1.36	0	40	-0.76
31250	0	17	0.00	0	19	0.00	0	24	0.00
38400	0	14	-2.34	0	15	1.73	0	19	1.73

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	2		4		8		10		13		16		18		20		25	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	202	3	249	-	-	-	-	-	-
500	1	249	2	124	2	249	-	-	3	101	3	124	3	140	3	155	-	-
1k	1	124	1	249	2	124	-	-	2	202	2	249	3	69	3	77	3	97
2.5k	0	199	1	99	1	199	1	249	2	80	2	99	2	112	2	124	2	155
5k	0	99	0	199	1	99	1	124	1	162	1	199	1	224	1	249	2	77
10k	0	49	0	99	0	199	0	249	1	80	1	99	1	112	1	124	1	155
25k	0	19	0	39	0	79	0	99	0	129	0	159	0	179	0	199	0	249
50k	0	9	0	19	0	39	0	49	0	64	0	79	0	89	0	99	0	124
100k	0	4	0	9	0	19	0	24	-	-	0	39	0	44	0	49	0	62
250k	0	1	0	3	0	7	0	9	0	12	0	15	0	17	0	19	0	24
500k	0	0*	0	1	0	3	0	4	-	-	0	7	0	8	0	9	-	-
1M			0	0*	0	1	-	-	-	-	0	3	0	4	0	4	-	-
2M					0	0*	-	-	-	-	0	1	-	-	-	-	-	-
2.5M					-	-	0	0*	-	-	-	-	-	-	-	-	-	-
4M											0	0*	-	-	-	-	-	-

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄：設定できません。

-：設定可能ですが誤差がでます。

*：連続送信 / 受信はできません。

13. シリアルコミュニケーションインタフェース

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\text{動作周波数}}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\text{クロック周波数}}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 N 255)

: 動作周波数 (MHz)

n : ポーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/ 4		1
2	/ 16	1	0
3	/ 64		1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{動作周波数} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 13.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6～表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 各周波数における最大ビットレート〔調歩同期式モード〕

(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
20	625000	0	0
25	781250	0	0

13. シリアルコミュニケーションインタフェース

表 13.6 外部クロック入力時の最大ビットレート〔調歩同期式モード〕

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
20	5.0000	312500
25	6.2500	390625

表 13.7 外部クロック入力時の最大ビットレート〔クロック同期式モード〕

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよび SCR の $CKE1$ 、 $CKE0$ ビットの組み合わせで決まります。これを表 13.9 に示します。

(1) 調歩同期式モード

- データ長：7 ビット / 8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能（これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信 / 受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：
内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

13. シリアルコミュニケーションインタフェース

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット		
				1					2ビット		
			1	0					あり	1ビット	
				1					2ビット		
			1	0					なし	1ビット	
				1					あり	1ビット	
	1	0	1	-		0	調歩同期式 モード (マルチプロセッサフォーマット)	8ビット データ	あり	なし	1ビット
				-		1					2ビット
				-		0					1ビット
		1		-		1		7ビット データ			2ビット
				-		0		なし			1ビット
				-		1		あり			1ビット
1	-	-	-	-	クロック同期式 モード	8ビット データ	なし	なし	なし		

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
	ビット 7	ビット 1		ビット 0	クロックソース
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック 同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立下がりエッジで同期化を行います。

また SCI は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

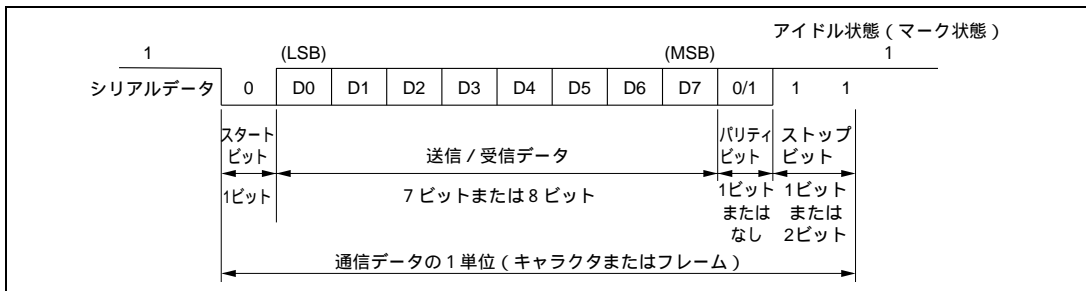


図 13.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。

送信 / 受信フォーマットは 12 種類あり、SMR の設定により選択できます。

13. シリアルコミュニケーションインタフェース

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S [8ビットデータ] STOP											
			1	S [8ビットデータ] STOP								STOP	STOP		
	1		0	S [8ビットデータ]								P	STOP		
			1	S [8ビットデータ]								P	STOP	STOP	
1	0		0	S [7ビットデータ]							STOP				
			1	S [7ビットデータ]							STOP	STOP			
	1		0	S [7ビットデータ]							P	STOP			
			1	S [7ビットデータ]							P	STOP	STOP		
0	-	1	0	S [8ビットデータ]								MPB	STOP		
			1	S [8ビットデータ]								MPB	STOP	STOP	
1	0		S [7ビットデータ]							MPB	STOP				
	1		S [7ビットデータ]							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCI の送受信クロックは、SMR の C/A ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 13.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 13.3 に示すように送信データの中央にクロック立上がりエッジがくるようになります。

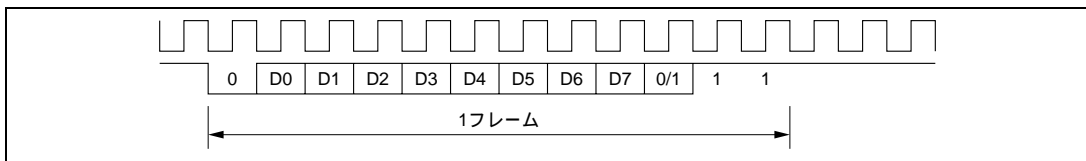


図 13.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信 / 受信動作

(a) SCI のイニシャライズ（調歩同期式）

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI をイニシャライズしてください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR がイニシャライズされます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグおよび、RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

図 13.4 に SCI のイニシャライズフローチャートの例を示します。

13. シリアルコミュニケーションインタフェース

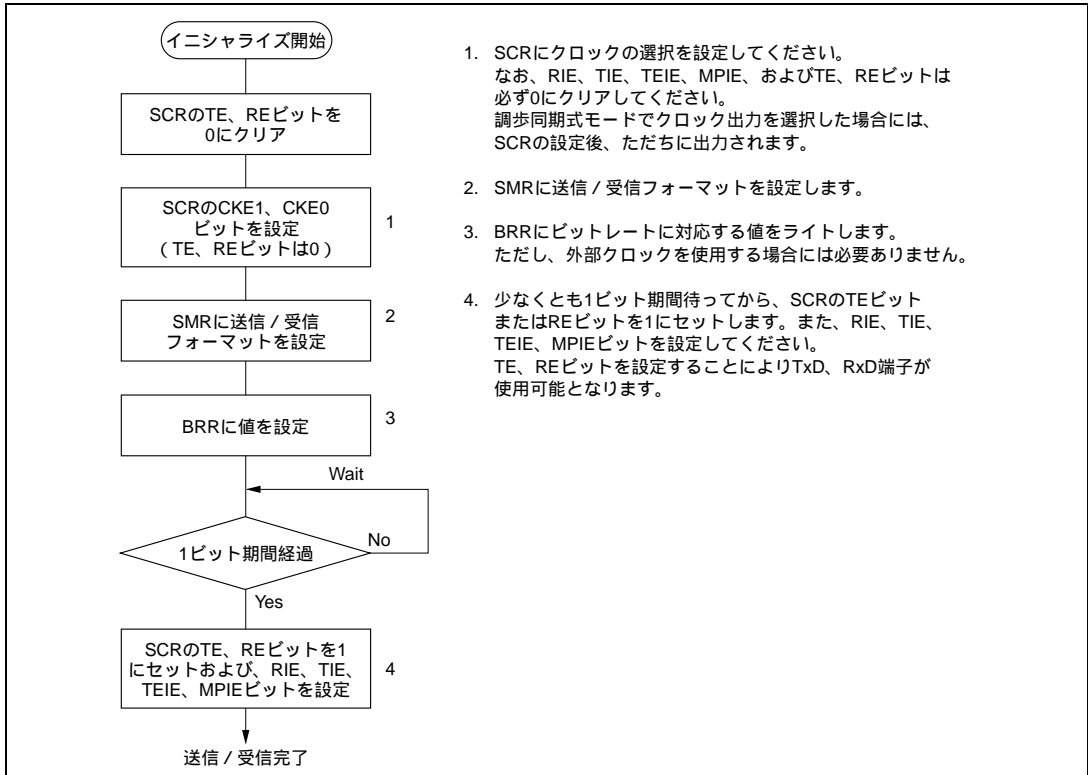


図 13.4 SCI のイニシャライズフローチャートの例

(b) シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

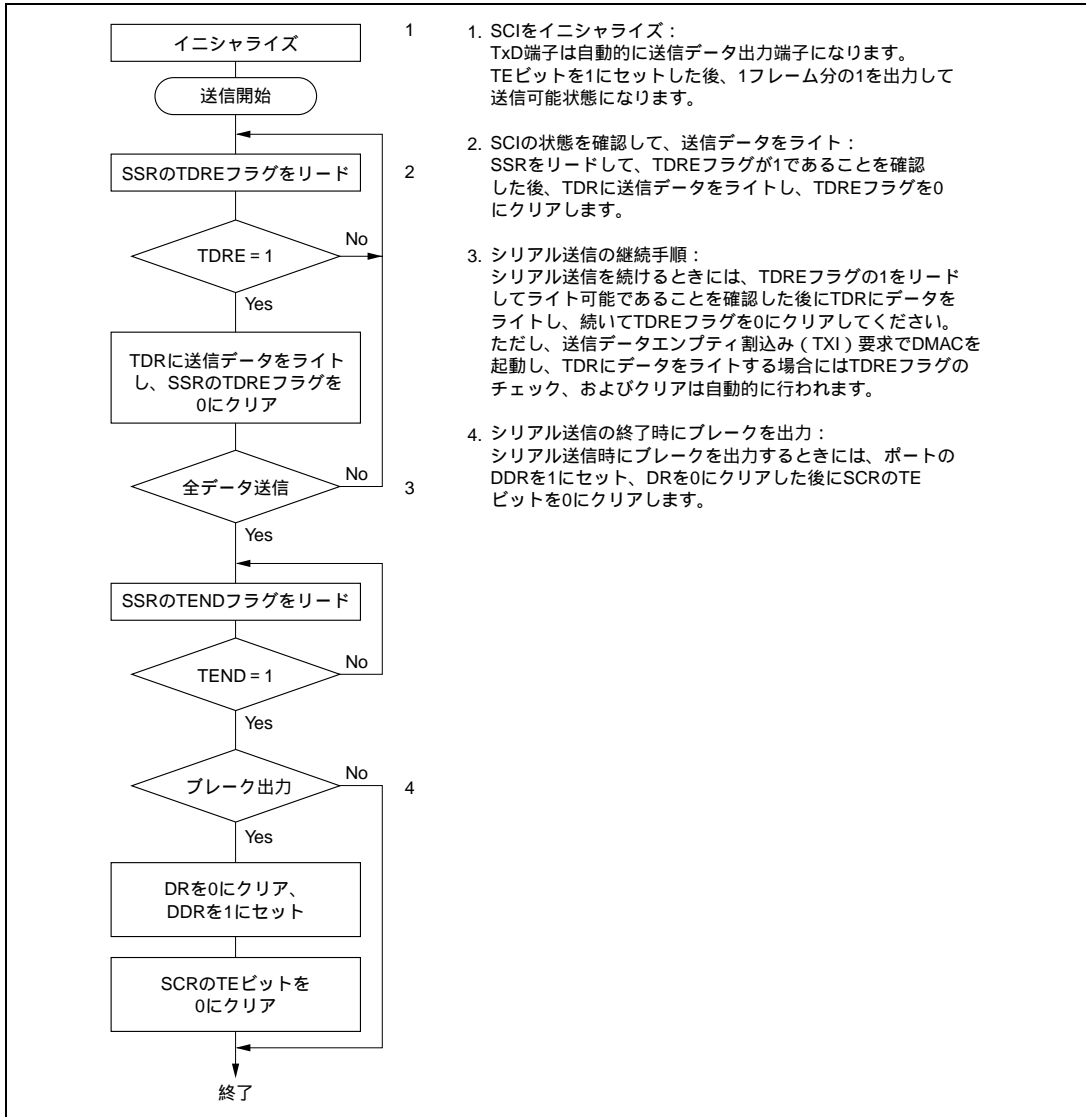


図 13.5 シリアル送信のフローチャートの例

13. シリアルコミュニケーションインタフェース

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンpty割込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビット/2ビットの1（ストップビット）が出力されます。
 - (e) マーク（またはアイドル）状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する“マーク状態”になります。このときSCRのTEIEビットが1にセットされているとTEI割込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

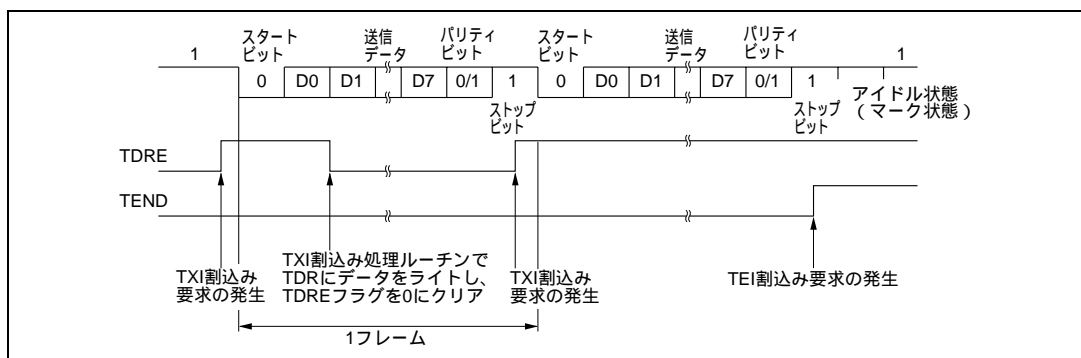
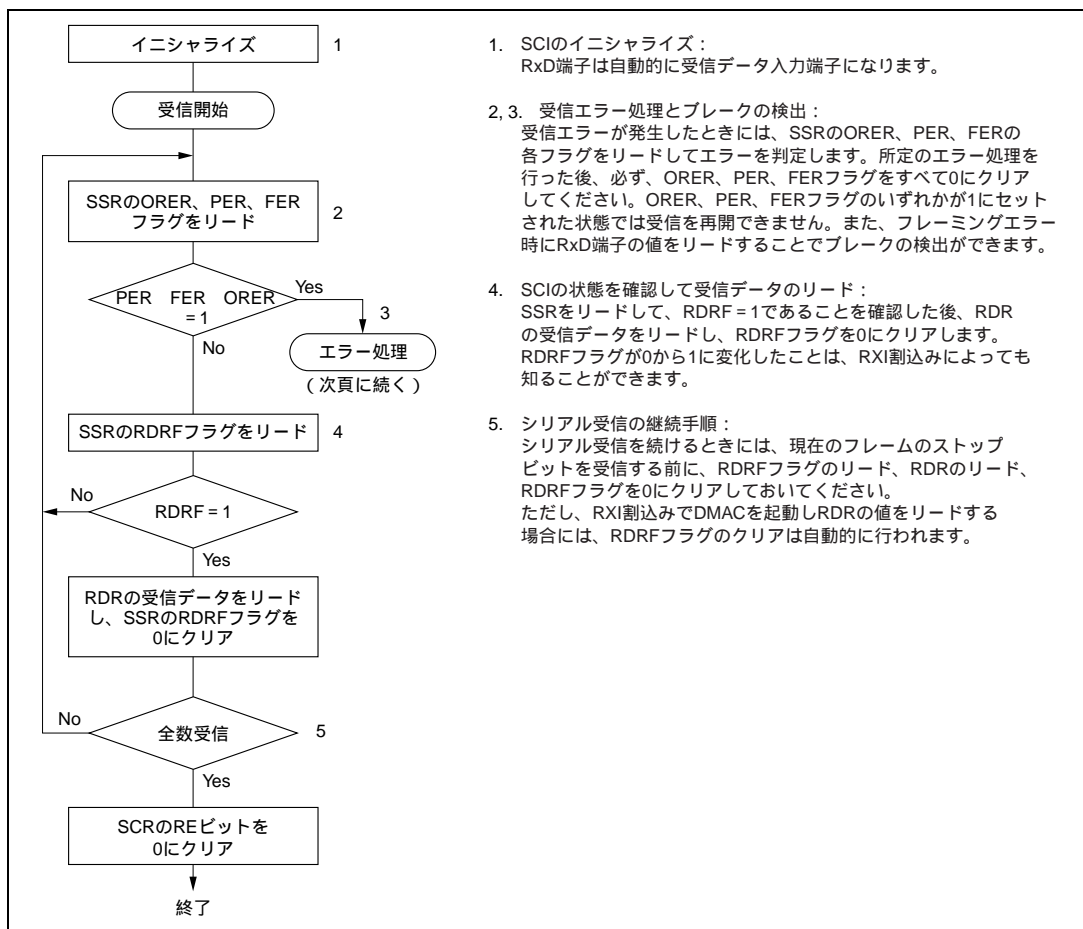


図 13.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信（調歩同期式）

図 13.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。



1. SCIのイニシャライズ：
RxD端子は自動的に受信データ入力端子になります。
- 2, 3. 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて0にクリアしてください。ORER、PER、FERフラグのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。
4. SCIの状態を確認して受信データのリード：
SSRをリードして、RDRF = 1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割込みによっても知ることができます。
5. シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを0にクリアしておいてください。ただし、RXI割込みでDMACを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

図 13.7 シリアル受信データフローチャートの例（1）

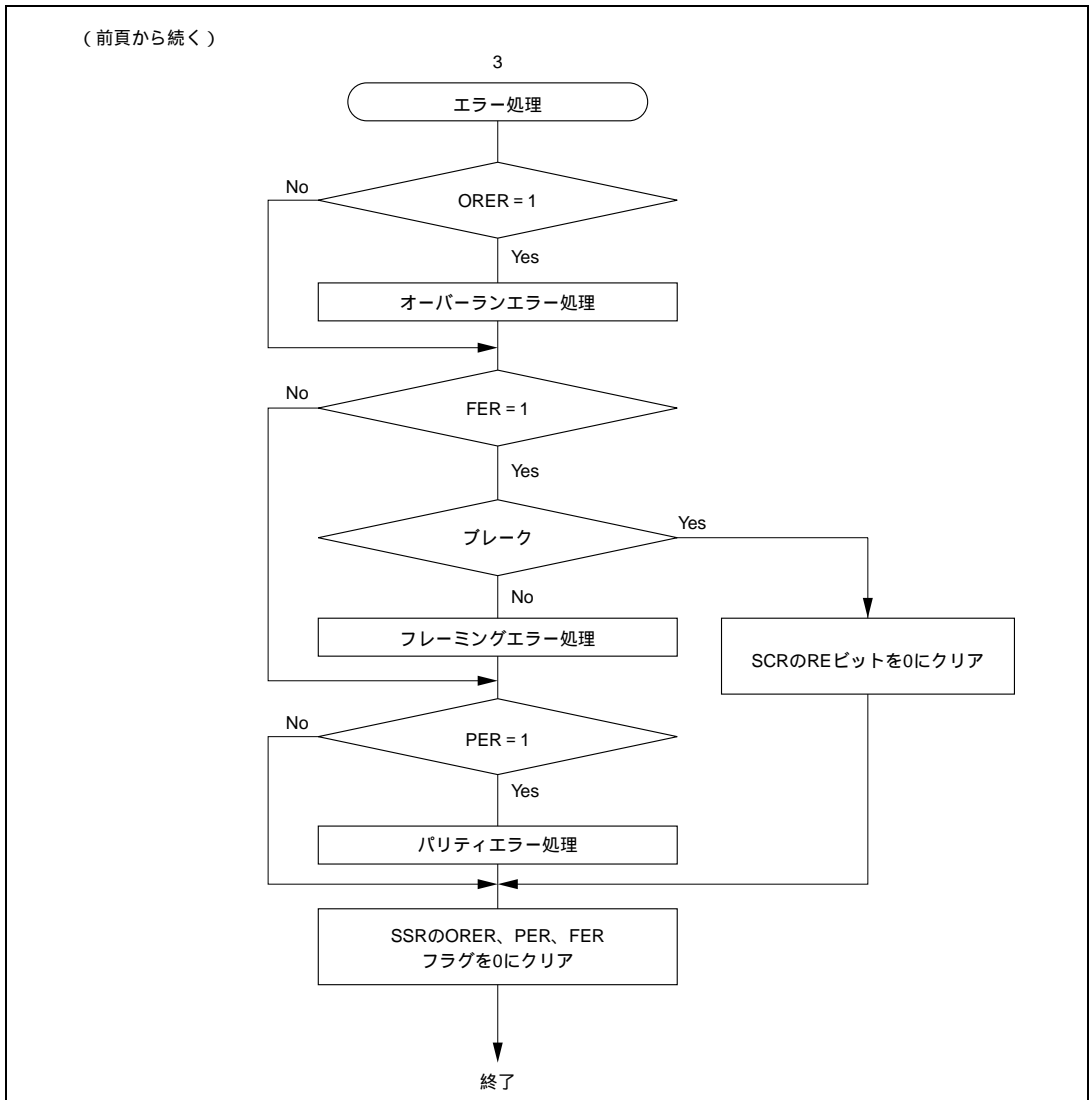


図 13.7 シリアル受信データフローチャートの例(2)

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがSMRのO \bar{E} ビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが1にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー*を発生すると表 13.11 のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

- (4) RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割込み (ERI) 要求を発生します。

表 13.11 受信エラーと発生条件

受信エラー名	略 称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データは転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データは転送されます。

13. シリアルコミュニケーションインタフェース

調歩同期式モード受信時の動作例を図 13.8 に示します。

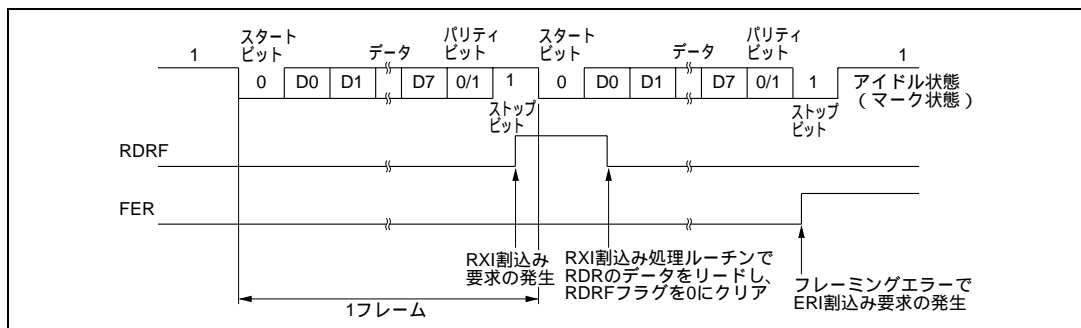


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 13.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

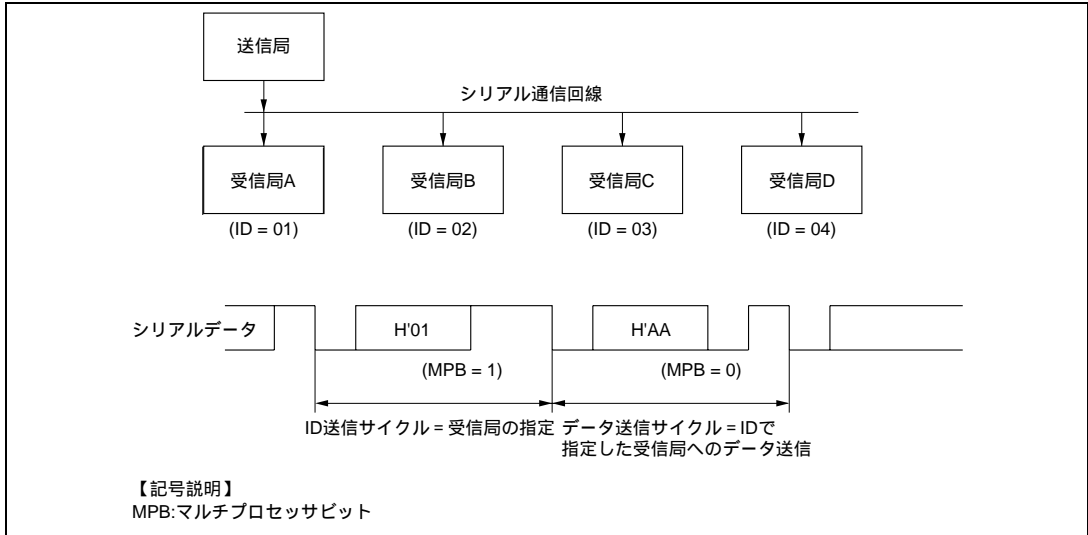


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

13. シリアルコミュニケーションインタフェース

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

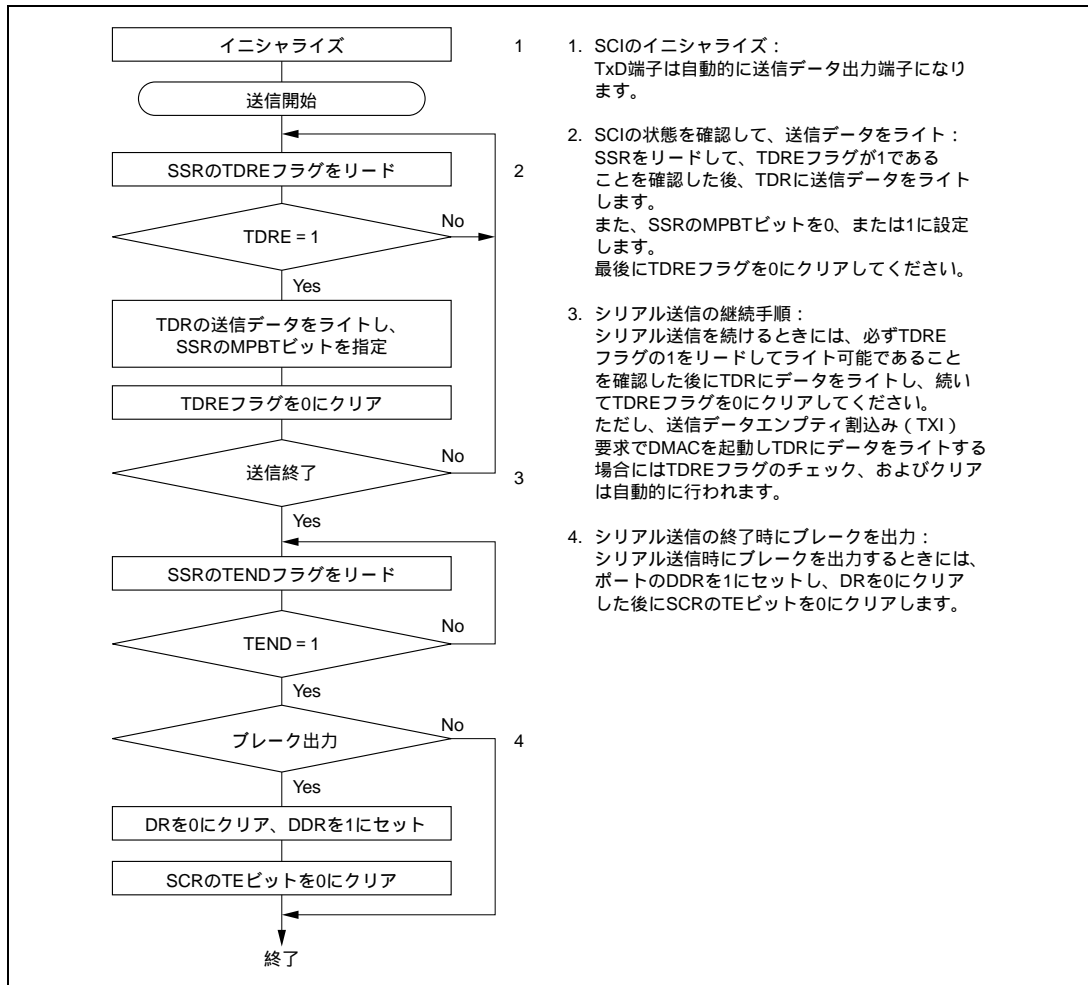


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット / 7ビットのデータがLSBから順に出力されます。
- (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
- (d) ストップビット：1ビット / 2ビットの1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割込み (TEI) 要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

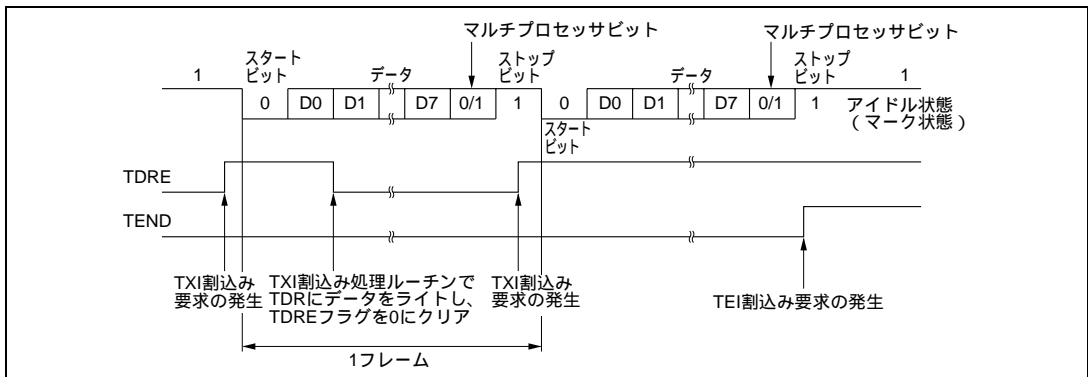


図 13.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

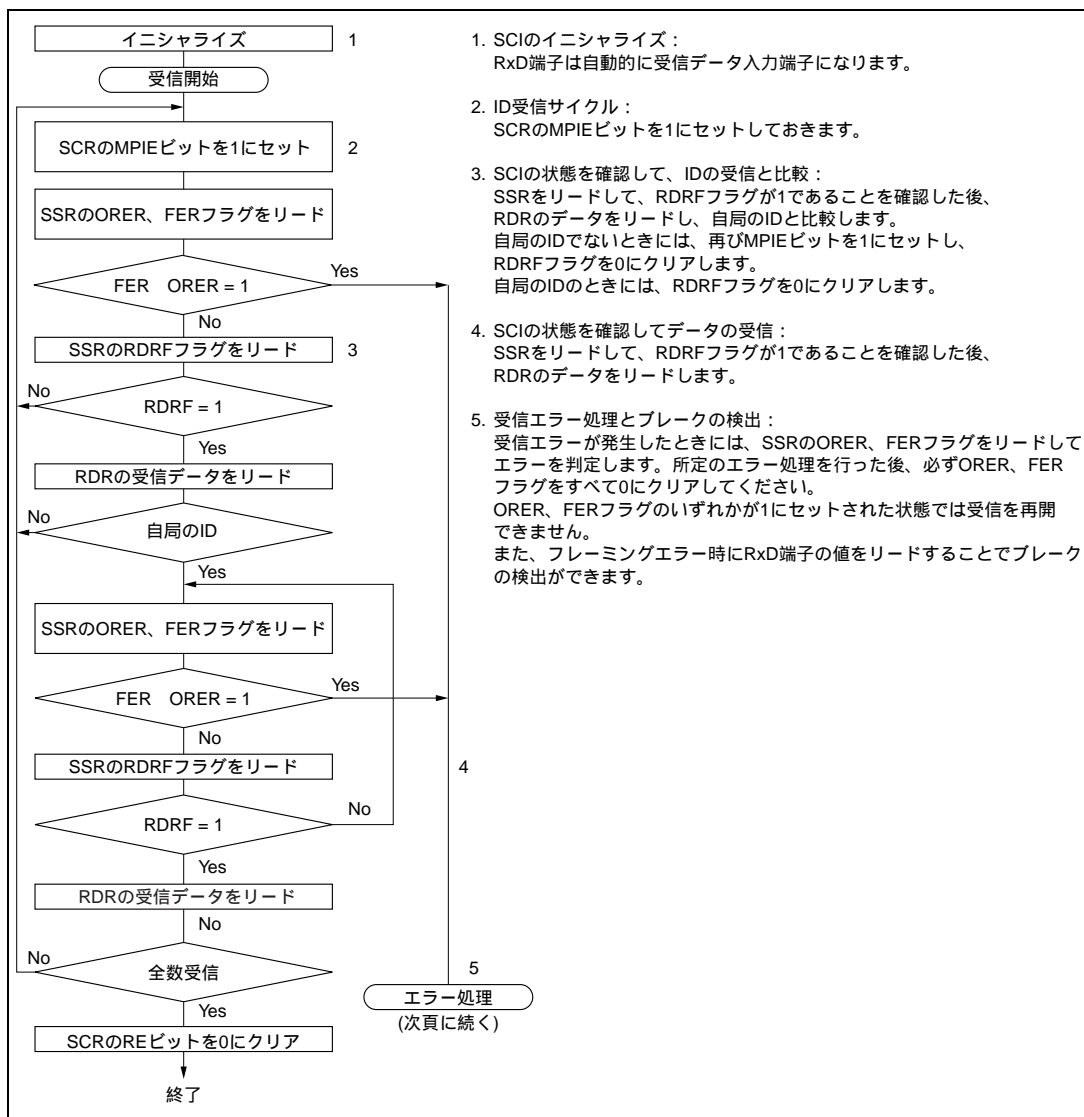


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

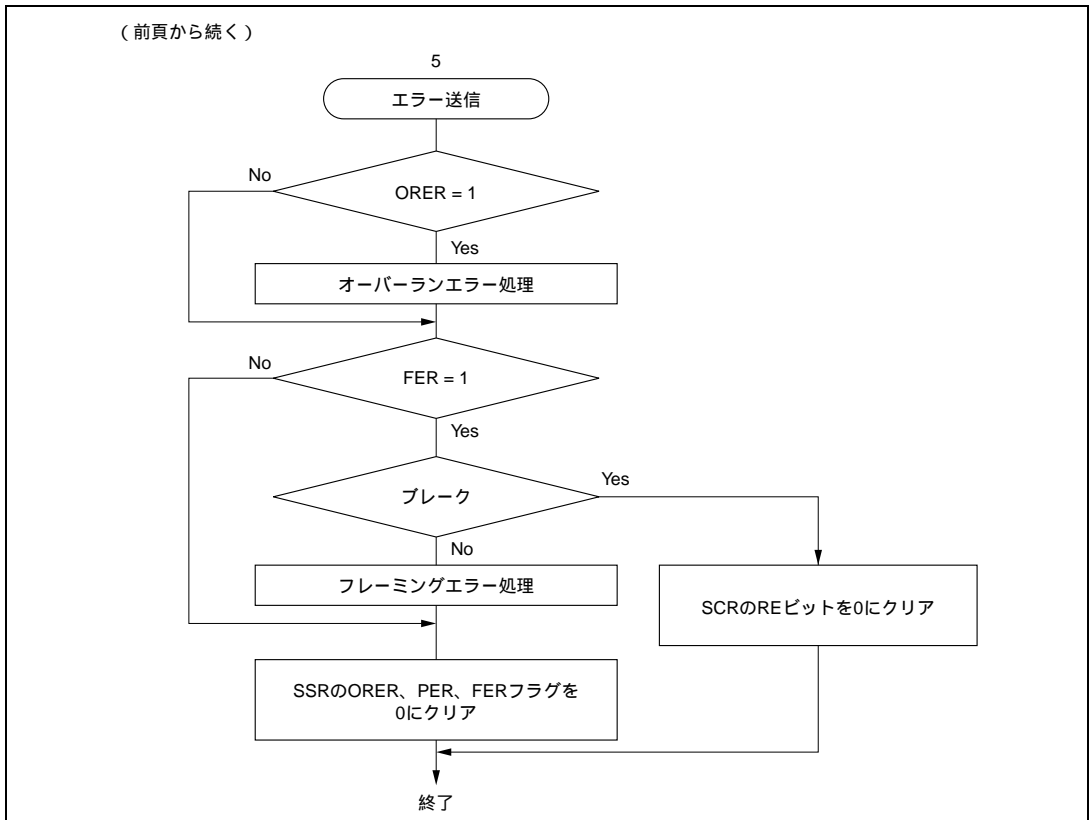


図 13.12 マルチプロセッサシリアル受信のフローチャートの例(2)

13. シリアルコミュニケーションインタフェース

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

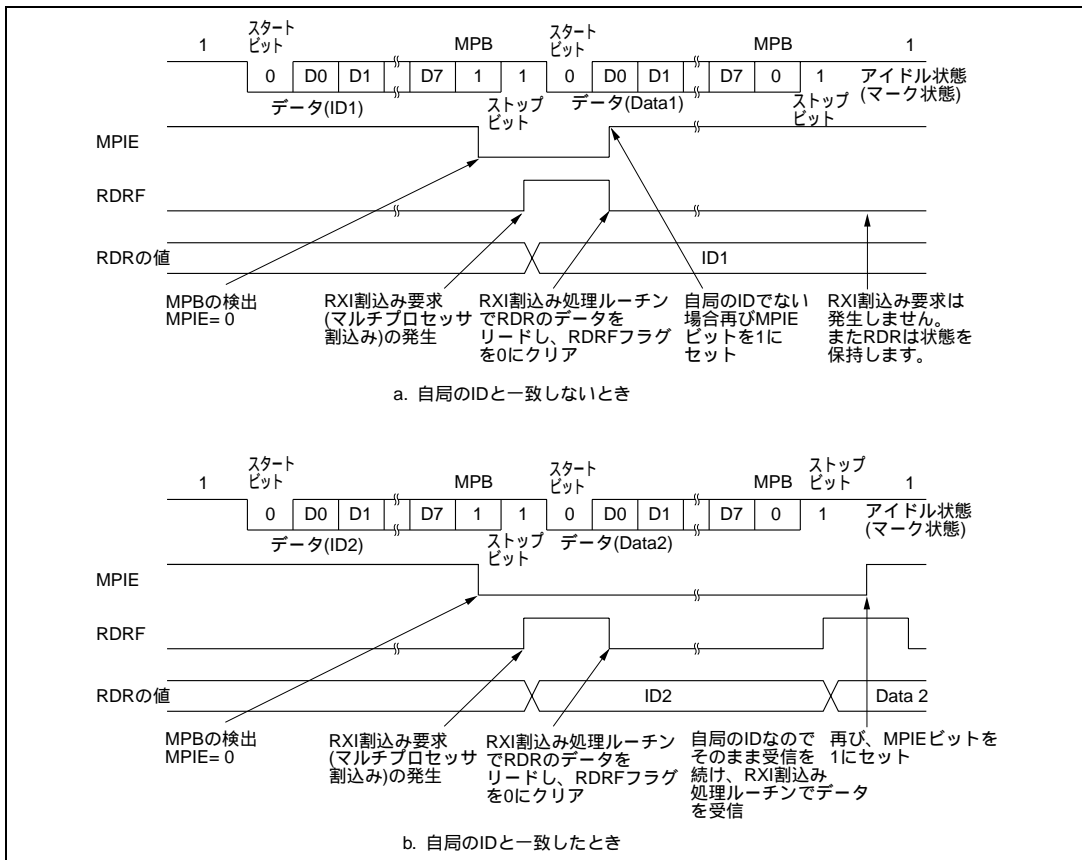


図 13.13 SCI の受信時の動作例
 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

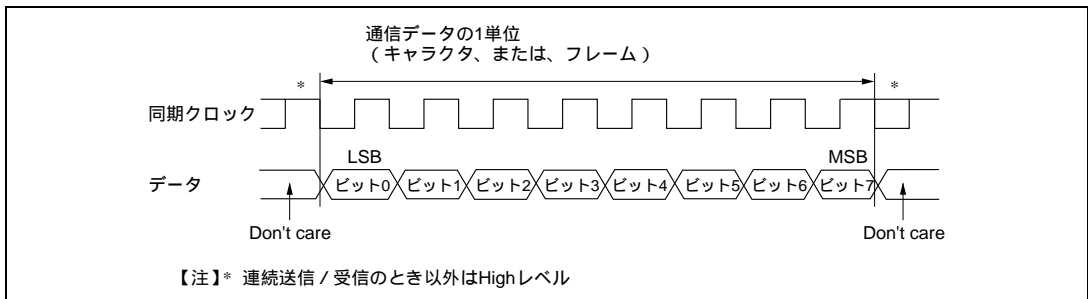


図 13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表13.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI のイニシャライズ (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI をイニシャライズしてください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR がイニシャライズされます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORE の各フラグ、および RDR の内容は保持されますので注意してください。

図 13.15 に SCI のイニシャライズフローチャートの例を示します。

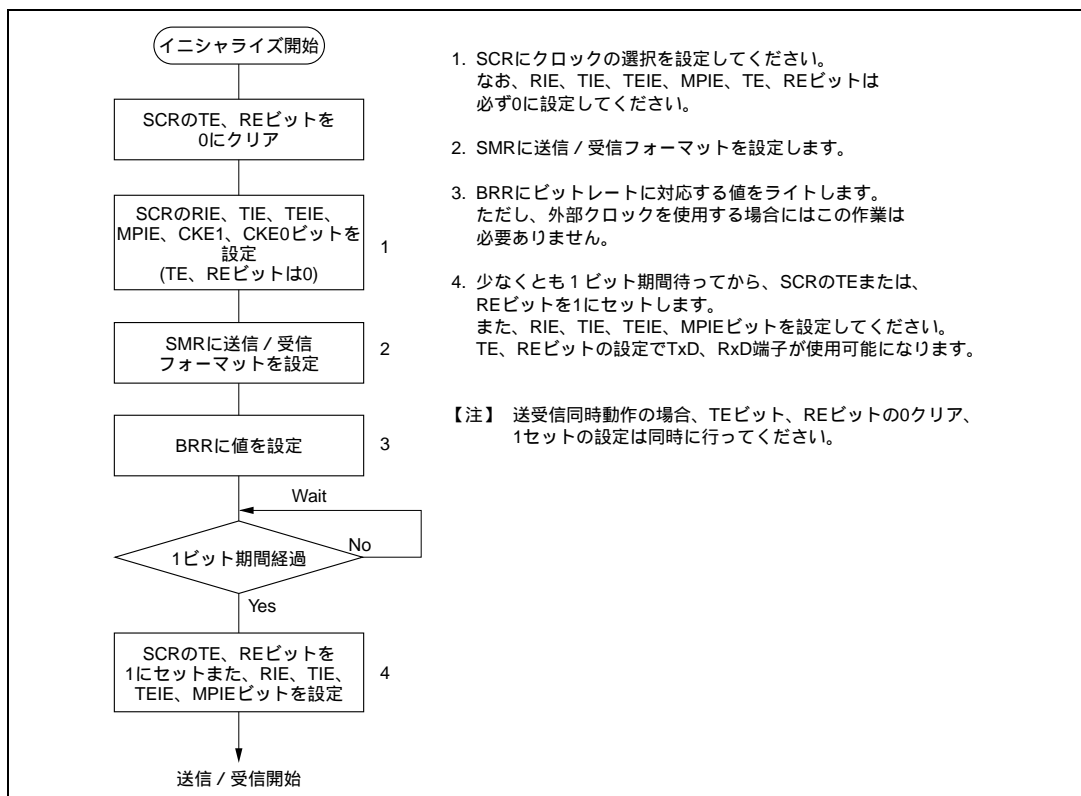


図 13.15 SCI のイニシャライズフローチャートの例

(b) シリアルデータ送信（クロック同期式）

図 13.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

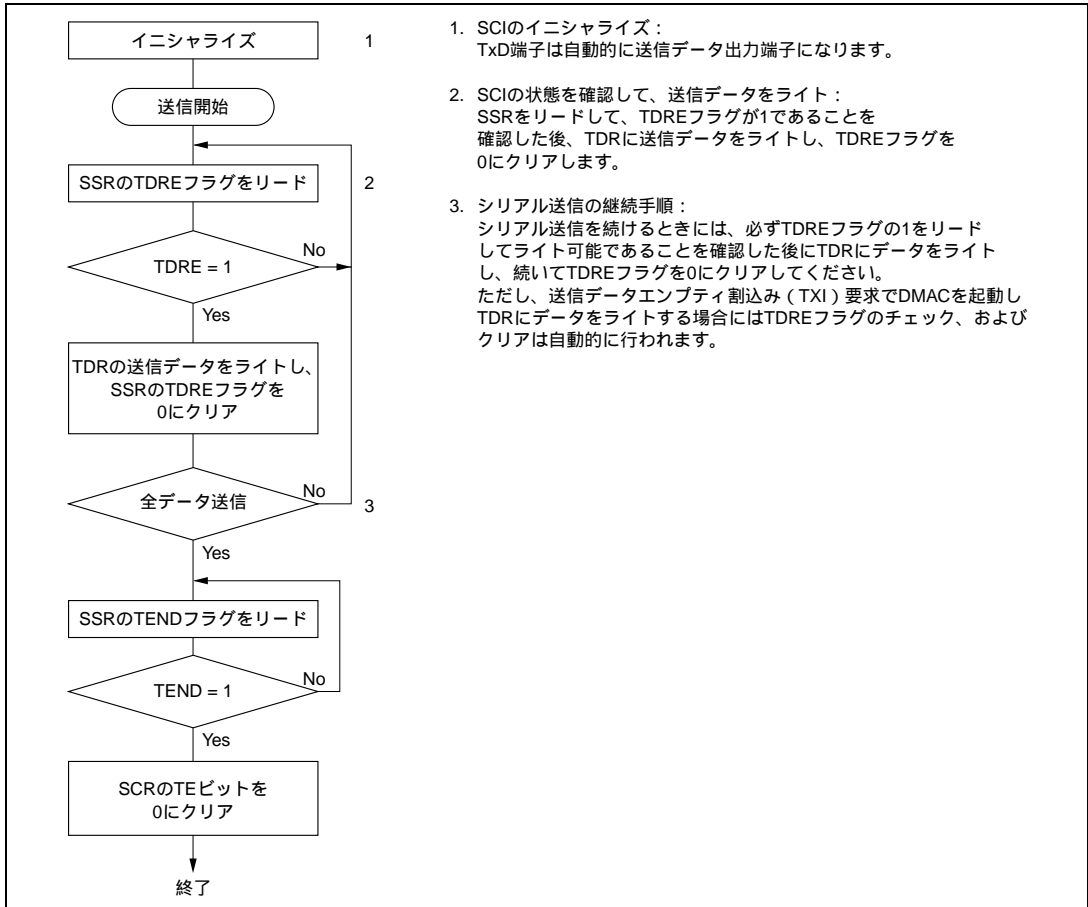


図 13.16 シリアル送信のフローチャートの例

13. シリアルコミュニケーションインタフェース

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
- (3) SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割込み (TEI) 要求を発生します。
- (4) シリアル送信終了後は、SCK端子は固定になります。

図 13.17 に SCI の送信時の動作例を示します。

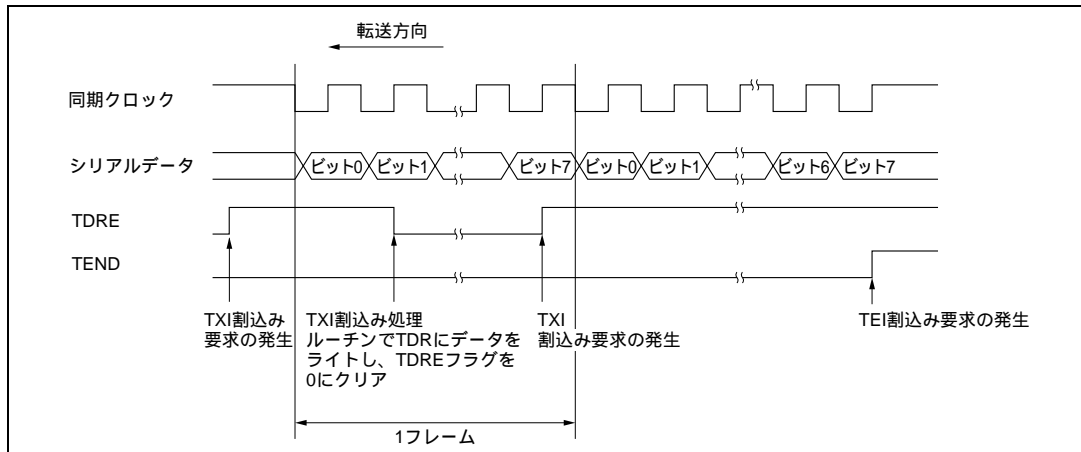


図 13.17 SCI の送信時の動作例

(c) シリアルデータ受信（クロック同期式）

図 13.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信 / 受信動作が行えません。

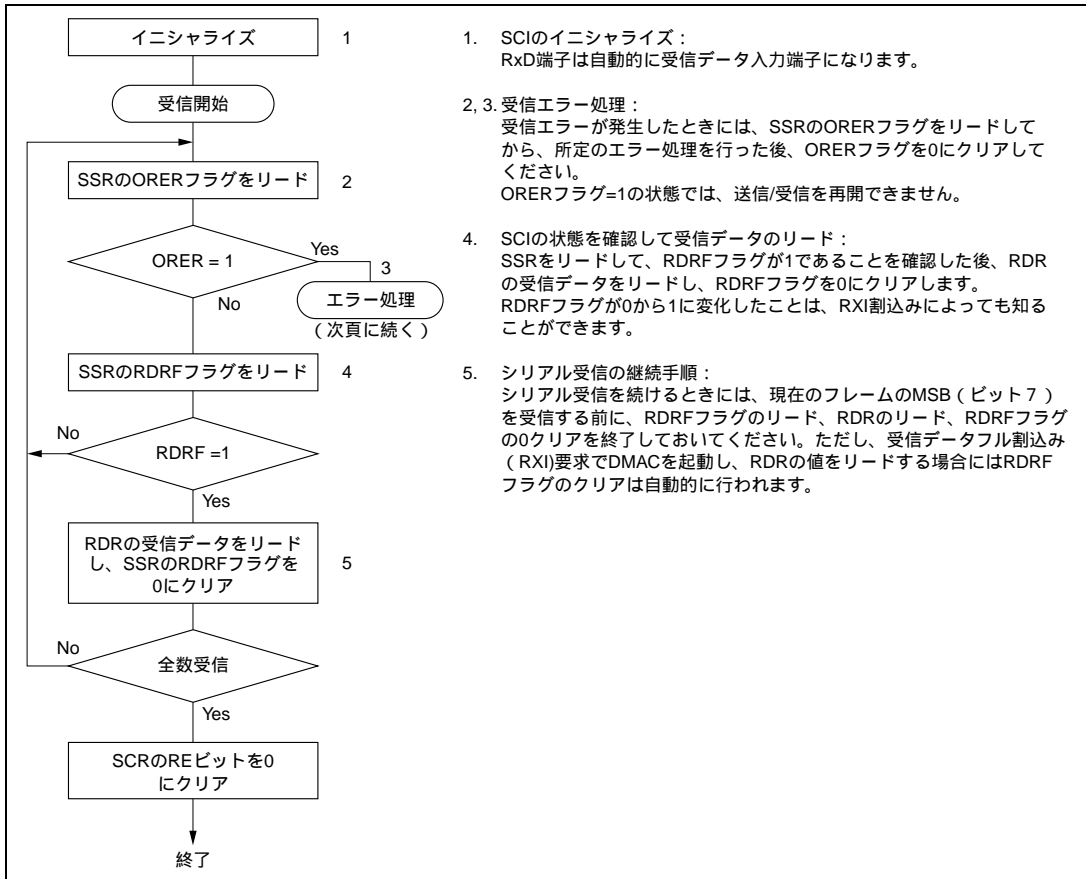


図 13.18 シリアルデータ受信フローチャートの例（1）

13. シリアルコミュニケーションインタフェース

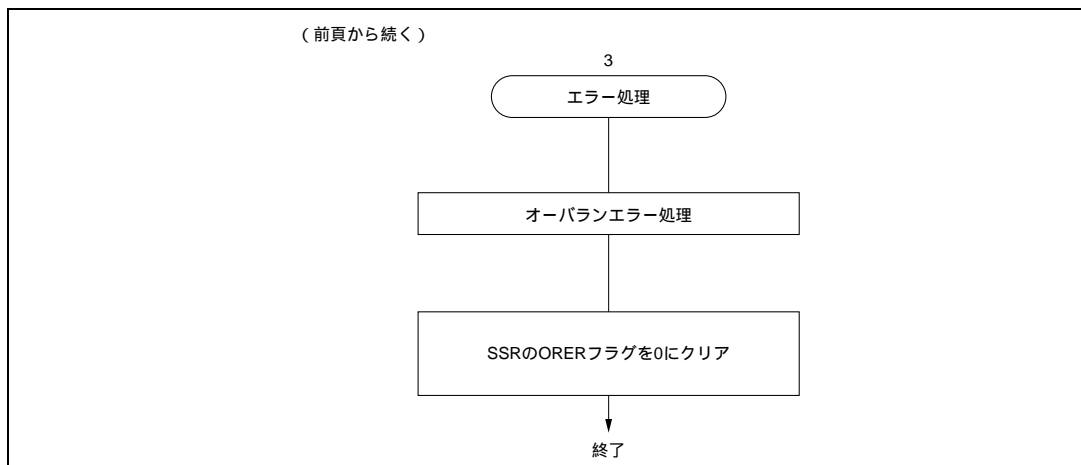


図 13.18 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表13.11のように動作します。エラーチェックで受信エラーを発生した状態では以後の送信、受信動作ができません。
- (3) RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割込み (ERI) 要求を発生します。

図 13.19 に SCI の受信時の動作例を示します。

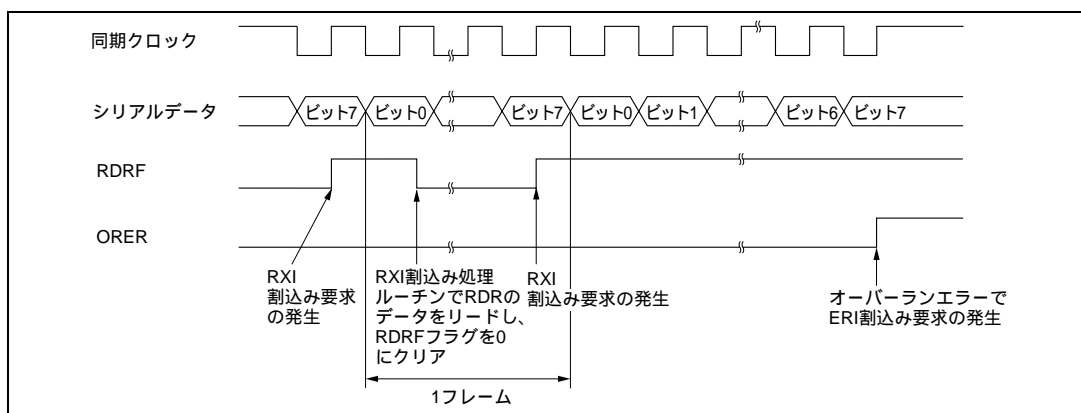


図 13.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作（クロック同期式）

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従い行ってください。

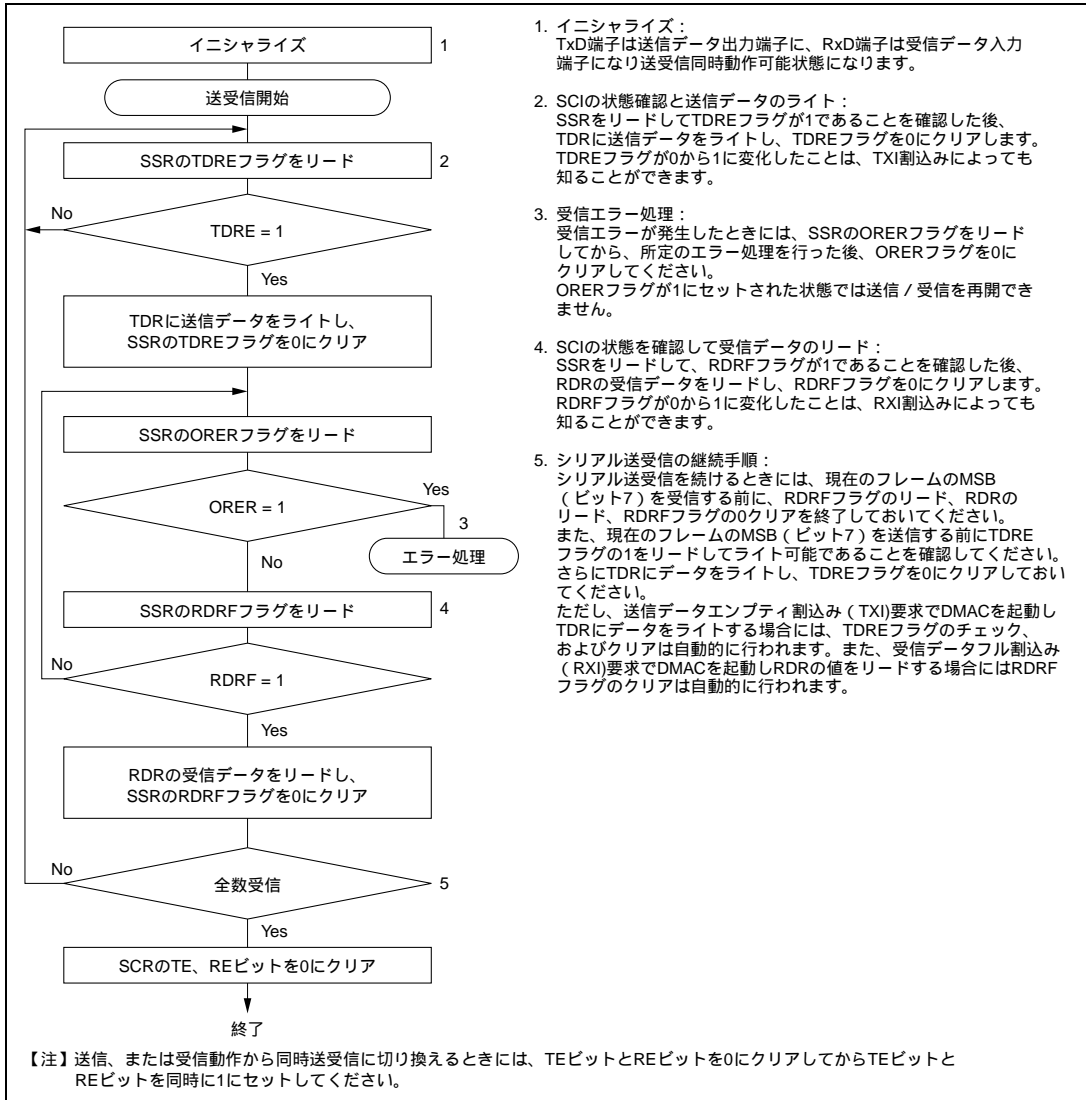


図 13.20 シリアル送受信同時動作のフローチャートの例

13.4 SCI 割込み

SCI には、送信終了割込み (TEI) 要求、受信エラー割込み (ERI) 要求、受信データフル割込み (RXI) 要求、送信データエンpty割込み (TXI) 要求の 4 種類の割込み要因があります。表 13.12 に各割込み要因と優先順位を示します。各割込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可 / 禁止できます。また、各割込み要求はそれぞれ独立に割込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割込み要求が発生します。TXI 割込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割込み要求で DMAC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると ERI 割込み要求が発生します。RXI 割込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割込み要求で DMAC の起動はできません。

SCI チャネル 0 の割込みにより DMAC の起動が可能です。

表 13.12 SCI 割込み要因

割込み要因	内 容	優先順位
ERI	受信エラー (ORER、FER、PER) による割込み	高 ▲ 低
RXI	受信データフル (RDRF) による割込み	
TXI	送信データエンpty (TDRE) による割込み	
TEI	送信終了 (TEND) による割込み	

13.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

- (1) TDRへのライトとTDREフラグの関係について
 SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが1にセットされます。TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。
- (2) 複数の受信エラーが同時に発生した場合の動作について
 複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表13.13のようになります。また、オーバーランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバーランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバーランエラー+フレーミングエラー
1	1	0	1	x		オーバーランエラー+パリティエラー
0	0	1	1			フレーミングエラー+パリティエラー
1	1	1	1	x		オーバーランエラー+フレーミングエラー+パリティエラー

【注】 : RSR RDR に受信データを転送します。
 x : RSR RDR に受信データを転送しません。

- (3) ブレークの検出と処理について
 フレーミングエラー（FER）検出時にRxD端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD端子からの入力がすべて0になりますのでFERフラグがセットされ、またパリティエラー（PER）もセットされる場合があります。SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。

(4) ブレークの送り出し

TxD端子は、DRとDDRにより入出力方向とレベルが決まるI/Oポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信のイニシャライズからTEビットを1にセットするまでは、マーク状態をDRの値で代替します（TEビットを1にセットするまで、TxD端子として機能しません）。このため、最初はDDRとDRを1に設定しておきます。

シリアル送信時にブレークを送り出したいときはDRを0にクリアした後、TEビットを0にクリアします。

TEビットを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（ORER、PER、FER）が1にセットされた状態では、TDREフラグを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。

また、REビットを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの8クロック目の立上がりエッジで内部に取り込みます。これを図13.21に示します。

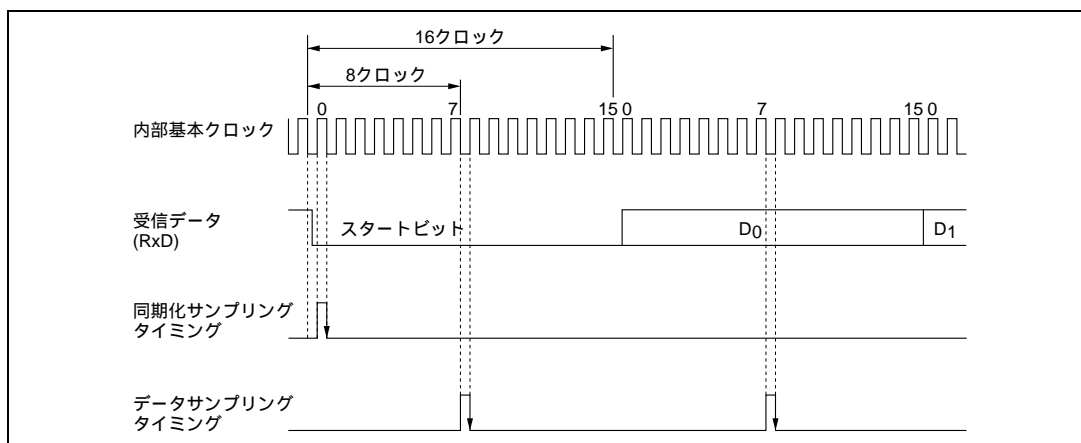


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式(1)}$$

- M: 受信マージン (%)
 N: クロックに対するビットレートの比 (N=16)
 D: クロックデューティ (D=0~1.0)
 L: フレーム長 (L=9~12)
 F: クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5 とすると、受信マージンは式(2)より 46.875% となります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% = 46.875\% \dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(7) DMAC使用上の制約事項

DMACにより、RDRのリードを行うときは必ずDTCRのDTS2~0ビットで起動要因を当該SCIの受信完了割り込み(RXI)に設定してください。

(8) クロック同期式使用上の制約事項

同期クロックに外部クロックソースを使用しデータ送信を行う場合、SSRのTDREのクリアから各フレームに対応する送信クロックの先頭(立上がりエッジ)までの間隔は、5ステート以上確保してください(図13.22参照)。本条件は連続送信を行う際にも必要です。本条件が満たされない場合、誤動作することがあります。

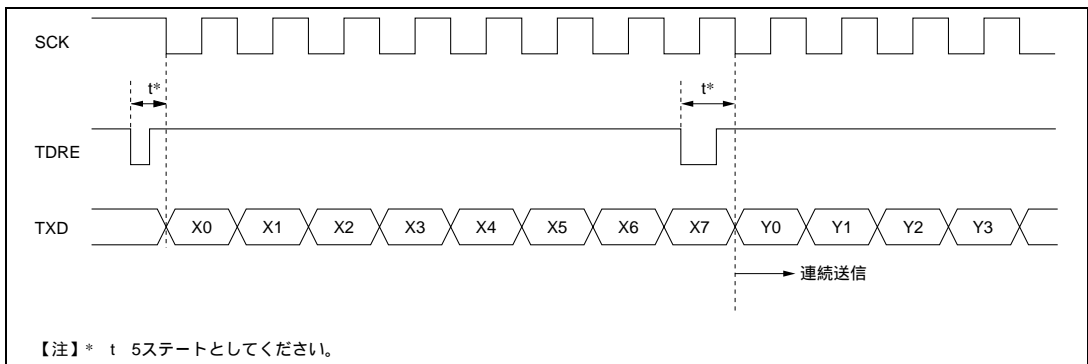


図 13.22 クロック同期式送信の例

13. シリアルコミュニケーションインタフェース

- (9) クロック同期式モードにおいてSCK端子をポート出力端子へ切り換えるときの注意事項
クロック同期式モードにおいて、SCK端子を同期クロック出力として使用しているとき、送信終了時にSCK端子を出力ポートに切り換えると、半サイクルのLowレベルが出力されることがあります。

DDR = 1、DR = 1、 C/\bar{A} = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より、以下の設定でポートに切り換えたとときに半サイクルのLow出力が発生します。

1. シリアルデータ送信終了
2. TEビット = 0
3. C/\bar{A} ビット = 0...ポート出力に切り換え
4. Low出力発生 (図13.23参照)

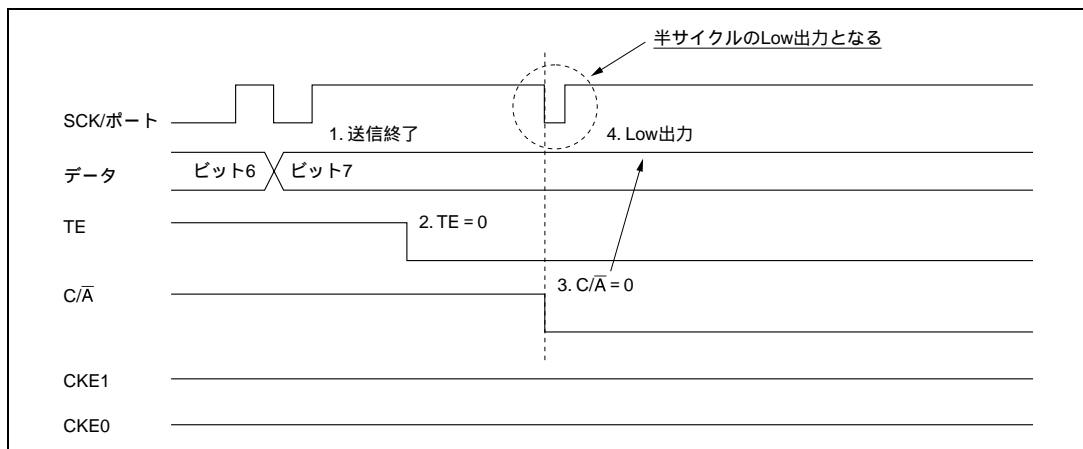


図 13.23 SCK 端子からポート端子へ切り換え時の動作

SCK端子をポートに切り換える際に発生するLow出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でプルアップしてください。DDR = 1、DR = 1、 C/\bar{A} = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1~5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4. C/\bar{A} ビット = 0...ポート出力に切り換え
5. CKE1ビット = 0

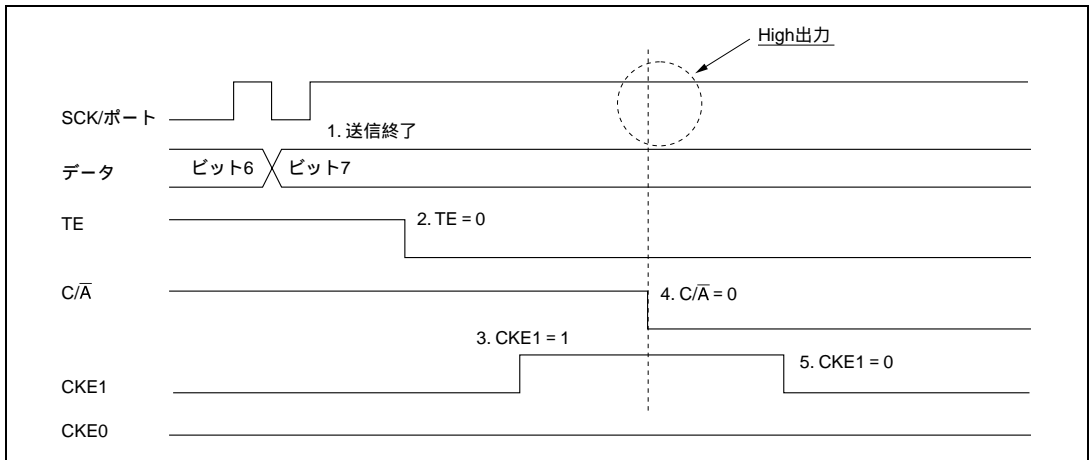


図 13.24 SCK 端子からポート端子へ切り換え時の動作 (Low 出力の回避例)

14. スマートカードインタフェース

14.1 概要

SCIO は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC7816 - 3 (Identification Card) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り換えはレジスタの設定で行います。

14.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

- 調歩同期式モード
 - データ長：8 ビット
 - パリティビットの生成およびチェック
 - 受信モードにおけるエラーシグナル (パリティエラー) の送出
 - 送信モードにおけるエラーシグナルの検出とデータの自動再送信
 - ダイレクトコンベンション / インバースコンベンションの両方をサポート
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 3 種類の割込み要因
送信データエンプティ、受信データフル、送受信エラーの3種類の割込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割込みと受信データフル割込みによりDMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

14. スマートカードインタフェース

14.1.2 ブロック図

図 14.1 にスマートカードインタフェースのブロック図を示します。

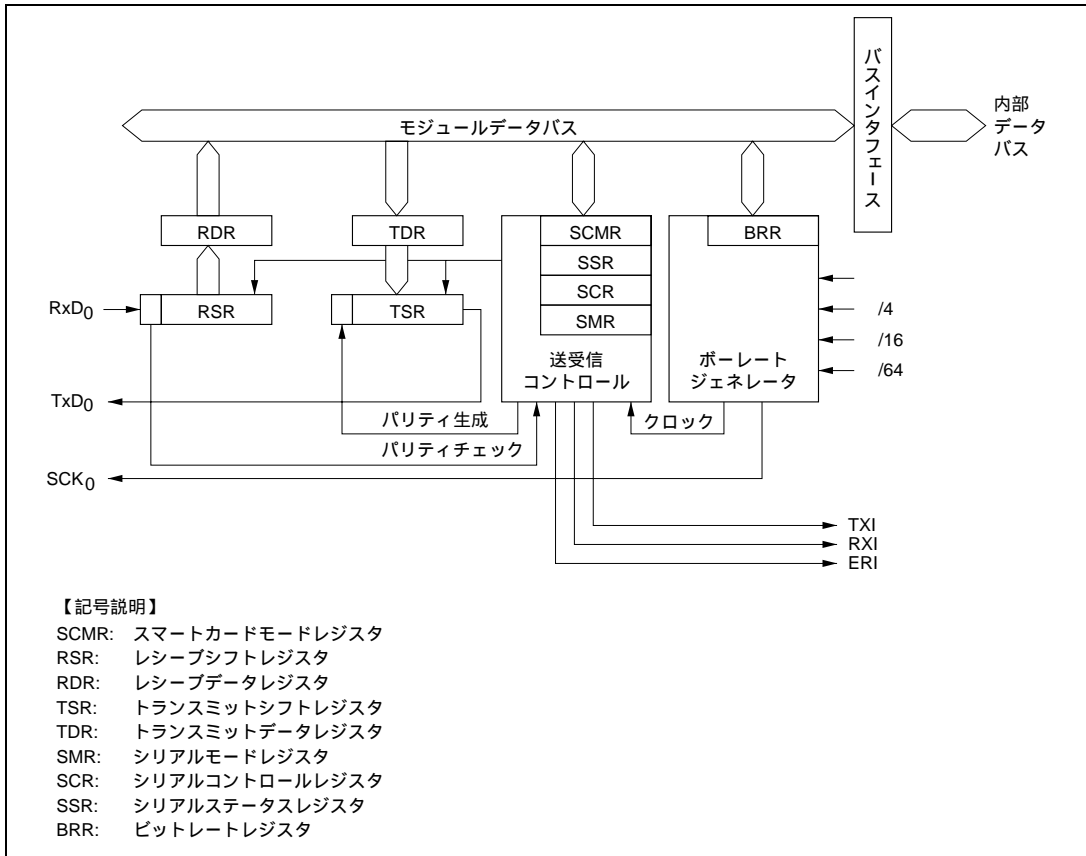


図 14.1 スマートカードインタフェース

14.1.3 端子構成

スマートカードインタフェースの端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK _o	出力	クロック出力
レシーブデータ端子	RxD _o	入力	受信データ入力
トランスミットデータ端子	TxD _o	出力	送信データ出力

14.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 14.2 に示します。BRR、TDR、RDR については、通常の SCI の機能と同様ですので、「第 13 章 シリアルコミュニケーションインタフェース」のレジスタの説明を参照してください。

表 14.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
H'FFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
H'FFB5	レシーブデータレジスタ	RDR	R	H'00
H'FFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2

【注】 *1 アドレスの下位 16 ビットを示しています。

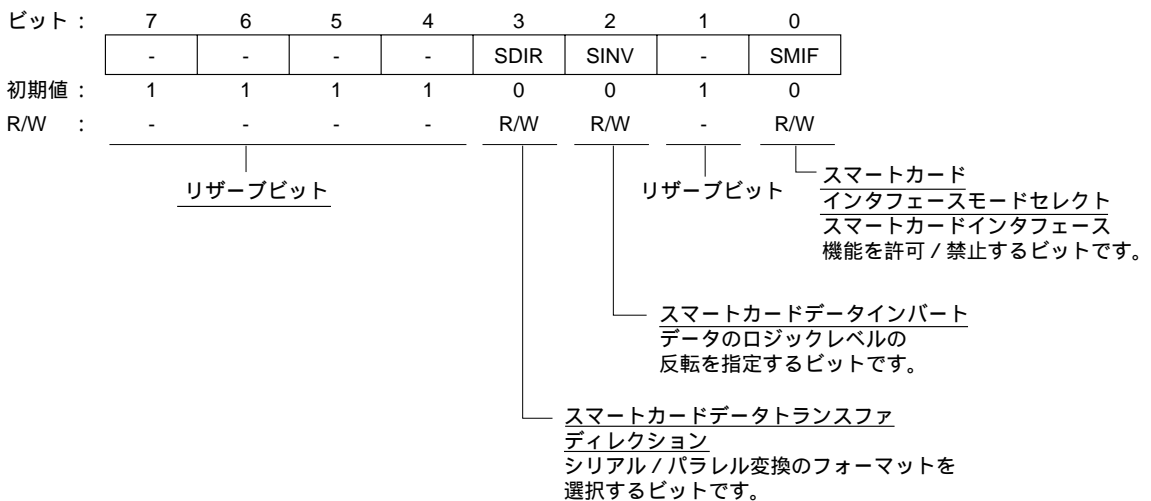
*2 フラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

14.2.1 スマートカードモードレジスタ (SCMR)

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。



SCMR は、リセットまたはスタンバイモード時に H'F2 にイニシャライズされます。

14. スマートカードインタフェース

ビット7~4: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納 (初期値)
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

ビット2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、ビット3の機能を組合せインバースコンベンションカードとの送受信に使用します。SINVは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「14.3.4 レジスタ設定」を参照してください。

ビット2	説明
SINV	
0	TDRの内容をそのまま送信 受信データをそのままRDRに格納 (初期値)
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

ビット1: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0: スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能をイネーブルにするビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

14.2.2 シリアルステータスレジスタ (SSR)

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

トランスミットエンド
 送信終了を示すフラグです。

エラーシグナルステータス (ERS)
 エラーシグナルが送出されたことを示すフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

ビット 7~5 :

通常の SCI と同様の動作をします。詳細は「第 13 章 シリアルコミュニケーションインタフェース」を参照してください。

ビット 4 : エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルが無いことを表示 (初期値) (クリア条件) (1) リセット、またはスタンバイモード時 (2) ERS = 1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 (セット条件) エラーシグナル Low をサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

14. スマートカードインタフェース

ビット3~0:

通常の SCI と同様の動作をします。詳細は「第 13 章 シリアルコミュニケーションインタフェース」を参照してください。

ただし、ビット2のトランスミットエンド (TEND) のセット条件は次のようになります。

ビット2	説明
TEND	
0	送信中であることを表示 (初期値) (クリア条件) (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (セット条件) (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 かつ FER / ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタ送信後、2.5etu*後に TDRE = 1 かつ FER / ERS = 0 (正常送信) のとき

【注】 * etu (Elementary Time Unit : 1 ビットの転送期間の略)

14.2.3 シリアルモードレジスタ (SMR)

スマートカードインタフェースモードにおいては、SMR のビット7の機能が変更されます。また、これに関連してシリアルコントロールレジスタ (SCR) のビット1およびビット0の機能も変更されます。

ビット:	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7 : GSM モード (GM)

通常のスマートカードインタフェース時は0に設定します。GSM モードは、本ビットを1に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビット1およびビット0で指定します。

ビット7	説明
GM	
0	通常のスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF、および High/Low 固定制御 (設定は SCR)

ビット6~0:

通常の SCI と同様の動作をします。詳細は「13.2.5 シリアルモードレジスタ (SMR)」を参照してください。

14.2.4 シリアルコントロールレジスタ (SCR)

スマートカードインタフェースモードにおいては、SCR のビット 1、0 の機能が変更されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7~2 :

通常の SCI と同様の動作をします。詳細は「13.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。スマートカードインタフェースモードにおいては、通常のクロック出力の許可 / 禁止の切り換え、およびクロック出力の High レベル固定と Low レベル固定を指定することができます。

ビット7	ビット1	ビット0	説明
GM	CKE1	CKE0	
0	0	0	内部クロック / SCK ₀ 端子は入出力ポート (初期値)
		1	内部クロック / SCK ₀ 端子はクロック出力
1	0	0	内部クロック / SCK ₀ 端子は Low 出力固定
		1	内部クロック / SCK ₀ 端子はクロック出力
	1	0	内部クロック / SCK ₀ 端子は High 出力固定
		1	内部クロック / SCK ₀ 端子はクロック出力

14.3 動作説明

14.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit:1ビットの転送期間)以上のカードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルLowを1etu出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

14.3.2 端子接続

図 14.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子で TXD₀ 端子と RXD₀ 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{CC} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK₀ 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

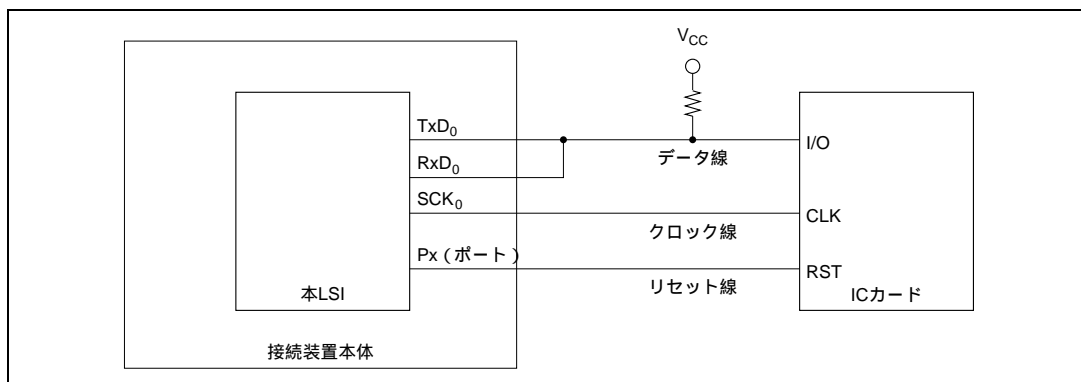


図 14.2 スマートカードインタフェース端子接続概略図

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

14.3.3 データフォーマット

図 14.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は1フレームごとにパリティチェックを行い、エラーが検出された場合送信側に対してエラー信号を送り返し、データの再送信要求をします。送信時はエラー信号をサンプリングすると同じデータを再送信します。

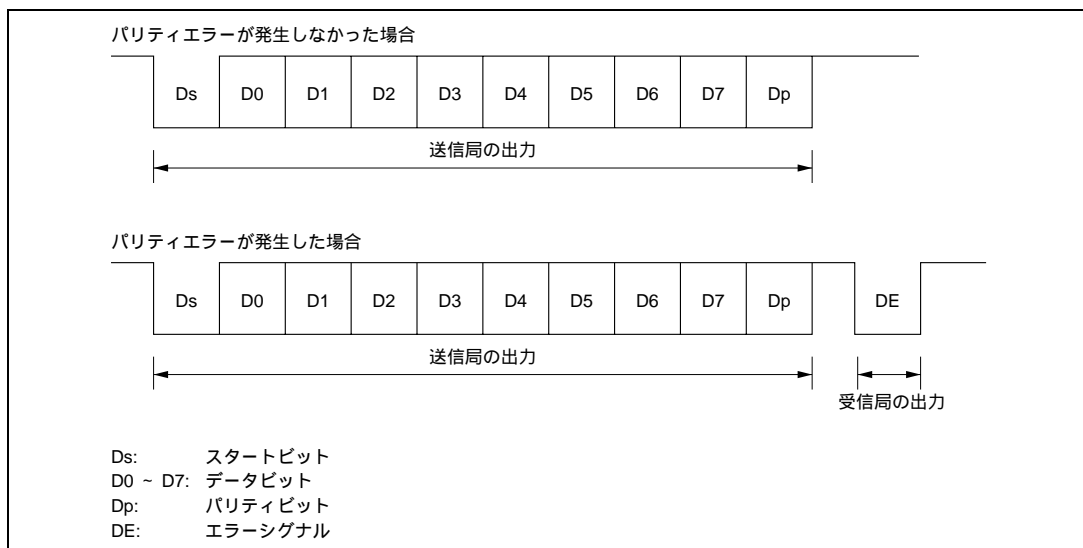


図 14.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- (1) データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- (2) 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット(Ds、Lowレベル)から開始します。この後に、8ビットのデータビット(D0~D7)とパリティビット(Dp)が続きます。
- (3) スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- (4) 受信側は、パリティチェックを行います。
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラー信号(DE、Lowレベル)を出力し、データの再送信を要求します。受信局は、規定の期間エラー信号を出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- (5) 送信側は、エラー信号を受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラー信号を受信した場合は、エラーとなったデータを(2)に戻り再送信します。

14.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 14.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 14.3 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス*1	ビット							
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SMR	H'FFB0	GM	0	1	O/ \bar{E}	1	0	CKS1	CKS0
BRR	H'FFB1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	H'FFB2	TIE	RIE	TE	RE	0	0	CKE1*2	CKE0
TDR	H'FFB3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	H'FFB4	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	H'FFB5	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	H'FFB6	-	-	-	-	SDIR	SINV	-	SMIF

【注】 - : 未使用ビットを示します。

*1 アドレスは下位 16 ビットを示します。

*2 SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 にしてください。

(1) シリアルモードレジスタ (SMR) の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。

O/ \bar{E} ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。

「14.3.5 クロック」を参照してください。

(2) ビットレートレジスタ (BRR) の設定

ビットレートを設定します。設定値の算出方法は「14.3.5 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SCR) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 13 章 シリアルコミュニケーションインタフェース」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は、00 に設定し、クロックを出力する場合は 01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

(4) スマートカードモードレジスタ (SCMR) の設定

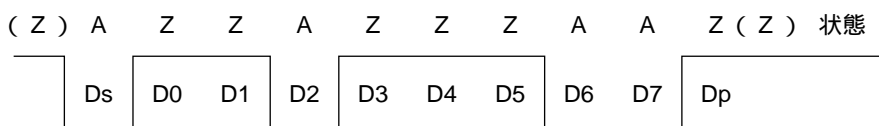
SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

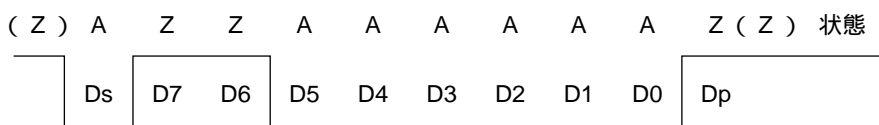
以下に 2 種類の IC カード(ダイレクトコンベンションタイプとインバースコンベンションタイプ)に対するレジスタ設定値と開始キャラクタでの波形例を示します。

ダイレクトコンベンション ($SDIR = SINV = O\bar{E} = 0$)



ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

インバースコンベンション ($SDIR = SINV = O\bar{E} = 1$)



インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の $O\bar{E}$ ビットを奇数パリティモードに設定します（送信、受信とも同様です）。

14.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (BRR) とシリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 14.5 に示します。

このとき CKE0 = 1 でクロック出力を選択すると SCK0 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{1488 \times 2^{2n-1} \times (N+1)}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N = BRR の設定値 (0 ≤ N ≤ 255)

B = ビットレート (bit/s)

= 動作周波数 (MHz)

n = 表 14.4 を参照

表 14.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

【注】 * ギア機能によりクロックを分周して使用する場合には、動作周波数に分周比を考慮した値を設定してください。上記は分周比 1 : 1 の場合を示します。

表 14.5 BRR の設定に対するビットレート B (bit/s) の例 (ただし、n = 0 のとき)

(MHz)	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00	20.00	25.00
N									
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5	26881.7	33602.2
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8	13440.9	16801.1
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5	8960.6	11200.7

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ (BRR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{1488 \times 2^{2n-1} \times B}{1488 \times 2^{2n-1} \times B} - 1$$

表 14.6 ビットレート B (bit/s) に対する BRR の設定例 (ただし、n = 0 のとき)

(MHz)	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00	20.00	25.00									
bit/s	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差								
	9600	0	0.00	1	30.00	1	25.00	1	8.99	1	0.00	1	12.01	2	15.99	2	6.66	3

表 14.7 各周波数における最大ビットレート（スマートカードインタフェースモード時）

(MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{最大ビットレート} - \text{理論ビットレート}}{\text{理論ビットレート}} \times 10^6 - 1 \right) \times 100$$

14.3.6 データの送信 / 受信動作

(1) イニシャライズ

データの送受信の前に、以下の手順で SCI をイニシャライズしてください。送信モードから受信モードへの切り換え、受信モードから送信モードへの切り換えにおいてもイニシャライズが必要です。

- (1) シリアルコントロールレジスタ (SCR) の TE、RE ビットを 0 にクリアします。
- (2) シリアルステータスレジスタ (SSR) のエラーフラグERS、PER、ORER を 0 にクリアしてください。
- (3) シリアルモードレジスタ (SMR) のパリティビット (0/1 ビット) とボーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、C/A、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- (4) スマートカードモードレジスタ (SCMR) の SMIF、SDIR、SINV ビットを設定してください。SMIF ビットを 1 にセットすると、TXD₀ 端子および RXD₀ 端子は共にポートから SCI の端子に切り換えられ、ハイインピーダンス状態となります。
- (5) ビットレートに対応する値をビットレートレジスタ (BRR) に設定します。
- (6) シリアルコントロールレジスタ (SCR) のクロックソースの選択ビット (CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1 ビットは、0 に設定してください。
CKE0 ビットを 1 にセットした場合は、SCK0 端子からクロック出力されます。
- (7) 少なくとも、1 ビット期間待ってから、SCR の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 14.4 に示します。

また、送信動作と内部レジスタの関連を図 14.5 に示します。

- (1) (1) の手順に従いスマートカードインタフェースモードにイニシャライズします。
- (2) SSRのエラーフラグERSビットが0にクリアされていることを確認してください。
- (3) SSRのTENDフラグが1にセットされていることが確認できるまで、(2)、(3)を繰り返してください。
- (4) TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。
このとき、TENDフラグは0にクリアされます。
- (5) 連続してデータを送信する場合は、(2)に戻ってください。
- (6) 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割込み処理またはDMA転送が可能です。

TIEビットを1にセットし、割込み要求を許可しておいたとき、送信が終了しTENDフラグが1にセットされると、送信データエンプティ割込み(TXI)要求が発生します。RIEビットを1にセットし、割込み要求を許可しておいたとき、送信時にエラーが発生し、ERSフラグが1にセットされると、送受信エラー割込み(ERI)要求が発生します。

SMRのGMビットにより、TENDフラグのセットタイミングが異なります。図14.6にTENDフラグ発生タイミングを示します。

TXI要求でDMAC起動する場合、自動再転送を含めDMACに設定したバイト数を自動的に送信することができます。

詳細は(6)割込み動作、(7)DMACによるデータ転送動作を参照してください。

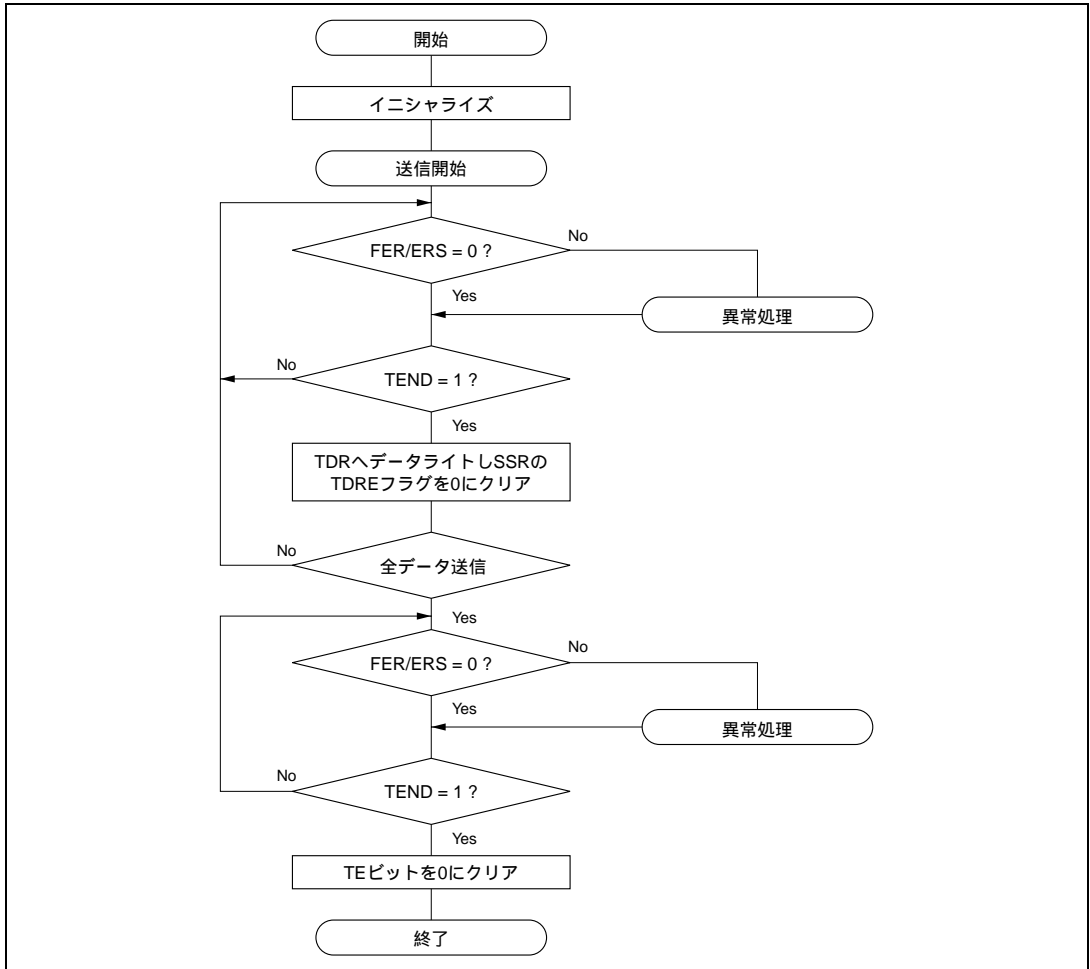


図 14.4 送信処理フローの例

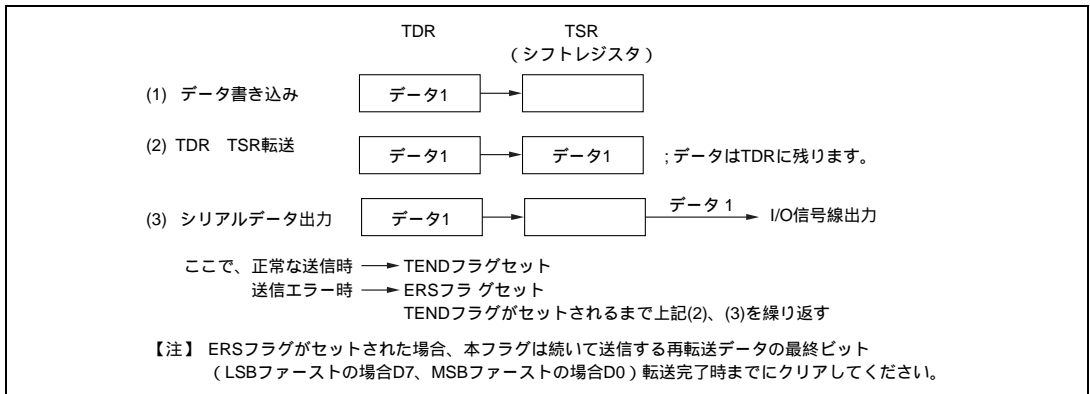


図 14.5 送信動作と内部レジスタの関連

14. スマートカードインタフェース

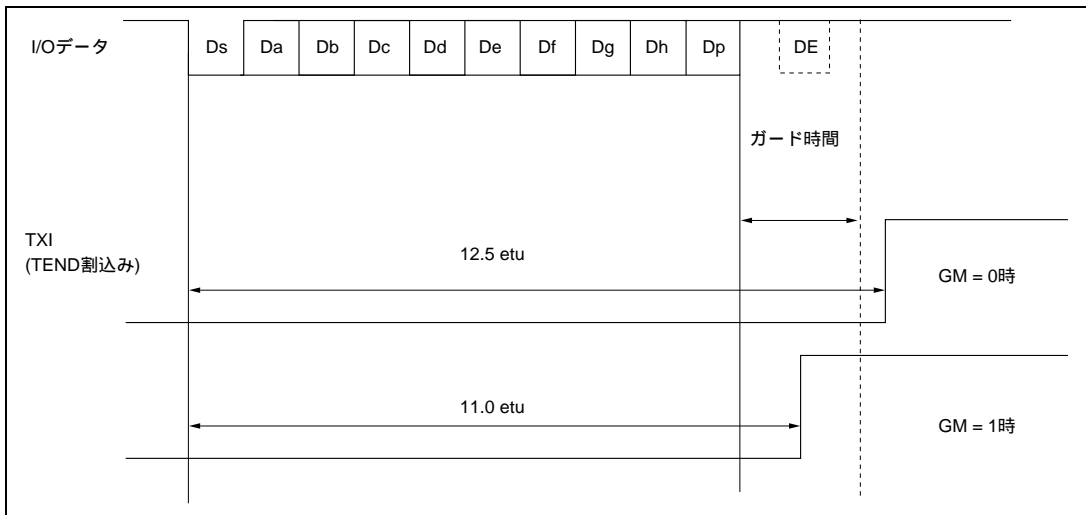


図 14.6 TEND フラグ発生タイミング

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 14.7 に示します。

- (1) SCIを(1)に従いスマートカードインタフェースモードにイニシャライズします。
- (2) SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグを全て0にクリアしてください。
- (3) RDRFフラグが1であることを確認できるまで(2)、(3)を繰り返してください。
- (4) RDRから受信データをリードしてください。
- (5) 継続してデータを受信する場合は、RDRFフラグを0にクリアして(2)の手順に戻ってください。
- (6) 受信を終了する場合は、REビットを0にクリアします。

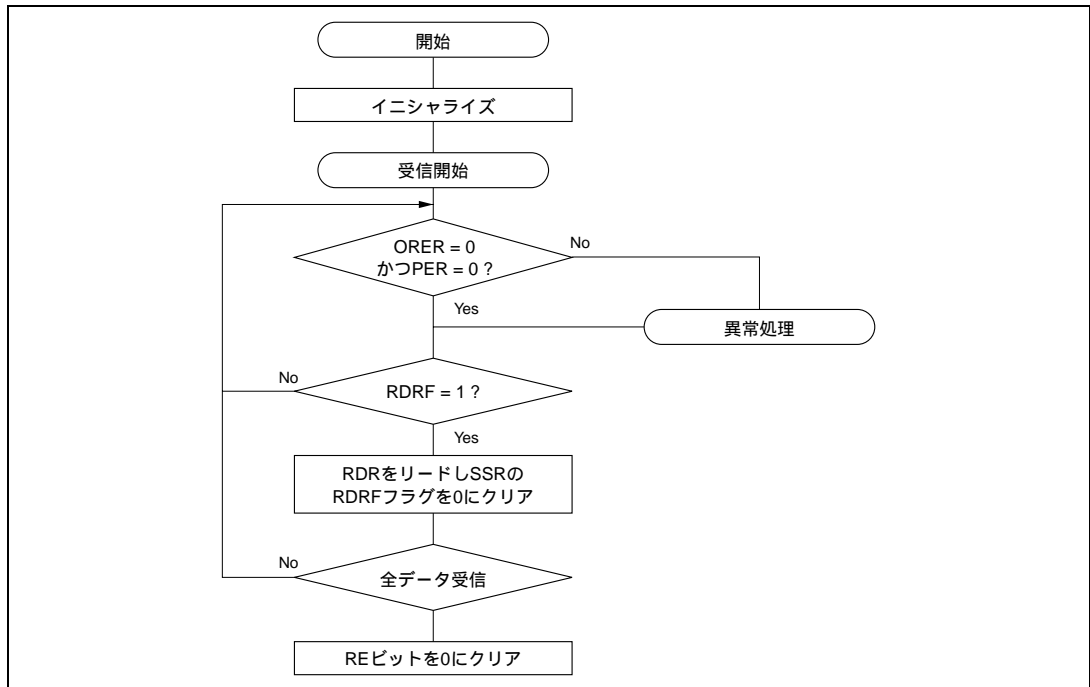


図 14.7 受信処理フローの例

以上の一連の処理は、割込み処理または DMA 転送が可能です。

RIE ビットを 1 にセットし、割込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割込み (ERI) 要求が発生します。

RXI 要求で DMAC を起動する場合、エラーの発生した受信データをスキップして DMAC に設定したバイト数だけ受信データを転送します。

詳細は (6)、(7) を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

(4) モード切り換え動作

受信モードから送信モードに切り換える場合、受信動作が完了していることを確認した後、イニシャライズから開始し、RE=0、TE=1 に設定してください。受信動作の完了は RDRF フラグあるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り換える場合、送信動作が完了していることを確認した後、イニシャライズから開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.8 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

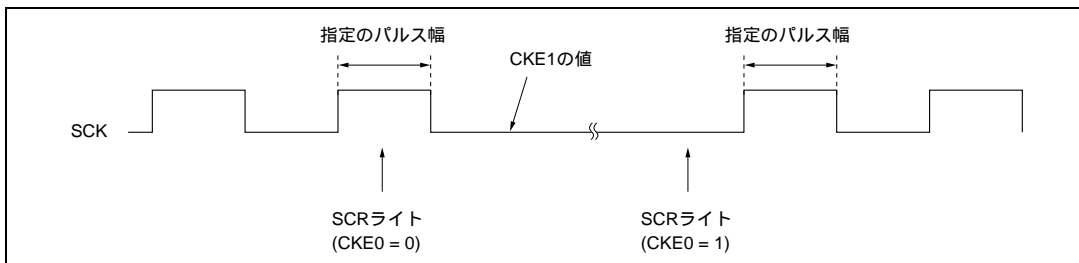


図 14.8 クロック出力固定タイミング

(6) 割込み動作

スマートカードインタフェースモードでは、送信データエンプティ割込み (TXI) 要求、送受信エラー割込み (ERI) 要求、受信データフル割込み (RXI) 要求の 3 種類の割込み要因があります。なお、本モードでは、送信終了割込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割込み要求を発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割込み要求を発生します。これらの関係を表 14.8 に示します。

表 14.8 スマートカードモードの動作状態と割込み要因

動作状態		フラグ	マスクビット	割込み要因	DMAC 起動
送信モード	正常動作	TEND	TIE	TXI	可能
	エラー	ERS	RIE	ERI	不可能
受信モード	正常動作	RDRF	RIE	RXI	可能
	エラー	PER、ORER	RIE	ERI	不可能

(7) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割込みが発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時 ERS フラグは、自動的にクリアされませんので RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 8 章 DMA コントローラ」を参照してください。

なお、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割込み要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

(8) GSM モード時の動作例

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り換えを行う際、クロックデューティを保持するため、下記の切り換え手順で処理してください。

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに移行するとき

- (1) P9₄のデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイ時の出力固定状態の値に設定する。
- (2) シリアルコントロールレジスタ (SCR) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させる。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定する。
- (3) SCRのCKE0ビットに0を書き込み、クロックを停止させる。
- (4) シリアルクロックの1クロック周期の間、待つ。
この間に、デューティを守って、指定のレベルでクロック出力は固定される。
- (5) シリアルモードレジスタ (SMR) とスマートカードモードレジスタ (SCMR) にH'00を書き込む。
- (6) ソフトウェアスタンバイ状態に移行させる。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

- (1) ソフトウェアスタンバイ状態を解除する。
- (2) SCRのCKE1ビットをソフトウェアスタンバイ開始時の出力固定状態 (現在のP9₄端子の状態) の値に設定する。
- (3) スマートカードインタフェースモードに設定し、クロック出力させる。正常なデューティにてクロック信号発生を開始する。

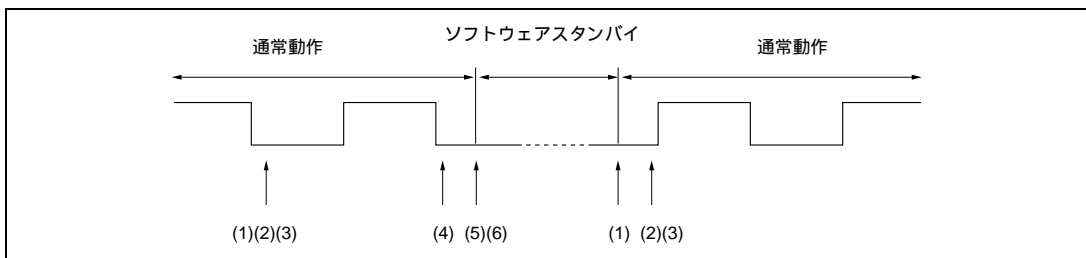


図 14.9 クロック停止・再起動手順

電源投入時からクロックデューティを確保するためには、下記の切り換え手順で処理をしてください。

- (1) 初期状態は、ポート入力でありハイインピーダンスである。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用する。
- (2) SCRのCKE1ビットで指定の出力に固定する。
- (3) SMRとSCMRをセットし、スマートカードインタフェースモードの動作に切り換える。
- (4) SCRのCKE0ビットを1に設定して、クロック出力を開始する。

14.4 使用上の注意

SCIをスマートカードインタフェースとして使用する際は、以下のことに注意してください。

- (1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCIは転送レートの372倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの186クロック目の立上がりエッジで内部に取り込みます。これを図14.10に示します。

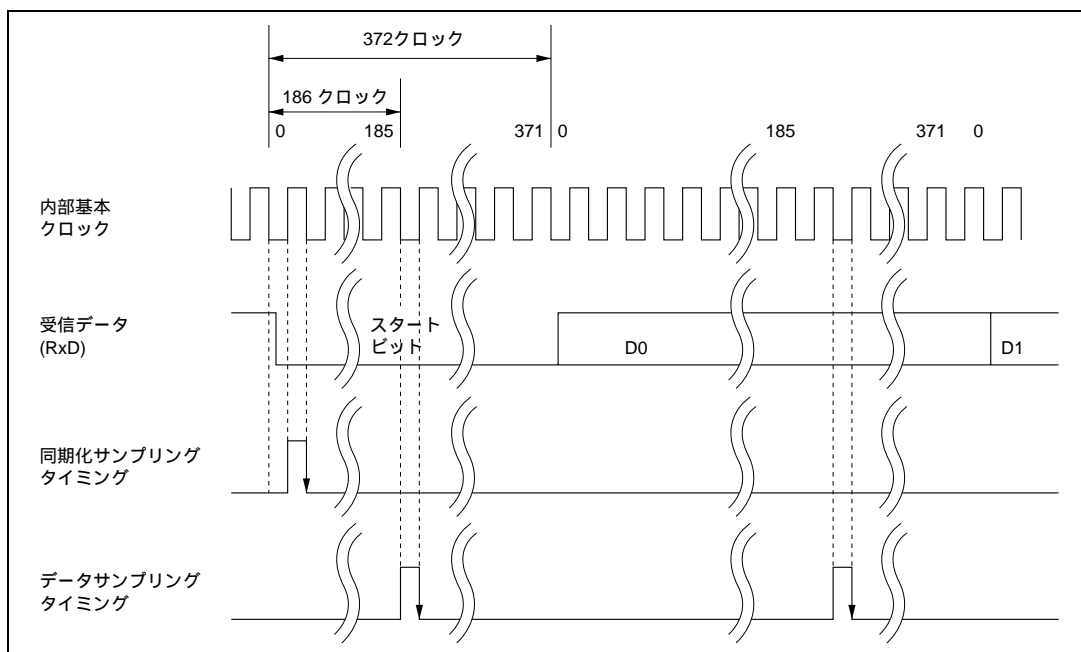


図 14.10 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン（％）

N：クロックに対するビットレートの比（N=372）

D：クロックデューティ（D=0～1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$M = (0.5 - 1 / 2 \times 372) \times 100\% \\ = 49.866\%$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 14.11 に示します。

- (1) 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットがイネーブルになっていれば、ERI割込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- (2) 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- (3) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- (4) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割込み要求が発生します。
さらに、RXI要因によるDMA転送が許可されていれば、RDRの内容を自動的に読み出すことができます。DMACでRDRのデータを読み出した場合、RDRFは自動的に0にクリアされます。
- (5) 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

14. スマートカードインタフェース

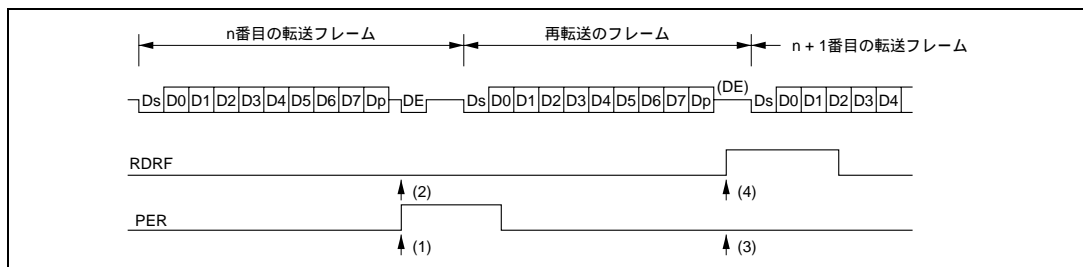


図 14.11 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 14.12 に示します。

- (6) 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットがイネーブルになっていれば、ERI割込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
- (7) 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
- (8) 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
- (9) 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットがイネーブルになっていれば、TXI割込み要求が発生します。

さらに、TXI要因によるDMA転送が許可されていれば、自動的にTDRに次のデータを書き込むことができます。DMACでTDRにデータを書き込んだ場合、TDREビットは自動的に0にクリアされます。

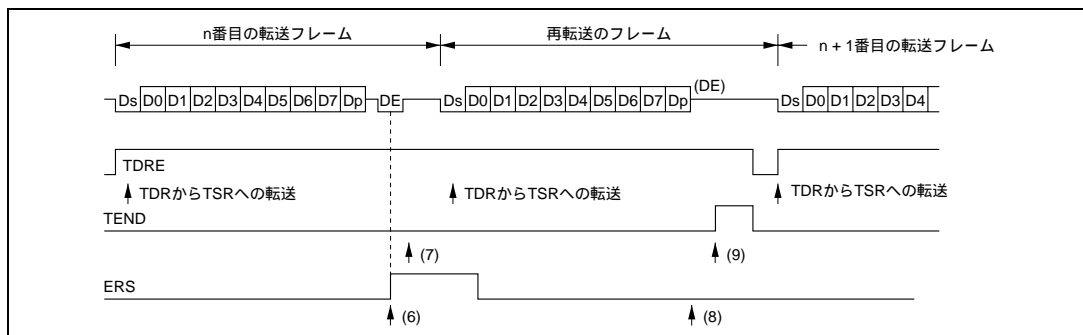


図 14.12 SCI 送信モードの場合の再転送動作

15. A/D 変換器

15.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

消費電流低減のために A/D 変換器を使用しない場合には、A/D 変換器を単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

15.1.1 特長

A/D 変換器の特長を以下に示します。

- 10 ビットの分解能
- 入力チャンネル：8 チャンネル
- アナログ変換電圧範囲の設定が可能
リファレンス電圧端子 (V_{REF}) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。
- 高速変換
変換時間：1チャンネル当り最小 $5.4 \mu s$ (25MHz動作時)
- 単一モード / スキャンモードの 2 種類の動作モードから選択可能
単一モード：1チャンネルの A/D 変換
スキャンモード：1~4チャンネルの連続 A/D 変換
- 4 本の 16 ビットデータレジスタ
A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。
- サンプル & ホールド機能
- 外部トリガ信号による、A/D 変換の開始が可能
- A/D 変換終了割り込み要求を発生
A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

15.1.2 ブロック図

A/D 変換器のブロック図を図 15.1 に示します。

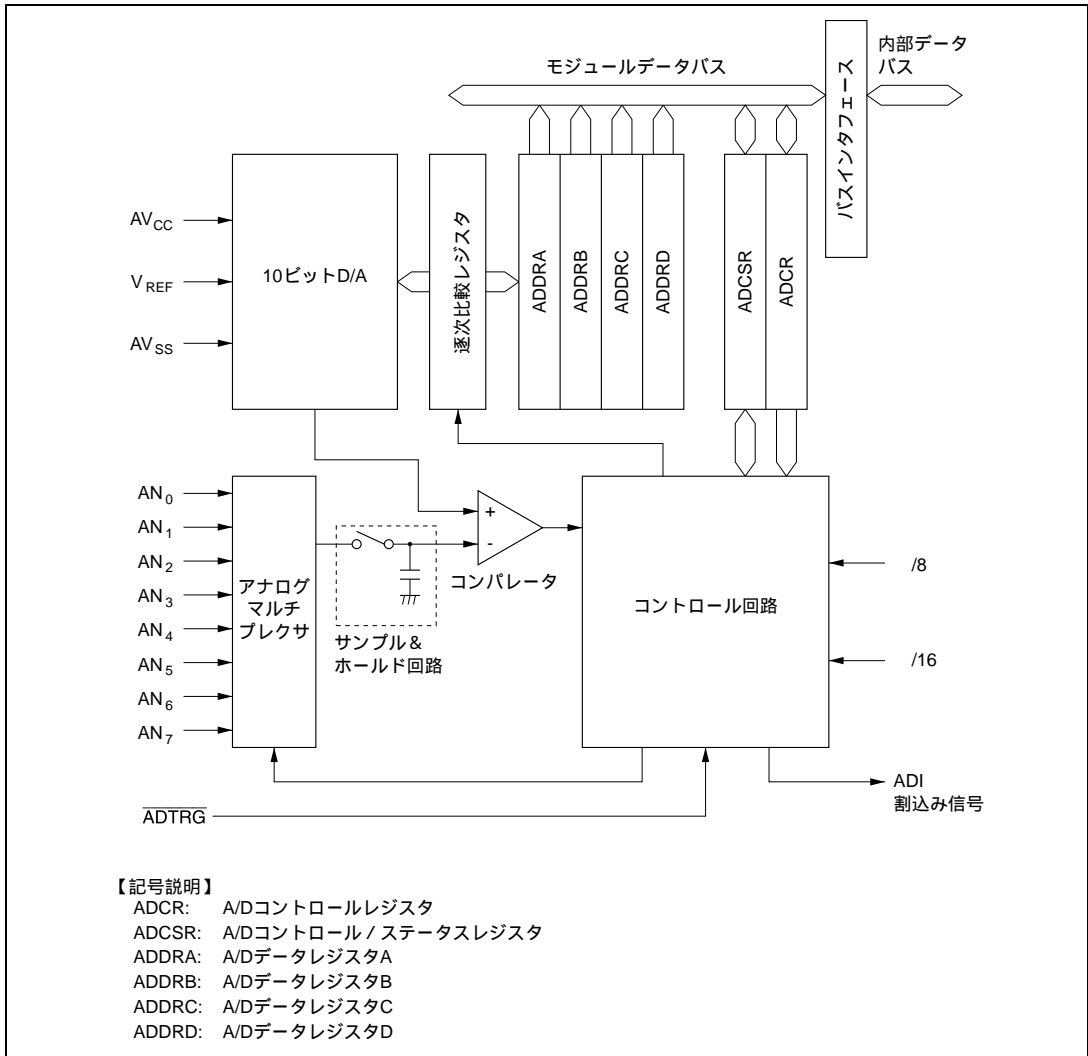


図 15.1 A/D 変換器のブロック図

15.1.3 端子構成

A/D 変換器で使用する入力端子を表 15.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 ($AN_0 \sim AN_3$) がグループ 0、アナログ入力端子 4~7 ($AN_4 \sim AN_7$) がグループ 1 になっています。

AV_{CC} 、 AV_{SS} 端子は、A/D 変換器内のアナログ部の電源です。 V_{REF} 端子は、A/D 変換基準電圧端子です。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	V_{REF}	入力	アナログ部の基準電圧
アナログ入力端子 0	AN_0	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN_1	入力	
アナログ入力端子 2	AN_2	入力	
アナログ入力端子 3	AN_3	入力	
アナログ入力端子 4	AN_4	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN_5	入力	
アナログ入力端子 6	AN_6	入力	
アナログ入力端子 7	AN_7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

15.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFE0	A/D データレジスタ AH	ADDRAH	R	H'00
H'FFE1	A/D データレジスタ AL	ADDRAL	R	H'00
H'FFE2	A/D データレジスタ BH	ADDRBH	R	H'00
H'FFE3	A/D データレジスタ BL	ADDRBL	R	H'00
H'FFE4	A/D データレジスタ CH	ADDRCH	R	H'00
H'FFE5	A/D データレジスタ CL	ADDRCL	R	H'00
H'FFE6	A/D データレジスタ DH	ADDRDH	R	H'00
H'FFE7	A/D データレジスタ DL	ADDRDL	R	H'00
H'FFE8	A/D コントロール/ステータスレジスタ	ADCSR	R/(W)*2	H'00
H'FFE9	A/D コントロールレジスタ	ADCR	R/W	H'7E

【注】 *1 アドレスの低位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

15.2 各レジスタの説明

15.2.1 A/D データレジスタ A ~ D (ADDR_A ~ D)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR _n :	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

A/D変換データ
A/D変換結果の10ビットデータを
格納するビットです。

リザーブビット

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDR_A ~ ADDR_D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

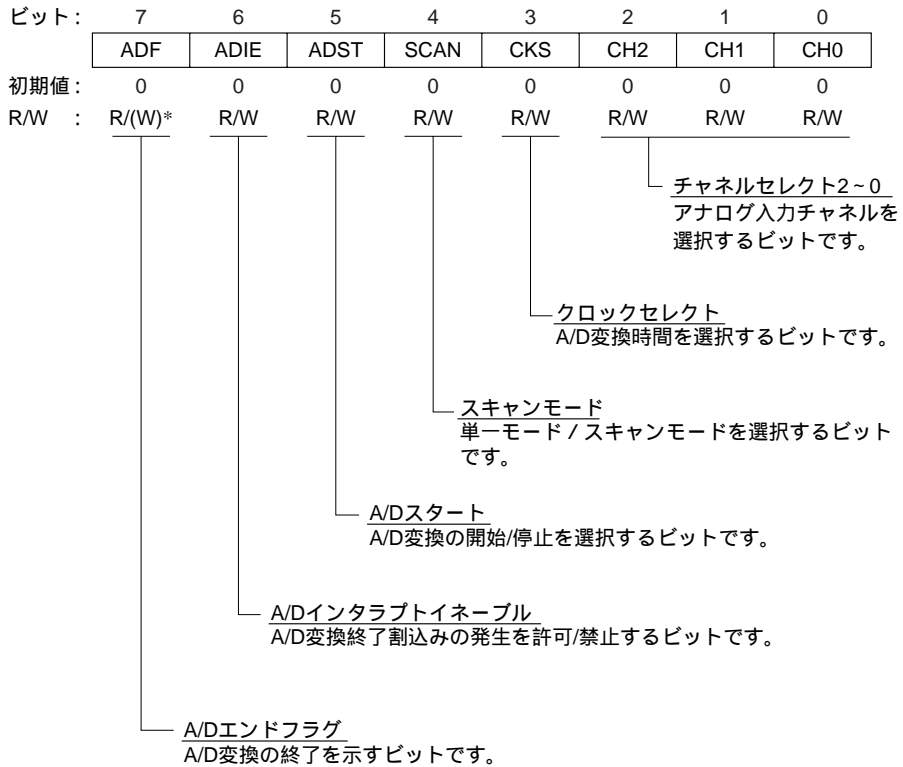
ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「15.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 にイニシャライズされます。

表 15.3 アナログ入力チャンネルと ADDR_A ~ ADDR_D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDR _A
AN ₁	AN ₅	ADDR _B
AN ₂	AN ₆	ADDR _C
AN ₃	AN ₇	ADDR _D

15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)



【注】 * フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

15. A/D 変換器

ビット 7 : A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説明
ADF	
0	〔クリア条件〕 (初期値) ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき
1	〔セット条件〕 (1) 単一モード : A/D 変換が終了したとき (2) スキャンモード : 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可 / 禁止を選択します。

ビット 6	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

ビット 5 : A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) により 1 にセットすることもできます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード : A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット 4 : スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「15.4 動作説明」を参照してください。モードの切り換えは、ADST=0 の状態で行ってください。

ビット 4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D 変換時間の設定を行います。

変換時間の切換えは、ADST=0の状態で行ってください。

ビット3	説明	
CKS		
0	変換時間 = 266 ステート (max)	(初期値)
1	変換時間 = 134 ステート (max)	

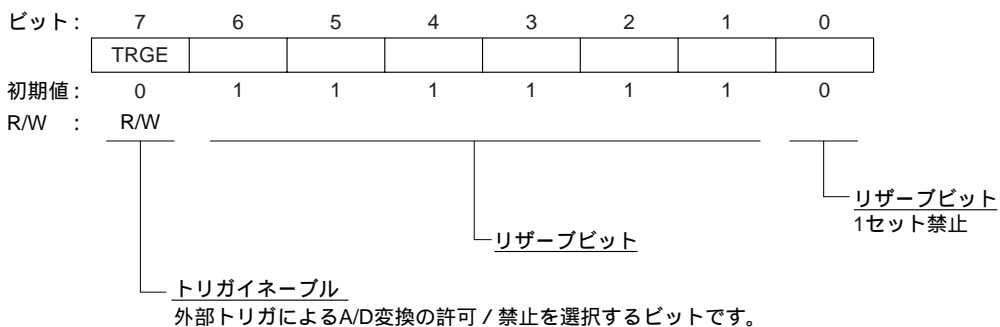
ビット2~0：チャンネルセレクト2~0（CH2~0）

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切換えは、ADST=0の状態で行ってください。

グループ選択	チャンネル選択		説明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
		1	AN ₁	AN ₀ , AN ₁
	1	0	AN ₂	AN ₀ ~ AN ₂
		1	AN ₃	AN ₀ ~ AN ₃
1	0	0	AN ₄	AN ₄
		1	AN ₅	AN ₄ , AN ₅
	1	0	AN ₆	AN ₄ ~ AN ₆
		1	AN ₇	AN ₄ ~ AN ₇

15.2.3 A/D コントロールレジスタ (ADCR)



ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7E にイニシャライズされます。

ビット7: トリガイネーブル (TRGE)

外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ビット7	説明
TRGE	
0	外部トリガ入力による A/D 変換の開始を禁止 (初期値)
1	外部トリガ端子 (ADTRG) の立下がりエッジで A/D 変換を開始

ビット6~1: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0: リザーブビット

リザーブビットです。1にセットしないでください。

15.3 CPU とのインタフェース

ADDRA ~ ADDR4D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

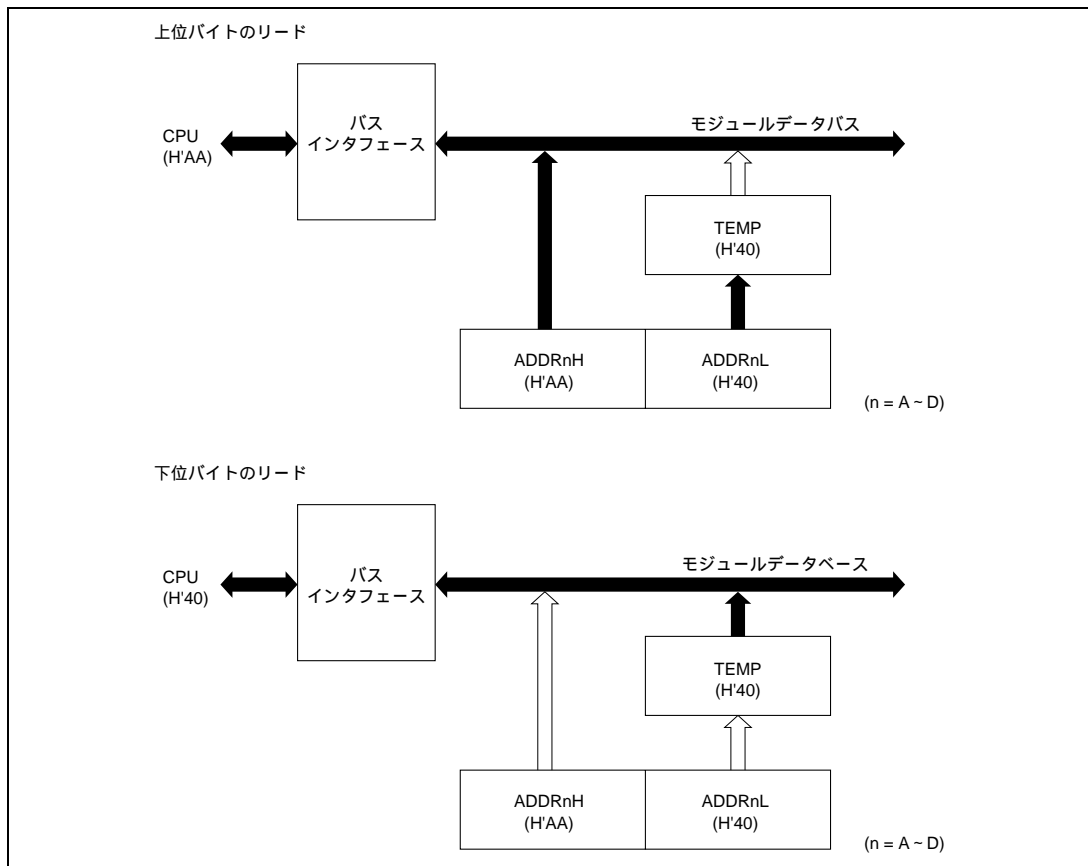


図 15.2 ADDR のアクセス動作 (〔H'AA40〕リード時)

15.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

15.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN_1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 15.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN_1 に (CH2 = CH1 = 0、CH0 = 1)、A/D 割込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR_B に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割込み要求が発生します。
- (4) A/D 割込み処理ルーチンが開始されます。
- (5) ADCSR をリードした後、ADF に 0 をライトします。
- (6) A/D 変換結果 (ADDR_B) をリードして、処理します。
- (7) A/D 割込み処理ルーチンの実行を終了します。
この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

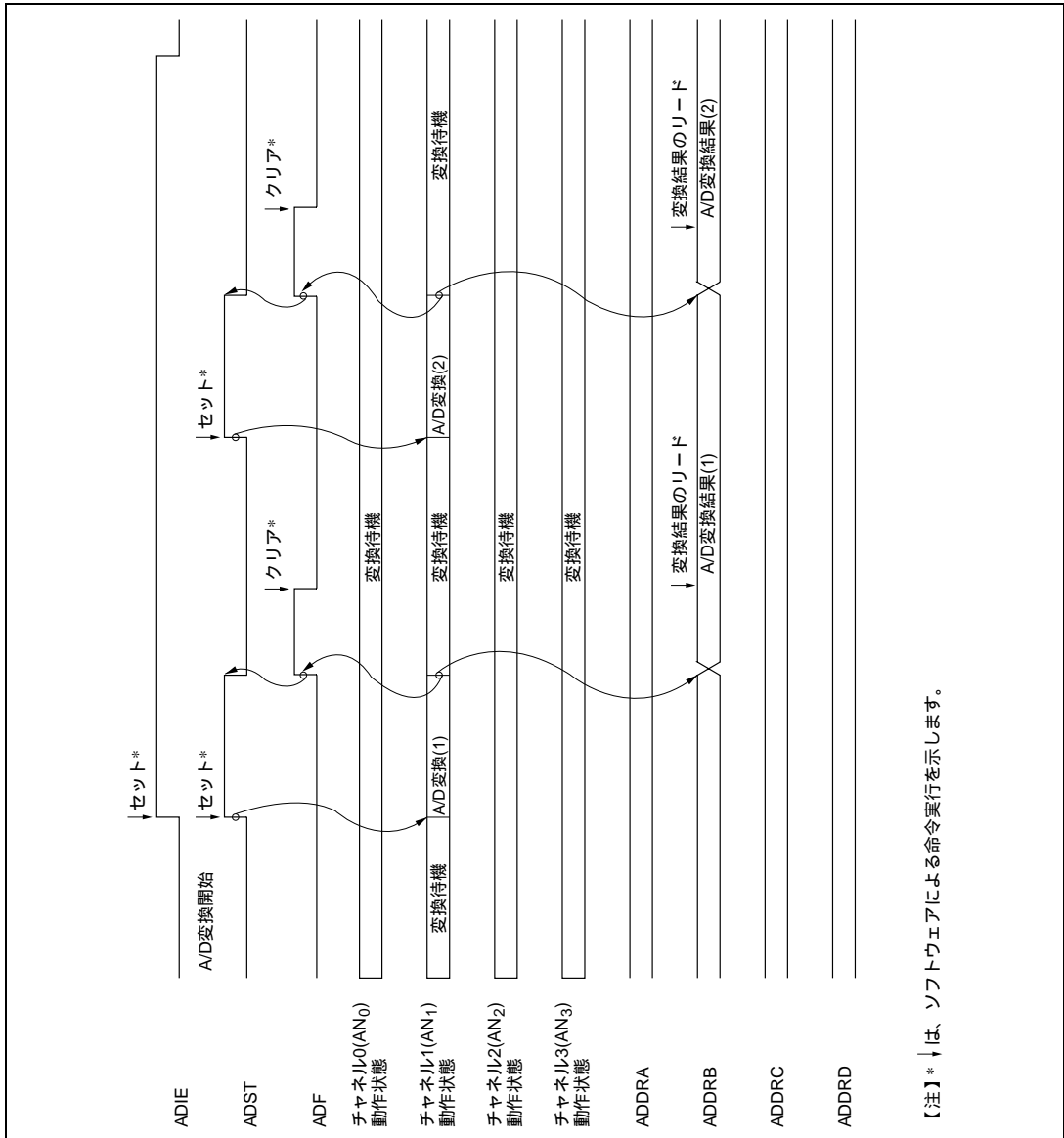


図 15.3 A/D 変換器の動作例 (単一モード チャンネル1 選択時)

【注】* ↓は、ソフトウェアによる命令実行を示します。

15.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN₀、CH2 = 1 のとき AN₄) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 15.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキヤングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN₀ ~ AN₂ (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN₀) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。
次に第 2 チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀ ~ AN₂) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN₀) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割込みを発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN₀) から変換が行われます。

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.4 に示します。

A/D 変換時間は、図 15.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は $CKS = 0$ の場合は 256 ステート（固定）、 $CKS = 1$ の場合は 128 ステート（固定）となります。

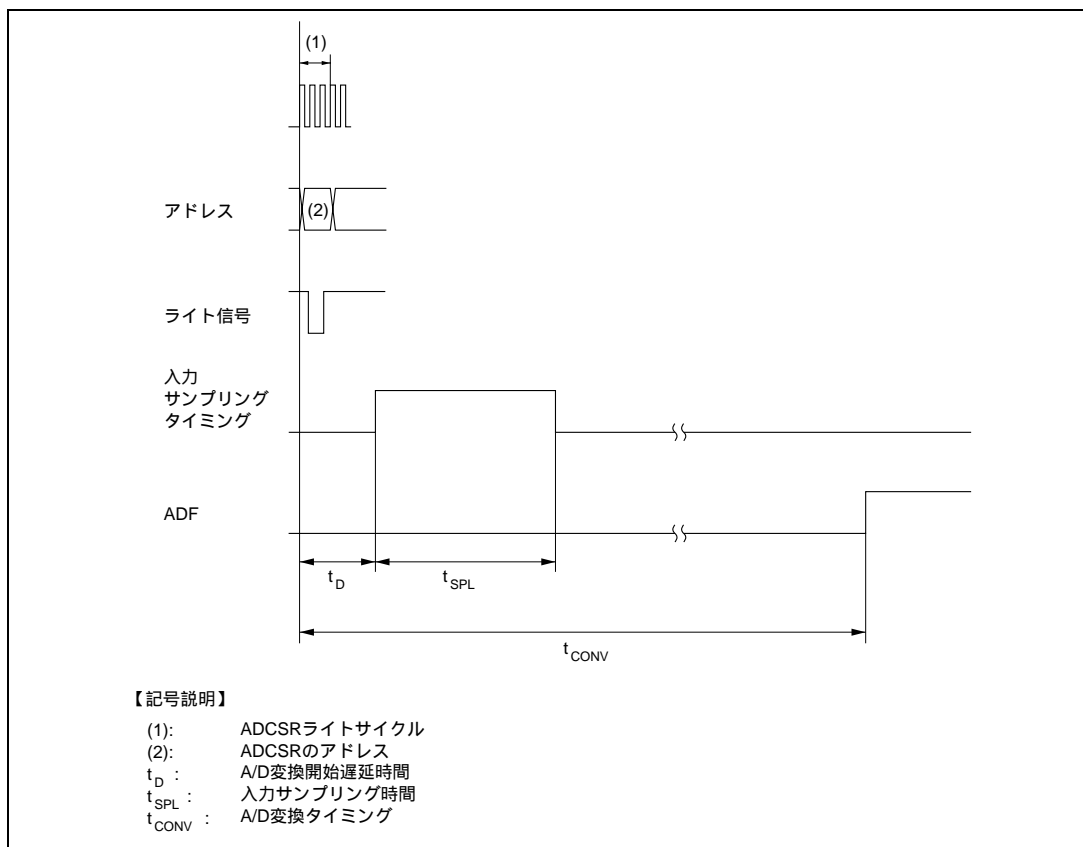


図 15.5 A/D 変換タイミング

表 15.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	-	17	6	-	9
入力サンプリング時間	t_{SPL}	-	63	-	-	31	-
A/D 変換時間	t_{CONV}	259	-	266	131	-	134

【注】 表中の数値の単位はステートです。

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 15.6 に示します。

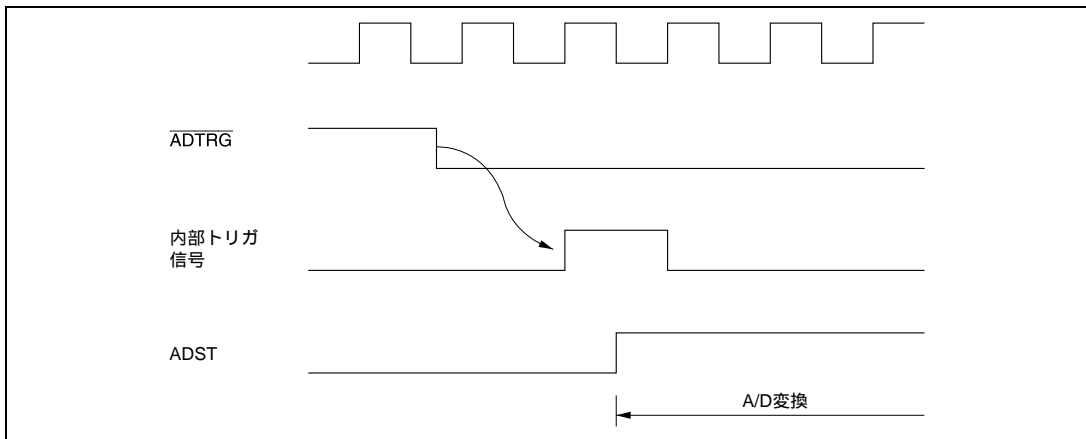


図 15.6 外部トリガ入力タイミング

15.5 割込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割込み (ADI) を発生します。ADI 割込み要求は、ADCSR の ADIE ビットで許可 / 禁止することができます。

15.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号 ($AN_0 \sim AN_7$)、アナログ基準電源 (V_{REF})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

(2) ノイズ対策上の注意

アナログ入力端子 ($AN_0 \sim AN_7$)、アナログ基準電源 (V_{REF}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図15.7に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} 、 V_{REF} に接続するバイパス・コンデンサ、 $AN_0 \sim AN_7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図15.7のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN_0 \sim AN_7$) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁にA/D変換を行う場合、A/D変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_m) を経由して入力される電流を上回るとアナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

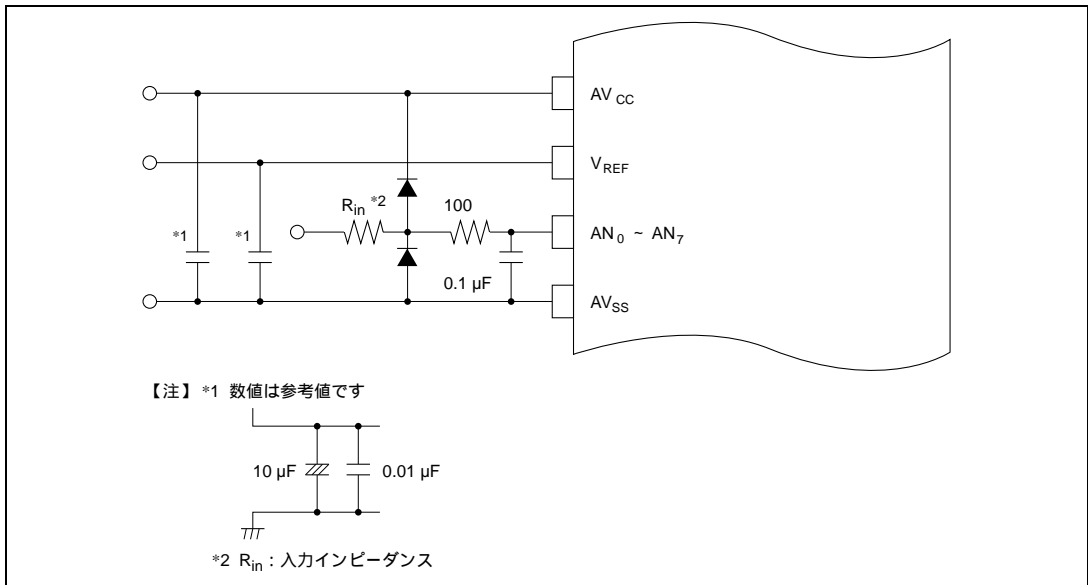


図 15.7 アナログ入力保護回路の例

表 15.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	10*	k

【注】 * $V_{cc} = 4.0 \sim 5.5V$ 、12MHz の場合。詳細は「21. 電気的特性」を参照してください。

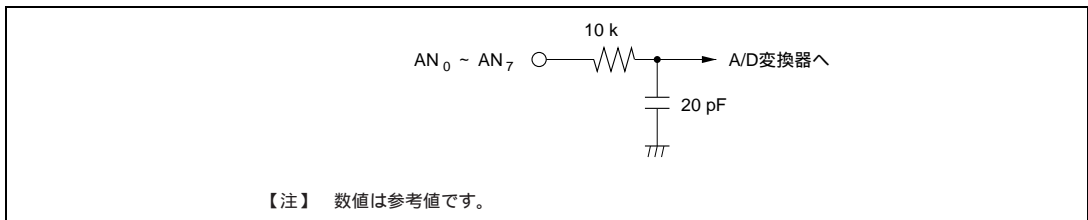


図 15.8 アナログ入力端子等価回路

15. A/D 変換器

(3) A/D変換精度の定義：

以下に、本LSIのA/D変換精度の定義を示します。

- 分解能 : A/D 変換器のデジタル出力コード数
- オフセット誤差 : デジタル出力が最小電圧値 0000000000 から 0000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 15.10)
- フルスケール誤差 : デジタル出力が 1111111110 から 1111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 15.10)
- 量子化誤差 : A/D 変換器が本質的に有する偏差であり、 $1/2\text{LSB}$ で与えられる (図 15.9)
- 非直線性誤差 : ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度 : デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

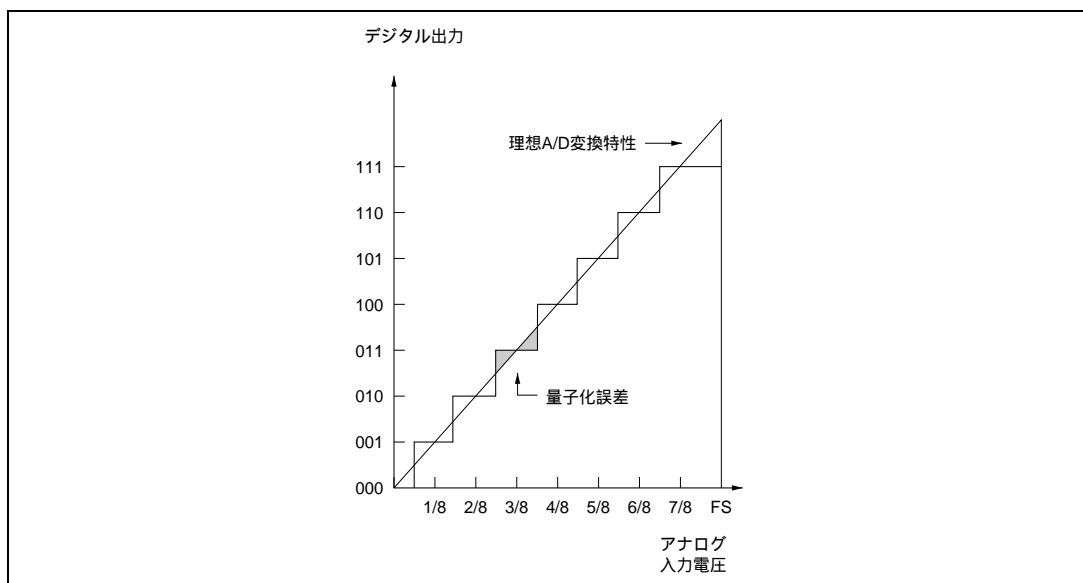


図 15.9 A/D 変換精度の定義 (1)

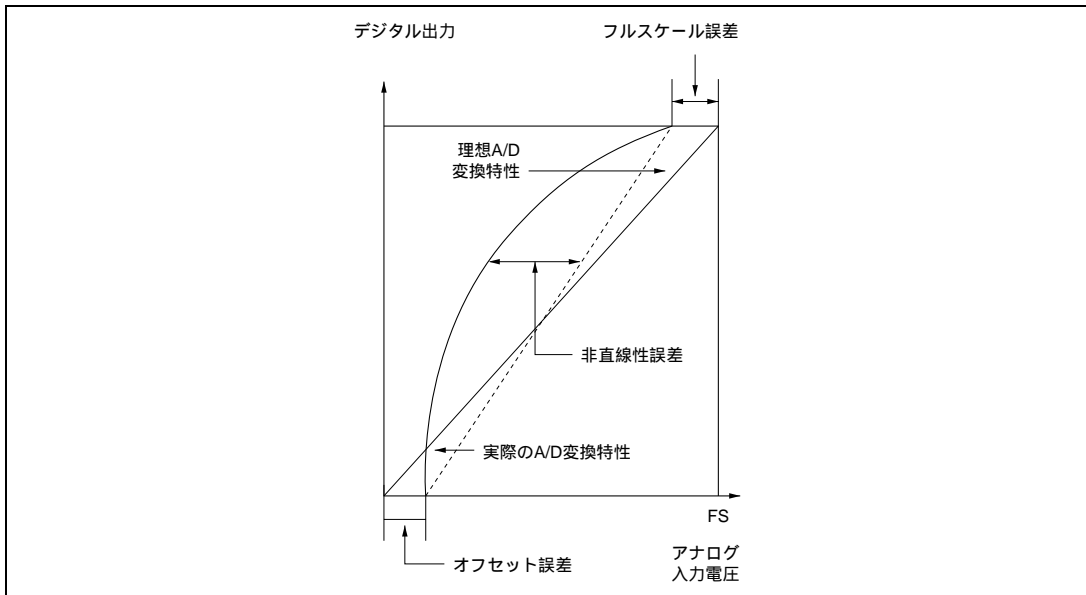


図 15.10 A/D 変換精度の定義 (2)

(4) 許容信号源インピーダンスについて

本LSIのアナログ入力は、信号源インピーダンスが $10k\ \Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これはA/D変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10k\ \Omega$ を越える場合充電不足が生じ、A/D変換精度が保証できなくなる場合があります。単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\ \Omega$ だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルターとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が $5mV / \mu s$ 以上）には追従できない場合があります（図15.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

(5) 絶対精度への影響について

容量を付加することにより、GNDとのカップリングを受けることとなりますので、GNDにノイズがあると絶対精度が悪化する可能性があります。必ず AV_{SS} 等の電氣的に安定なGNDに接続してください。またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

15. A/D 変換器

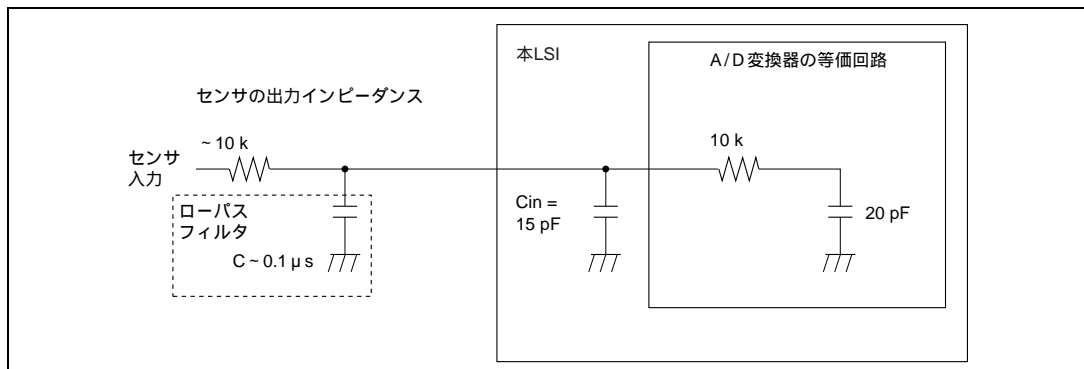


図 15.11 アナログ入力回路の例

16. D/A 変換器

16.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

16.1.1 特長

D/A 変換器の特長を以下に示します。

- 8 ビットの分解能
- 2 チャンネル出力
- 変換時間最大 $10\ \mu\text{s}$ (負荷容量 20pF 時)
- 出力電圧 $0\text{V} \sim V_{\text{REF}}$
- ソフトウェアスタンバイ時の D/A 出力保持機能

16.1.2 ブロック図

D/A 変換器のブロック図を図 16.1 に示します。

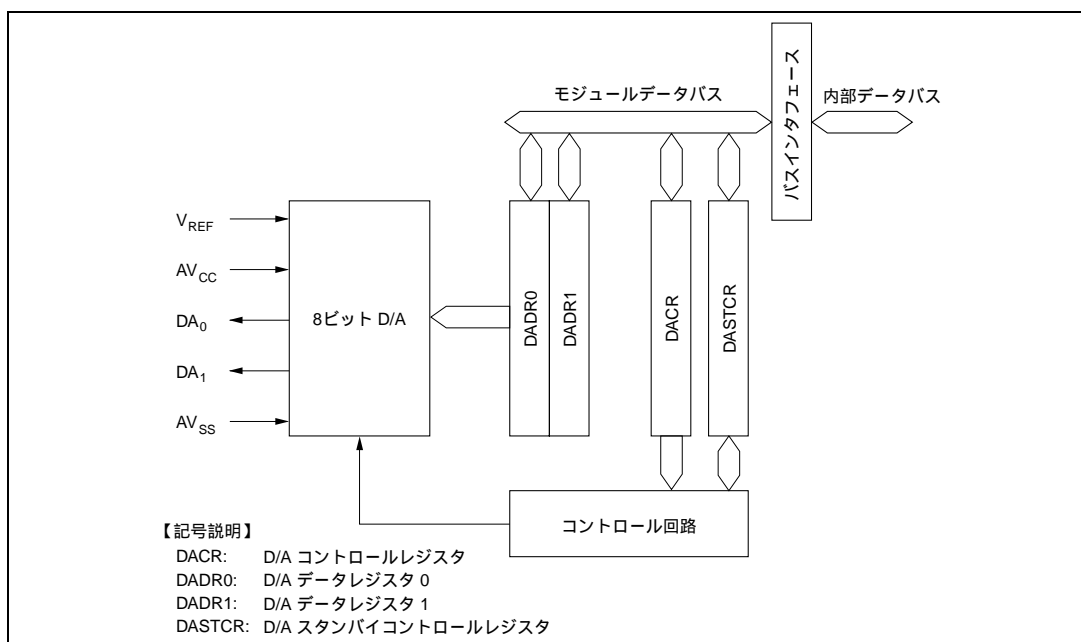


図 16.1 D/A 変換器のブロック図

16. D/A 変換器

16.1.3 端子構成

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

端子名	略 称	入出力	機 能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA ₀	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA ₁	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V _{REF}	入力	アナログ部の基準電圧

16.1.4 レジスタ構成

D/A 変換器でレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFDC	D/A データレジスタ 0	DADR0	R/W	H'00
H'FFDD	D/A データレジスタ 1	DADR1	R/W	H'00
H'FFDE	D/A コントロールレジスタ	DACR	R/W	H'1F
H'FF5C	D/A スタンバイコントロールレジスタ	DASTCR	R/W	H'FE

【注】 * アドレスの下位 16 ビットを示します。

16.2 各レジスタの説明

16.2.1 D/A データレジスタ 0、1 (DADR0、1)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1 (DADR0、1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。DADR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

16.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE					
初期値:	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W					

D/A イネーブル
 D/A 変換を制御するビットです。

D/A アウトプットイネーブル0
 D/A 変換とアナログ出力を制御するビットです。

D/A アウトプットイネーブル1
 D/A 変換とアナログ出力を制御するビットです。

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR は、リセットまたはスタンバイモード時に、H'1F にイニシャライズされます。

16. D/A 変換器

ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	DAOE1	説明
0		
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA ₁ を許可	

ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	DAOE0	説明
0		
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA ₀ を許可	

ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 とともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1 により、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル 0、1 の D/A 変換を禁止
	1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可
	1	-	チャンネル 0、1 の D/A 変換を許可

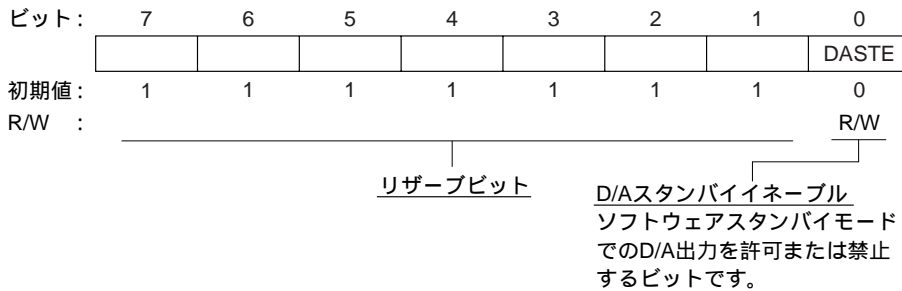
DAE ビットを 1 にセットすると、DACR の DAOE0、1 ビット、ADCSR の ADST ビットが 0 にクリアされていても、アナログ電源電流は A/D、D/A 変換中と同等になります。

ビット 4~0 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

16.2.3 D/A スタンバイコントロールレジスタ (DASTCR)

DASTCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードでの D/A の出力を許可または禁止します。



DASTCR はリセット、またはハードウェアスタンバイモード時に、HFE にイニシャライズされま
す。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7~1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0: D/A スタンバイネーブル (DASTE)

ソフトウェアスタンバイモードでの D/A 出力を許可または禁止します。

ビット 0	説 明
DASTE	
0	ソフトウェアスタンバイモードでの D/A 出力を禁止 (初期値)
1	ソフトウェアスタンバイモードでの D/A 出力を許可

16.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、1 を書き換えるとただちに、新しいデータが変換されます。DAOE0、1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを図 16.2 に示します。

- (1) DADR0 に変換データをライトします。
- (2) DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA₀ 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は $\frac{\text{DADR0 の内容}}{256} \times V_{\text{REF}}$ です。次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。
- (3) DADR0 を書き換えるとただちにに変換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0 ビットを 0 にクリアすると、DA₀ 端子は入力端子になります。

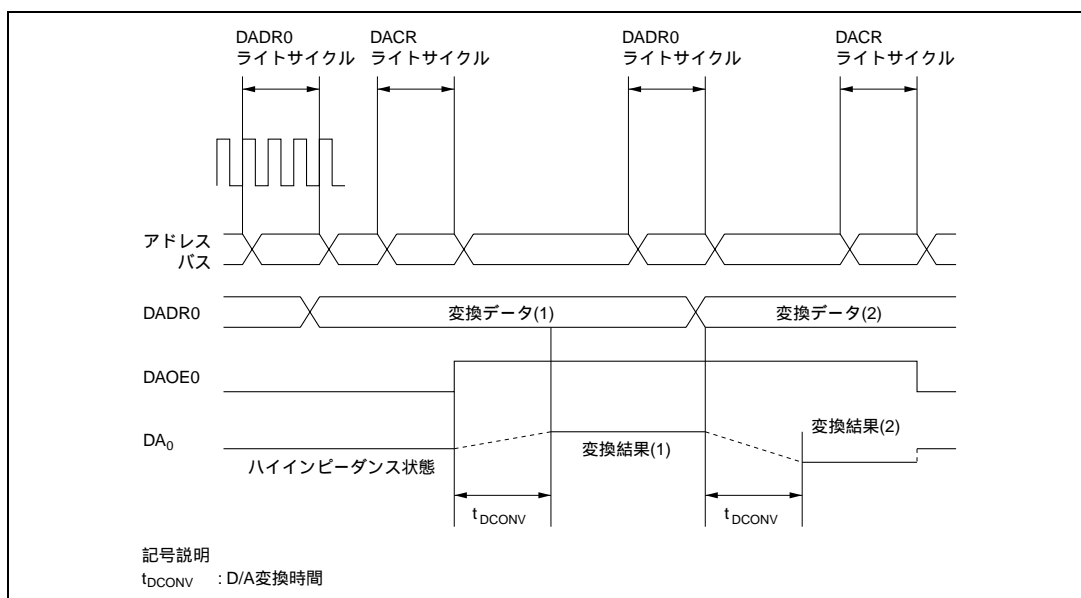


図 16.2 D/A 変換器の動作例

16.4 D/A 出力制御

本 LSI は、ソフトウェアスタンバイモードで D/A 変換器の出力を許可または禁止することができます。

DASTCR の DASTE ビットを 1 にセットすると、ソフトウェアスタンバイモードにおいても D/A 変換器の出力が許可されます。このとき、D/A 変換器のレジスタはソフトウェアスタンバイモードに遷移する直前の値を保持します。

なお、ソフトウェアスタンバイモードで D/A 出力を許可した場合、リファレンス電源電流は動作時と同じとなります。

17. RAM

17.1 概要

本 LSI は 8k バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

本 LSI の内蔵 RAM は、モード 1、2、5、7 のとき H'FDF10 ~ H'FFF0F に、モード 3、4、6 のとき H'FFDF10 ~ H'FFFF0F に割り当てられています。

システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより内蔵 RAM 有効 / 無効の制御を行います。

17.1.1 ブロック図

RAM のブロック図を図 17.1 に示します。

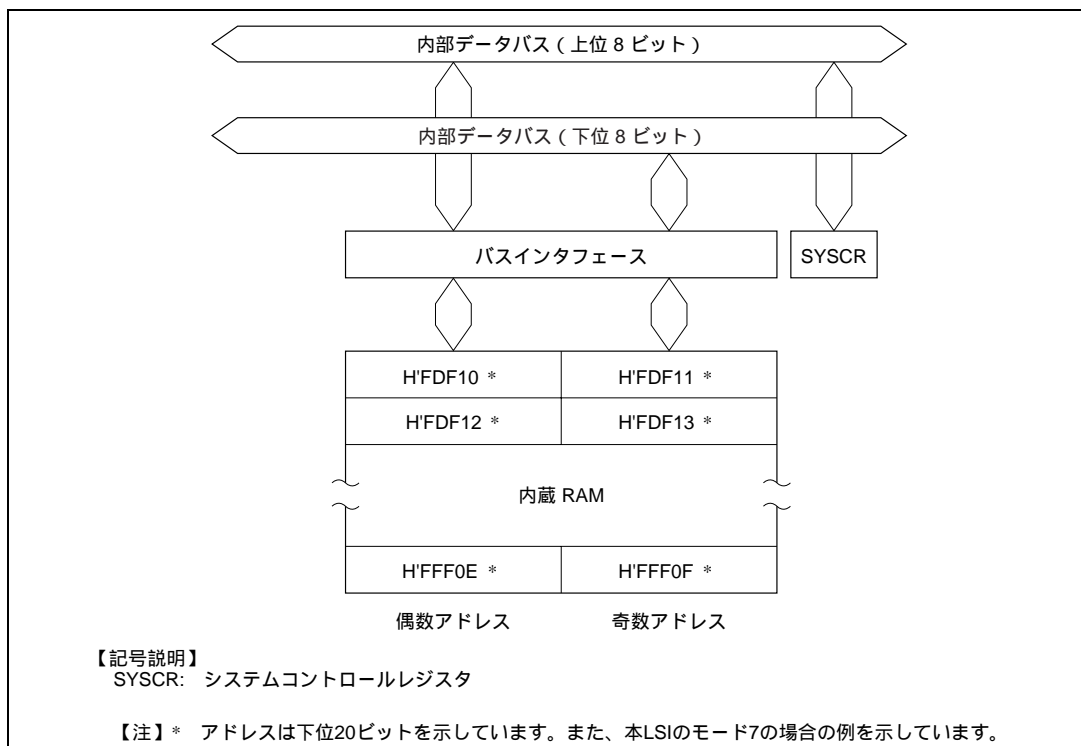


図 17.1 RAM のブロック図

17.1.2 レジスタ構成

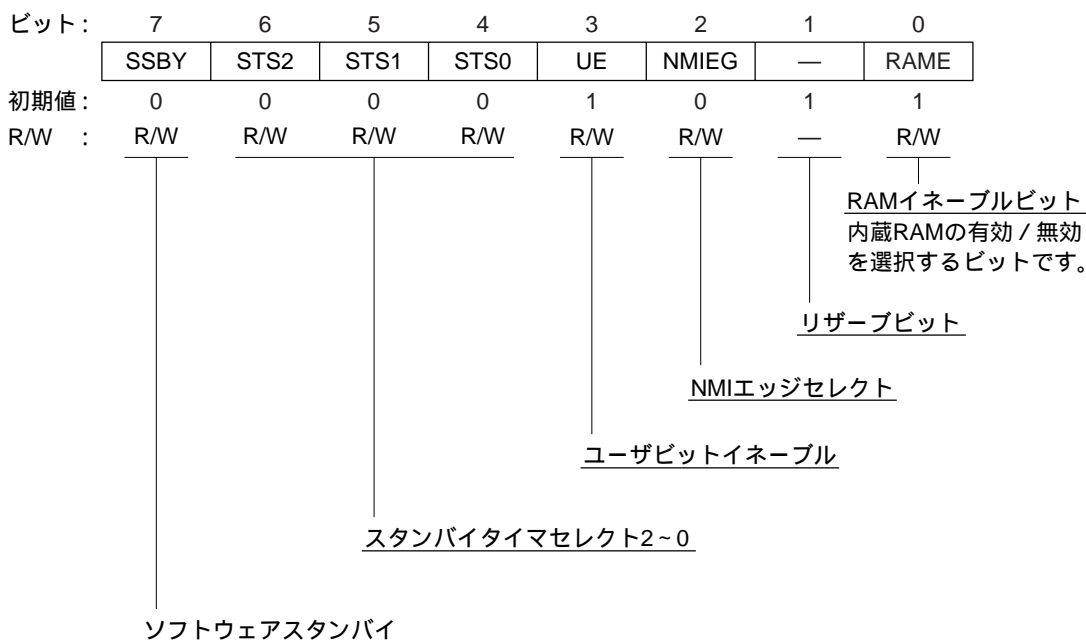
内蔵 RAM は、SYSCR で制御されます。
SYSCR のアドレスと初期値を表 17.1 に示します。

表 17.1 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】 * アドレスは下位 16 ビットを示しています。

17.2 システムコントロールレジスタ (SYSCR)



SYSCR は、内蔵 RAM へのアクセスを許可 / 禁止するレジスタです。内蔵 RAM は SYSCR の RAME ビットにより有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ」を参照してください。

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットは $\overline{\text{RES}}$ 端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

17.3 動作説明

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。本 LSI では、モード 1、2、5、7 のとき H'FDF10~H'FFF0F を、モード 3、4、6 のとき H'FFDF10~H'FFFF0F をアクセスすると内蔵 RAM がアクセスされます。また、モード 1~6 (拡張モード) では RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。モード 7 (シングルチップモード) では、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

RAM は CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトも可能です。

バイトデータは、データバス上位 8 ビットを使い 2 ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス 16 ビットを使い 2 ステートでアクセスできます。

18. ROM

18.1 特長

本 LSI は 512kB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

- フラッシュメモリの 4 種類の動作モード
 - プログラムモード
 - イレースモード
 - プログラムベリファイモード
 - イレースベリファイモード
- 書き込み / 消去方式
書き込みは128バイト同時書き込みを行います。消去はブロック分割消去（1ブロック単位）で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では4kB、32kB、64kBのブロック単位で任意に設定することができます。
- 書き込み / 消去時間
フラッシュメモリの書き込み時間は、128バイト同時書き込みにて10ms（typ.）、1バイトあたり換算にて約80 μ s（typ.）、消去時間は、100ms（typ.）です。
- 書き換え回数
フラッシュメモリの書き換えは、100回まで可能です。
- オンボードプログラミングモード
オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。
 - ブートモード
 - ユーザプログラムモード
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合わせることができます。
- RAM によるフラッシュメモリのエミュレーション機能
フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード
ソフトウェアプロテクトモードとハードウェアプロテクトモードの2種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。
- PROM モード
フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外にPROMライタを用いたPROMモードがあります。

18.2 概要

18.2.1 ブロック図

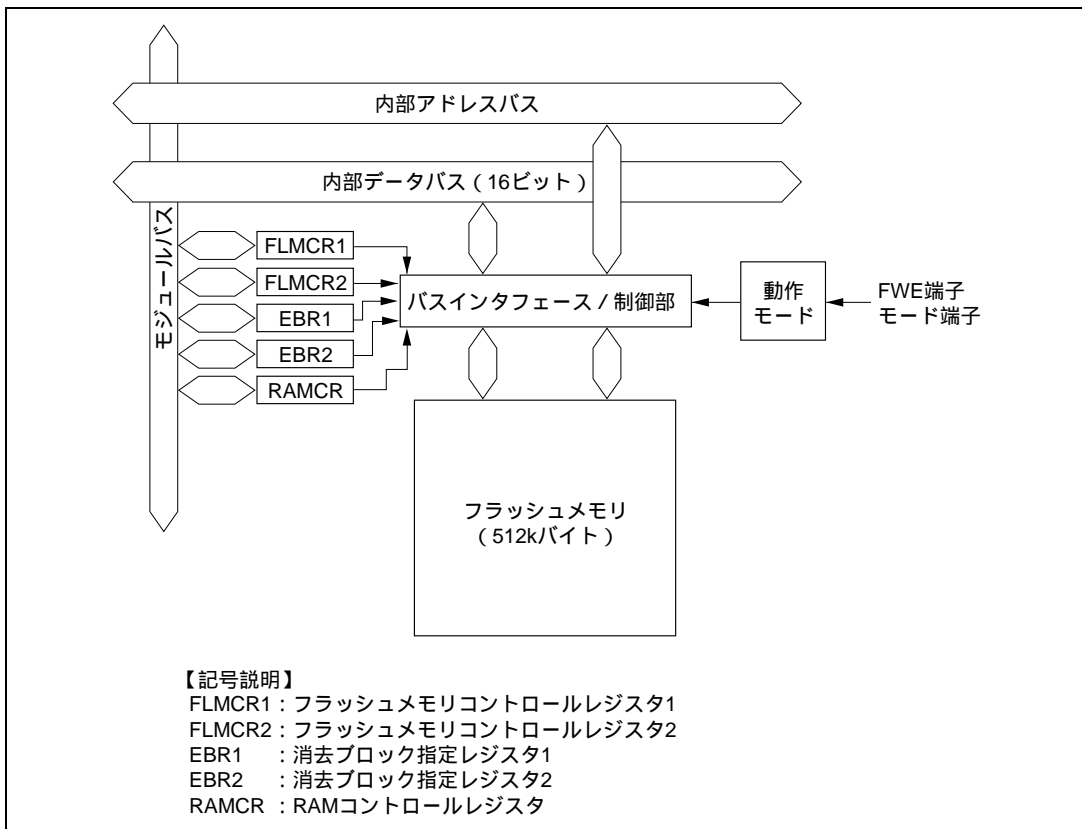


図 18.1 フラッシュメモリのブロック図

18.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 18.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできませんが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、PROM モードがあります。

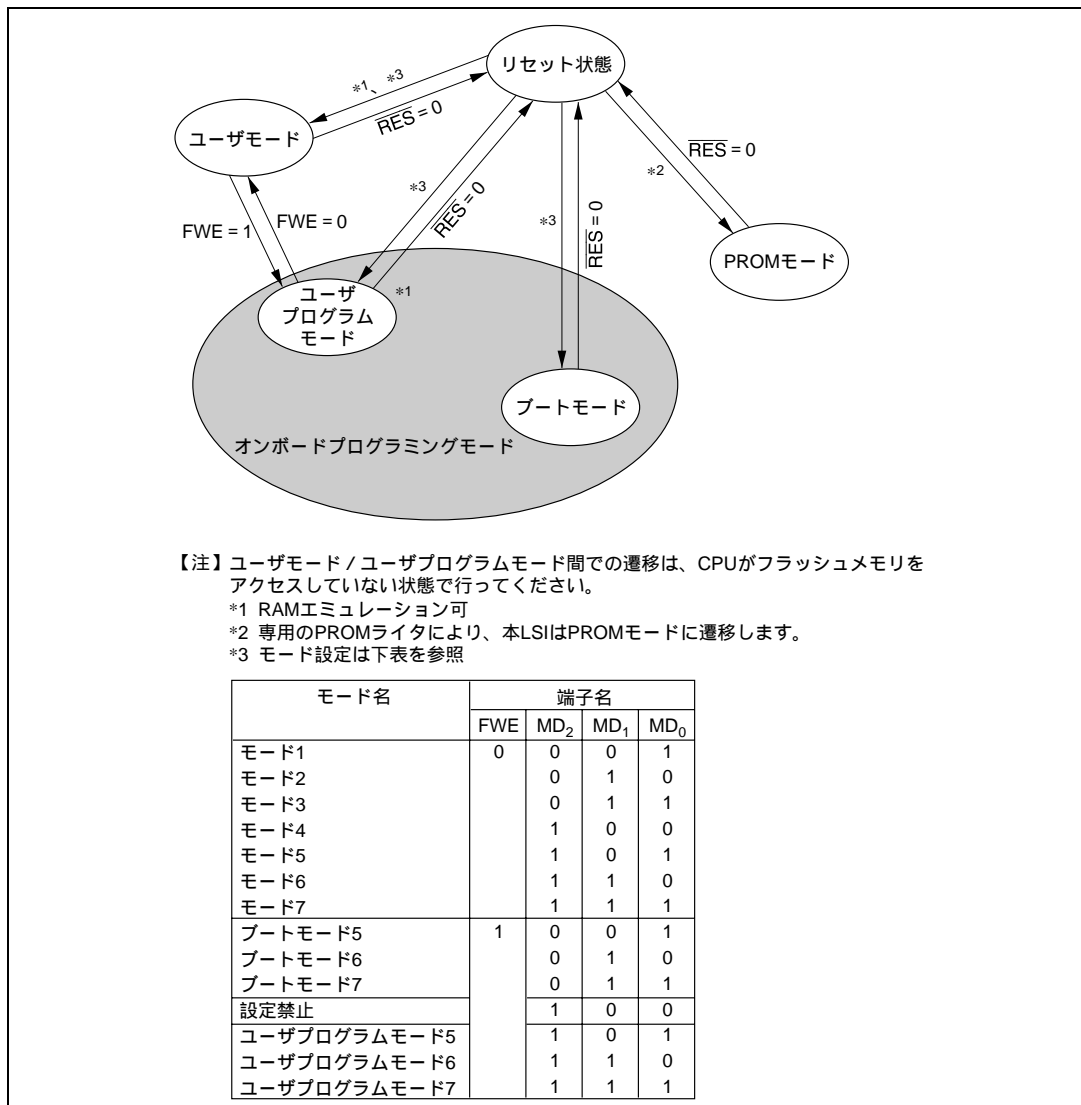
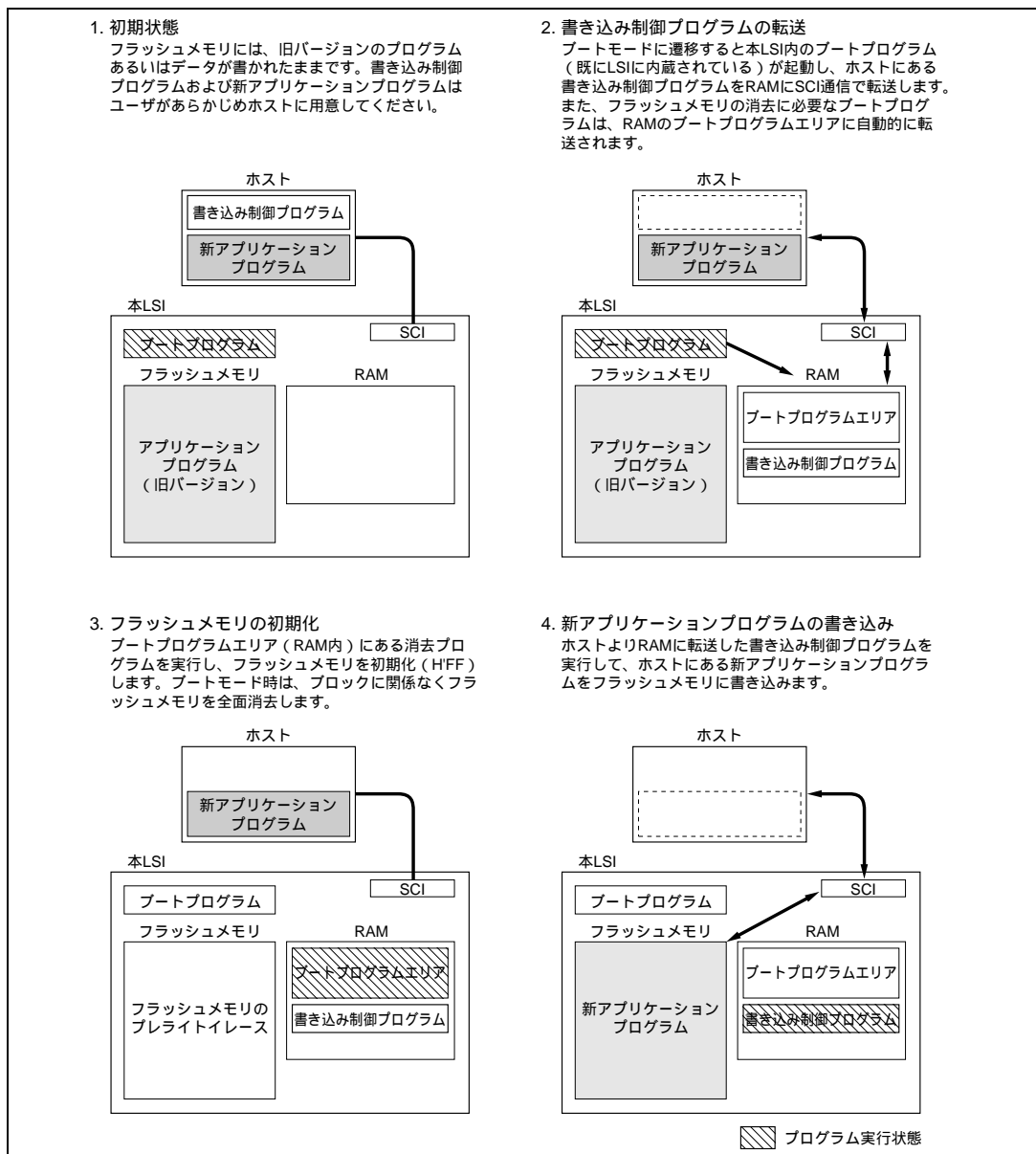


図 18.2 フラッシュメモリに関する状態遷移

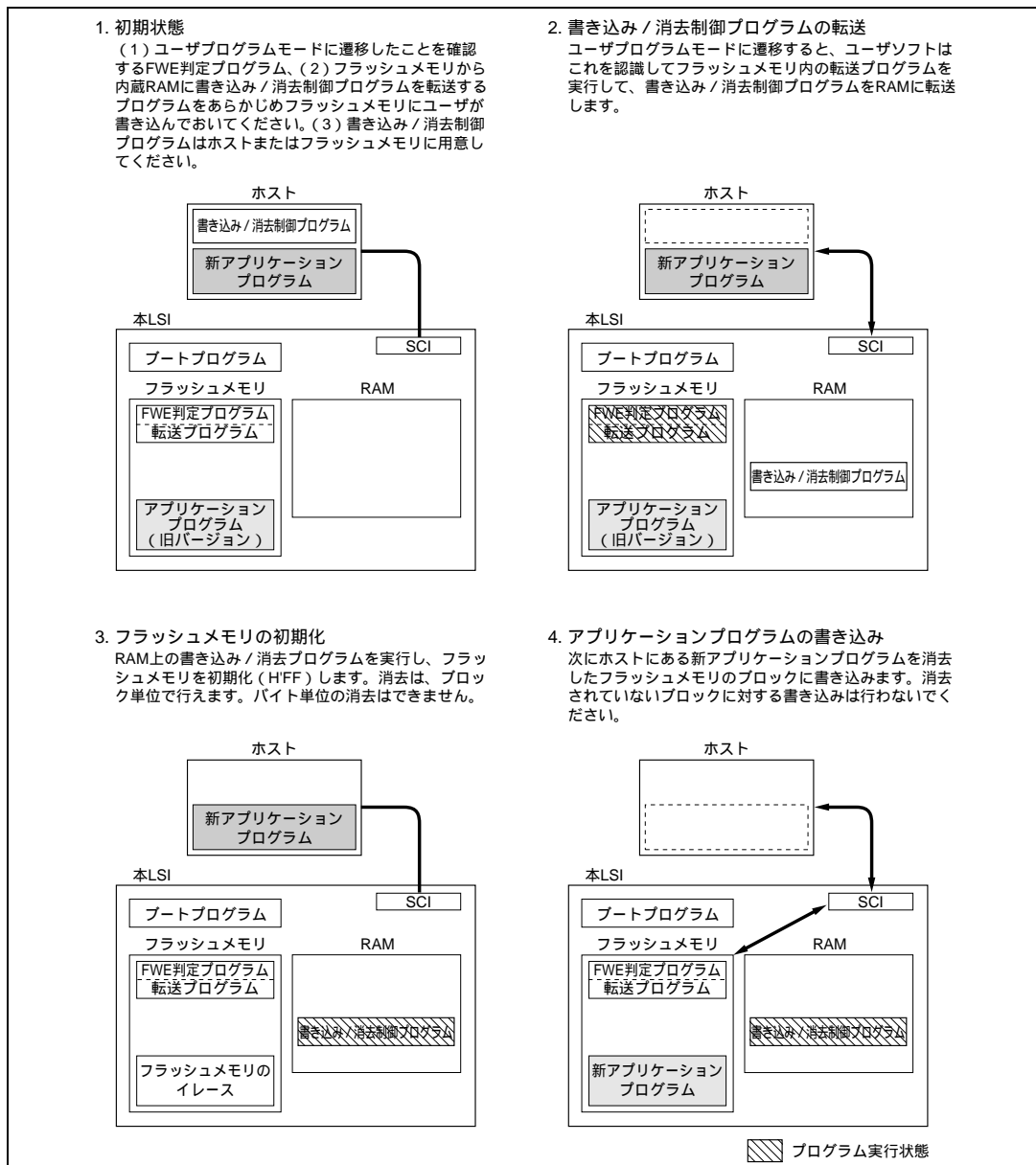
FWE 端子の High / Low、Low / High によって通常のユーザモードとオンボードプログラミングモードとの状態遷移が行われます。誤動作（誤書き込みや誤消去）を回避するために、その際には、フラッシュメモリコントロールレジスタ（FLMCR1、FLMCR2）の各ビットを 0 にクリアしてください。また各ビットのクリア後にはウェイト時間が必要です。このウェイト時間が不足した場合、正常動作は保証されません。

18.2.3 オンボードプログラミングモード

(1) ブートモードの例



(2) ユーザプログラムモードの例



18.2.4 RAM によるフラッシュメモリのエミュレーション

本 LSI ではフラッシュメモリと RAM の一部を重ね合わせる（オーバーラップ RAM）ことで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。エミュレーション機能を実行しているときに RAMCR で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。

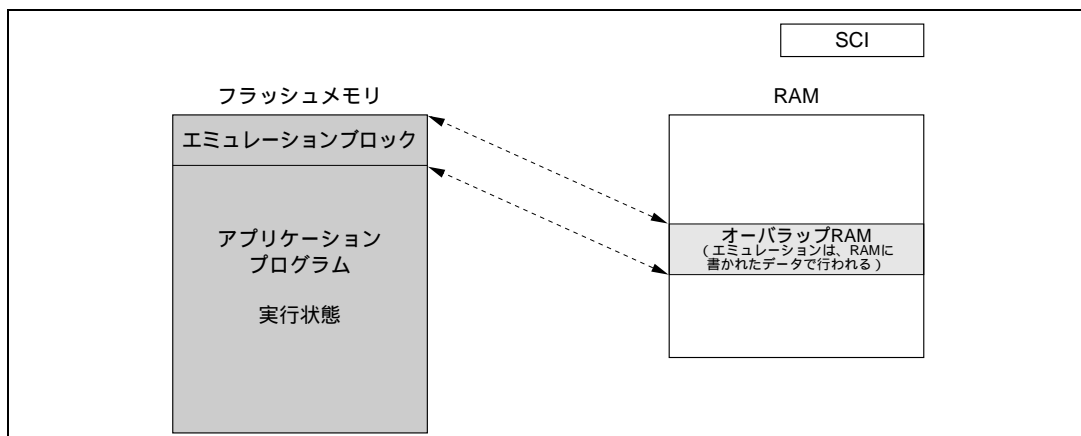


図 18.3 ユーザモード/ユーザプログラムモードのオーバーラップ RAM データの読み出し

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

ただし、オンボードプログラミングモードで書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

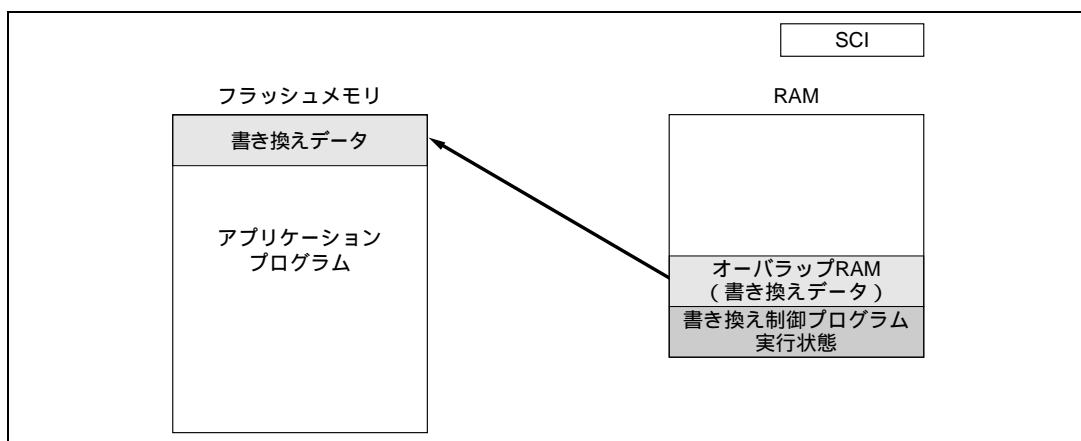


図 18.4 ユーザプログラムモードのオーバーラップ RAM データの書き込み

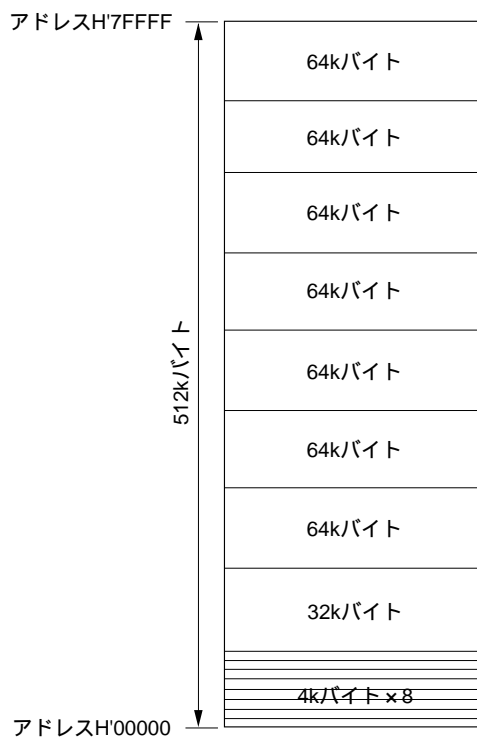
18.2.5 ブートモードとユーザプログラムモードの相違点

項目	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	ブートプログラムを起動しホストより書き換え制御プログラムを内蔵 RAM へ転送および実行	フラッシュメモリ中の書き換えプログラムを制御するプログラムを実行。 事前にライターモードまたは、ブートモードでプログラムを書き込んでください。

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

18.2.6 ブロック分割法

本 LSI のフラッシュメモリは、64k バイト（7 ブロック）、32k バイト（1 ブロック）、4k バイト（8 ブロック）に分割されています。



18.3 端子構成

フラッシュメモリは表 18.1 に示す端子により制御されます。

表 18.1 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライト イネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD	出力	シリアル送信データ出力
レシーブデータ	RxD	入力	シリアル受信データ入力

18.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ*を表 18.2 に示します。

【注】*アドレス下位 16 ビット H'FF44 ~ H'FF46、H'FF48 ~ H'FF4F はアクセス禁止です。

表 18.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*5	R/W*2	H'00*3	H'FF40
フラッシュメモリコントロールレジスタ 2	FLMCR2*5	R/W*2	H'00	H'FF41
消去ブロック指定レジスタ 1	EBR1*5	R/W*2	H'00*4	H'FF42
消去ブロック指定レジスタ 2	EBR2*5	R/W*2	H'00*4	H'FF43
RAM コントロールレジスタ	RAMCR*5	R/W	H'F0	H'FF47

【注】*1 アドレス下位 16 ビットを示しています。

*2 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。

*3 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*4 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE1 ビット、FLMCR2 の SWE2 ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR1、EBR2、RAMCR は 8 ビットのレジスタです。

アクセスは、バイトアクセスしてください。(ワードあるいはロングワードでアクセスしないでください。)

18.5 レジスタの説明

18.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値：	1/0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000 ~ H'3FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE = 1 時に SWE1 ビットをセット後、EV1 ビットまたは PV1 ビットをセットします。アドレス H'00000 ~ H'3FFFF に対して、プログラムモードへ遷移させるには、FWE = 1 時に、SWE1 ビットをセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。アドレス H'00000 ~ H'3FFFF に対してイレースモードへ遷移するには、FWE = 1 時に、SWE1 ビットをセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE1 ビットへの書き込みは FWE = 1 のとき、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE = 1、SWE1 = 1 のとき、E1 ビットへの書き込みは FWE = 1、SWE1 = 1、ESU1 = 1 のとき、P1 ビットへの書き込みは FWE = 1、SWE1 = 1、PSU1 = 1 のときのみ有効です。

ビット 7: フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット 6: ソフトウェアライトイネーブルビット 1 (SWE1)

フラッシュメモリの書き込み / 消去の有効または無効を選択するビットです (対象アドレス: H'00000 ~ H'3FFFF) (ビット 5 ~ 0、EBR1 の 7 ~ 0 ビット、EBR2 の 3 ~ 0 ビットをセットするときにセットしてください)。

ビット 6	説明
SWE1	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

【注】 SWE1 ビットを 1 にセットしている間は、SLEEP 命令は実行しないでください。

18. ROM

ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです(対象アドレス：H'00000～H'3FFFF)。FLMCR1のE1ビットを1にセットする前に1にセットしてください(SWE1、PSU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット5	説明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE=1、SWE1=1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです(対象アドレス：H'00000～H'3FFFF)。FLMCR1のP1ビットを1にセットする前に1にセットしてください(SWE1、ESU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット4	説明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE=1、SWE1=1 のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです(対象アドレス：H'00000～H'3FFFF)(SWE1、ESU1、PSU1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット3	説明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE=1、SWE1=1 のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです(対象アドレス：H'00000～H'3FFFF)(SWE1、ESU1、PSU1、EV1、E1、P1ビットを同時に設定しないでください)。

ビット2	説明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE1=1 のとき

ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです(対象アドレス:H'00000~H'3FFFF)(SWE1、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE1 = 1、ESU1 = 1 のとき

【注】 E1 ビットを 1 にセットしている間、フラッシュメモリへアクセスしないでください。

ビット0：プログラム (P1)

プログラムモードへの遷移、解除を選択するビットです(対象アドレス:H'00000~H'3FFFF)(SWE1、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE1 = 1、PSU1 = 1 のとき

【注】 P1 ビットを 1 にセットしている間は、フラッシュメモリへのアクセスは行わないでください。

18.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'40000~H'7FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE (FLMCR1) = 1 時に SWE2 ビットをセット後、EV2 ビット、PV2 ビットをセットします。アドレス H'40000~H'7FFFF に対してプログラムモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE2 ビットをセット後、PSU2 ビットをセットし、最後に P2 ビットをセットします。アドレス H'40000~H'7FFFF に対してイレースモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE2 ビットをセット後、ESU2 ビットをセットし、最後に E2 ビットをセットします。FLMCR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、および FWE 端子にハイレベルが入力されていても FLMCR2 の SWE2 ビットが設定されていないときは H'00 に初期化されます(ただし、FLER はパワーオンリセット、ハードウェアスタンバイモードでのみ初期化されます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR2 の SWE2 ビットへの書き込みは FWE (FLMCR1) = 1 のとき、ESU2、PSU2、EV2、PV2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE2 = 1 のとき、E2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE2 = 1、ESU2 = 1 のとき、P2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE2 = 1、PSU2 = 1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18. ROM

ビット7：フラッシュメモリエラー（FLER）

フラッシュメモリへ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER = 1 にセットされると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が有効 [セット条件] 「18.8.3 エラープロテクト」参照

ビット6：ソフトウェアライトイネーブルビット2（SWE2）

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです（対象アドレス：H'40000～H'7FFFF）（ビット5～0、EBR2の7～4ビットをセットするときにセットしてください）。

ビット6	説明
SWE2	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

【注】 SWE2 ビットを1にセットしている間は、SLEEP 命令は実行しないでください。

ビット5：イレースセットアップビット2（ESU2）

イレースモードへの遷移の準備をするビットです（対象アドレス：H'40000～H'7FFFF）。FLMCR2 のE2 ビットを1にセットする前に1にセットしてください（PSU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください）。

ビット5	説明
ESU2	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE2 = 1 のとき

ビット4：プログラムセットアップビット2（PSU2）

プログラムモードへの遷移の準備をするビットです（対象アドレス：H'40000～H'7FFFF）。FLMCR2 のE2 ビットを1にセットする前に1にセットしてください（ESU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください）。

ビット4	説明
PSU2	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE2 = 1 のとき

ビット3：イレースベリファイ2 (EV2)

イレースベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'40000～H'7FFFF) (ESU2、PSU2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット3	説明
EV2	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE2 = 1 のとき

ビット2：プログラムベリファイ2 (PV2)

プログラムベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'40000～H'7FFFF) (ESU2、PSU2、EV2、E2、P2 ビットを同時に設定しないでください)。

ビット2	説明
PV2	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE2 = 1 のとき

ビット1：イレース2 (E2)

イレースモードへの遷移、解除を選択するビットです (対象アドレス：H'40000～H'7FFFF) (ESU2、PSU2、EV2、PV2、P2 ビットを同時に設定しないでください)。

ビット1	説明
E2	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE2 = 1、ESU = 1 のとき

【注】 E2ビットを1にセットしている間は、フラッシュメモリへアクセスしないでください。

ビット0：プログラム2 (P2)

プログラムモードへの遷移、解除を選択するビットです (対象アドレス：H'40000～H'7FFFF) (ESU2、PSU2、EV2、PV2、E2 ビットを同時に設定しないでください)。

ビット0	説明
P2	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE2 = 1、PSU2 = 1 のとき

【注】 P2ビットをセットしている間は、フラッシュメモリへのアクセスは行わないでください。

18.5.3 消去ブロック指定レジスタ 1 (EBR1)

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、および FWE 端子にハイレベルが入力されていても FLMCR1 の SWE1 ビットが設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 18.3 を参照してください。

18.5.4 消去ブロック指定レジスタ 2 (EBR2)

ビット :	7	6	5	4	3	2	1	0
	EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、H'00 に初期化されます。また FWE 端子にハイレベルが入力されていても、FLMCR1 の SWE1 ビットが設定されていないときは EB11 ~ 8 が 0 に初期化されます。また、FLMCR2 の SWE2 ビットが設定されていないときは EB15 ~ 12 が 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります (それ以外のブロックは、消去プロテクト状態になります)。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 18.3 を参照してください。

表 18.3 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4k バイト)	H'000000 ~ H'000FFF
EB1 (4k バイト)	H'001000 ~ H'001FFF
EB2 (4k バイト)	H'002000 ~ H'002FFF
EB3 (4k バイト)	H'003000 ~ H'003FFF
EB4 (4k バイト)	H'004000 ~ H'004FFF
EB5 (4k バイト)	H'005000 ~ H'005FFF
EB6 (4k バイト)	H'006000 ~ H'006FFF
EB7 (4k バイト)	H'007000 ~ H'007FFF
EB8 (32k バイト)	H'008000 ~ H'00FFFF
EB9 (64k バイト)	H'010000 ~ H'01FFFF
EB10 (64k バイト)	H'020000 ~ H'02FFFF
EB11 (64k バイト)	H'030000 ~ H'03FFFF
EB12 (64k バイト)	H'040000 ~ H'04FFFF
EB13 (64k バイト)	H'050000 ~ H'05FFFF
EB14 (64k バイト)	H'060000 ~ H'06FFFF
EB15 (64k バイト)	H'070000 ~ H'07FFFF

18.5.5 RAM コントロールレジスタ (RAMCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値 :	1	1	1	1	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするとき、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに H'F0 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMCR の設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリアreaの分割法は、表 18.4 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット 7~4 : リザーブビット

読み出すと常に 1 が読み出されます。

18. ROM

ビット3：RAM セレクト（RAMS）

RAM によるフラッシュメモリのエミュレーション選択/非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み/消去プロテクト状態となります。

ビット3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト有効

ビット2、1、0：フラッシュメモリアリア選択

ビット3と共に使用し、RAM と重ね合わせるフラッシュメモリアリアを選択します。(表 18.4 参照)

表 18.4 フラッシュメモリアリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0		
H'FFE000 ~ H'FFFEFFF	RAM エリア 4k バイト	0	*	*	*		
H'000000 ~ H'000FFF	EB0 (4k バイト)	1	0	0	0		
H'001000 ~ H'001FFF	EB1 (4k バイト)			1	1		
H'002000 ~ H'002FFF	EB2 (4k バイト)			1	0		
H'003000 ~ H'003FFF	EB3 (4k バイト)			1	1		
H'004000 ~ H'004FFF	EB4 (4k バイト)		1	0	0	0	
H'005000 ~ H'005FFF	EB5 (4k バイト)				1	1	
H'006000 ~ H'006FFF	EB6 (4k バイト)			1	0	0	0
H'007000 ~ H'007FFF	EB7 (4k バイト)					1	1

* : Don't care

18.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 18.5 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 18.2 を参照してください。

表 18.5 オンボードプログラミングモードの設定方法

モード名		FWE	MD ₂	MD ₁	MD ₀	備考
ブートモード	モード5	1*	0*	0	1	0: V _{IL} 1: V _{IH}
	モード6			1	0	
	モード7				1	
ユーザプログラムモード	モード5		1*	0	1	
	モード6			1	0	
	モード7				1	

- 【注】 * (1) High レベルの印加タイミングについては、「ブートモード使用時の注意」の(6)～(7)を参照ください。
- (2) ブートモード時は MD₂ の設定を反転入力にしてください。
- (3) ブートモード時のモードコントロールレジスタ (MDCR) は、通常モードと同様にモード 5、6、7 の状態をモニタすることができます。

18.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 18.5 にブートモード時のシステム構成図、図 18.6 にブートモード実行手順を示します。

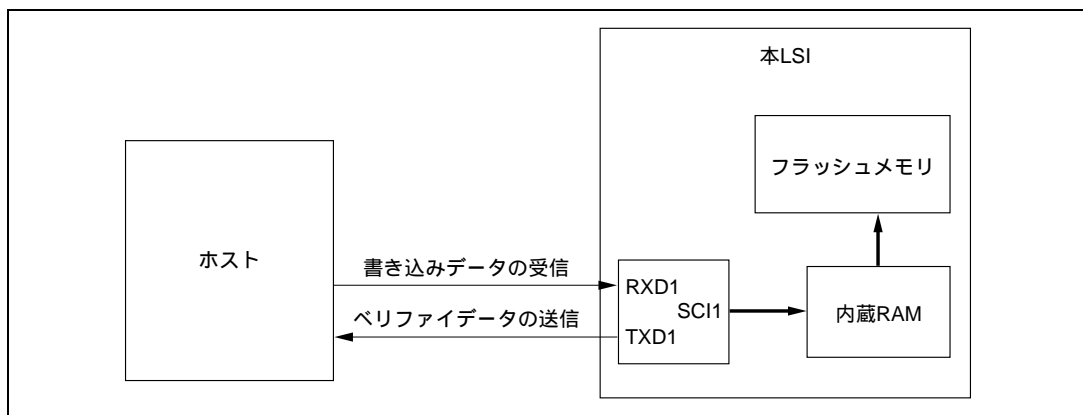


図 18.5 ブートモード時のシステム構成図

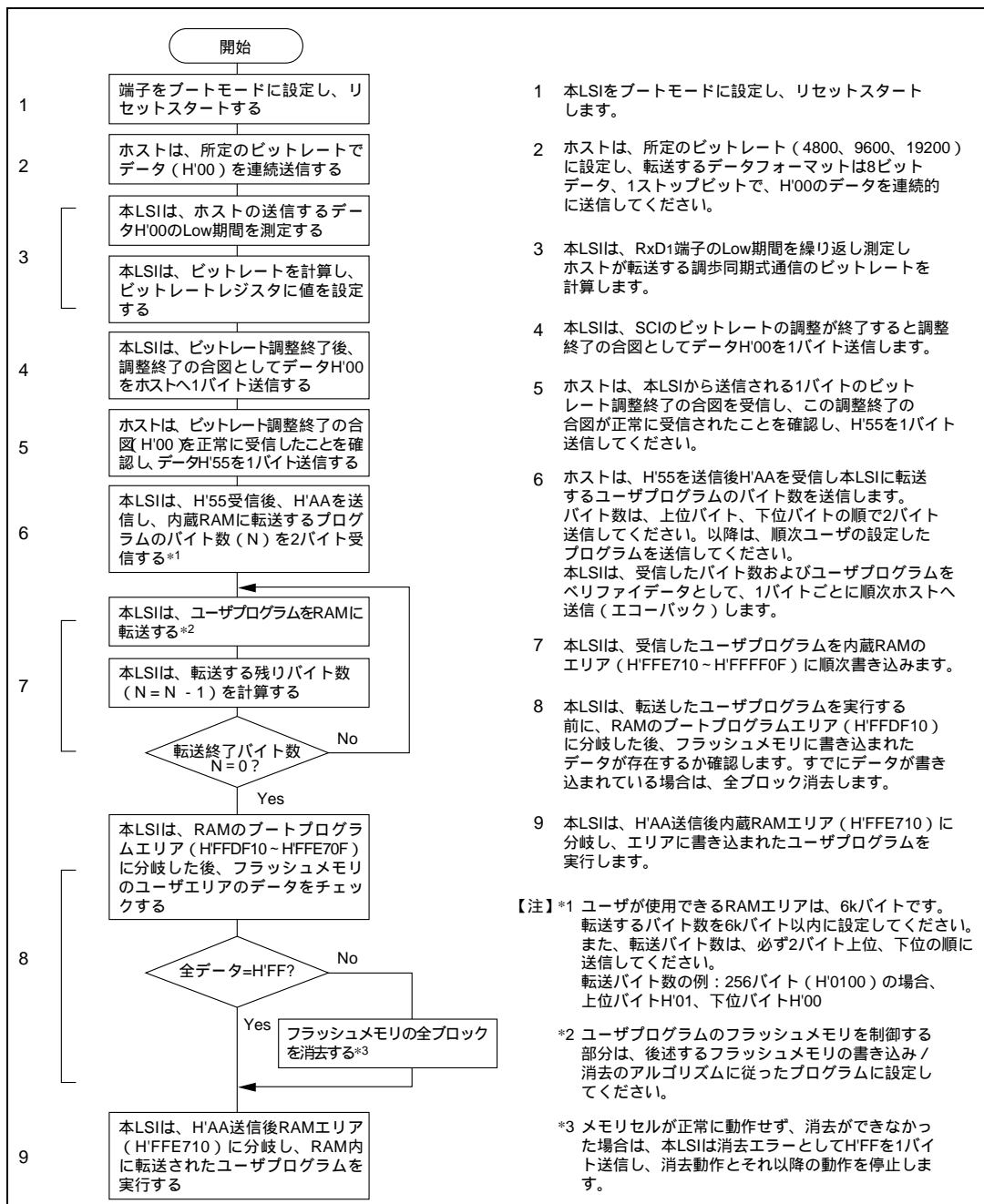
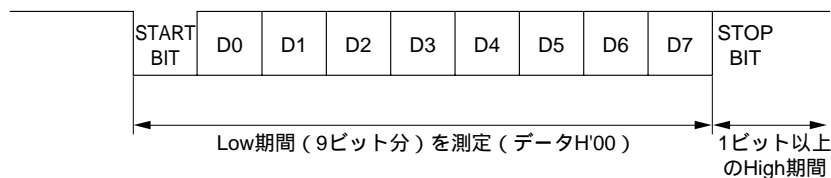


図 18.6 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (4800、9600、19200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 18.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 18.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数 (MHz)
4800	4 ~ 25
9600	8 ~ 25
19200	16 ~ 25

- 【注】
1. ホストのビットレートは 4800、9600、19200bps の設定のみとし、それ以外の設定は使用しないでください。
 2. 本 LSI は表 18.6 に示すビットレートとシステムクロックの組み合わせ以外でも、ビットレートの自動合わせ込みを行う場合がありますが、ホストと本 LSI とのビットレートに誤差が生じ、その後の転送が正常に行われません。このためブートモードの実行は必ず表 18.6 に示すビットレートとシステムクロックの組み合わせの範囲内で行ってください。

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 18.7 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。



図 18.7 ブートモード時の RAM エリア

- 【注】
- RAM 内に転送したユーザプログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、ユーザプログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。
 - RAM によるフラッシュメモリのエミュレーションを行う場合、ユーザプログラム転送エリアの一部 (H'FE000 ~ H'FEFFF) はエミュレーションを行うエリアとして使用するため、このエリアにユーザプログラムの転送は行わないでください。

(3) ブートモード使用時の注意

- 本LSIIは、ブートモードでリセット解除すると、SCIのRx_D端子のLow期間を測定します。Rx_D端子がHighの状態のリセット解除してください。リセット解除後、Rx_D端子へ入力しているLow期間を測定できるようになるまでは約100ステート必要です。
- フラッシュメモリにすでに書き込まれているデータがある場合（全データがH'FFでないとき）、本モードを実行するとフラッシュメモリの全ブロックを消去します。そのためブートモードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- Rx_D端子およびTx_D端子は、ボード上でプルアップして使用してください。

- (5) 本LSIIは、ユーザプログラムに分岐するときに内蔵SCI(チャンネル1)の送受信動作を終了(シリアルコントロールレジスタ(SCR)のRE=0、TE=0)しますが、ビットレートレジスタ(BRR)には、合わせ込んだビットレートの値を保持しています。また、このときTXD_i端子は、Highレベル出力状態(P9DDRのP9_iDDR=1、P9DRのP9_iDR=1)となっています。さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため、ユーザプログラムに分岐した直後に、必ず汎用レジスタのイニシャライズを行ってください。特にスタックポインタ(SP)はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。上記以外の内蔵レジスタについては、初期値が変更されるものはありません。
- (6) ブートモードへの遷移は、表18.5のモード設定条件に従って、MD₀~MD₂端子とFWE端子を設定後にリセットスタートしてください。
この時、本LSIIはリセット解除(Lowレベル Highレベル立上がり)のタイミング*¹でモード端子の状態をマイコン内部にラッチし、ブートモード状態を保持します。ブートモードを解除するためには、リセット中にFWE端子をLowレベルに設定し、その後にリセット解除*¹することが必要です。また以下の点について注意してください。
- (a) ブートモードから通常モードへ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態をRES端子によるリセット入力によって解除する必要があります。この時、RES端子は最低20システムクロック以上の間、Lowレベルに保持する必要があります。*³
- (b) ブートモードの途中で、モード端子(MD₂~MD₀)およびFWE端子の入力レベルを切り換えないでください。モードを遷移させる場合には、事前にRES端子にLowレベルを入力してリセット状態にしてください。また、ブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、モード端子の状態にかかわらず内蔵のブートプログラムが再起動されます。
- (c) ブートプログラム実行中やフラッシュメモリへの書き込み/消去中にFWE端子をLowレベルにしないでください*²。
- (7) リセット中(RES端子にLowレベルを入力している期間)にモード端子およびFWE端子の入力レベルを0VからV_{cc}、またはV_{cc}から0Vに変化させる場合、マイコン動作モードが切り換わります。このためアドレス兼用ポートおよびバス制御出力信号(CSn、AS、RD、HWR、LWR)の状態が変化しますので、これらの端子はリセット中の出力信号として使用しないよう、マイコン外部で禁止する必要があります。

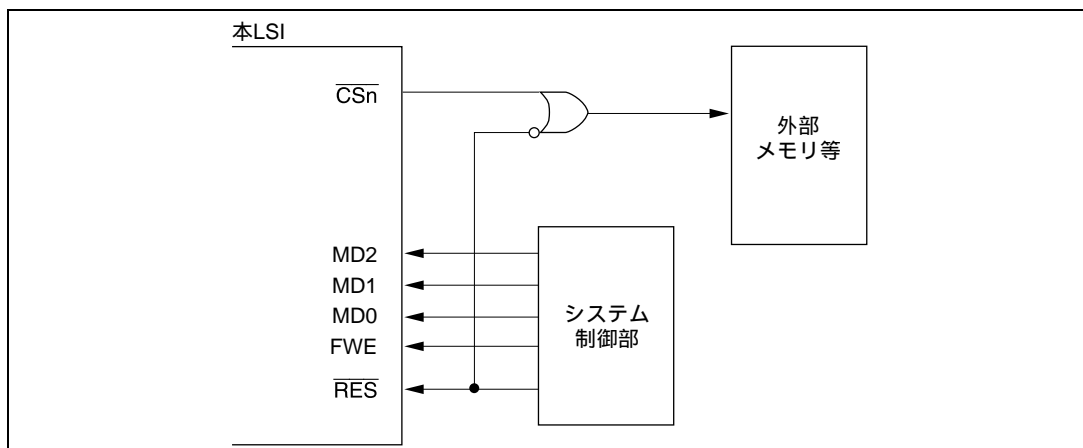


図 18.8 推奨システムブロック図

- 【注】*1 モード端子と FWE 端子の入力は、リセット解除のタイミングに対し、モードプログラミングセットアップ時間 (t_{MDS}) を満足する必要があります。
- *2 FWE 端子の印加 / 解除の注意については「18.11 フラッシュメモリの書き込み / 消去時の注意」を参照してください。
- *3 「4.2.2 リセットシーケンス」および「18.11 フラッシュメモリの書き込み / 消去時の注意」を参照してください。本 LSI では最低 20 システムクロック必要です。

18.6.2 ユーザプログラムモード

本 LSI をユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの書き込み / 消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、プログラムエリアの一部に書き換え用プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、内蔵 ROM の有効なモード 5、6、7 に設定し、FWE 端子に High レベルを印加します。このモードの動作では、フラッシュメモリ以外の周辺機能は、モード 5、6、7 と同じ動作をします。

なお、プログラム / 消去を行っている間、フラッシュメモリを読み出すことはできませんので、書き換えプログラムを外部メモリ上に置くか、または書き換えプログラムをいったん RAM エリアに転送し、RAM 内で実行してください。

RAM 内でプログラム実行中に、ユーザプログラムモードに遷移する場合の実行手順を図 18.9 に示します。なお、リセットスタート時にユーザプログラムモードから起動することも可能です。

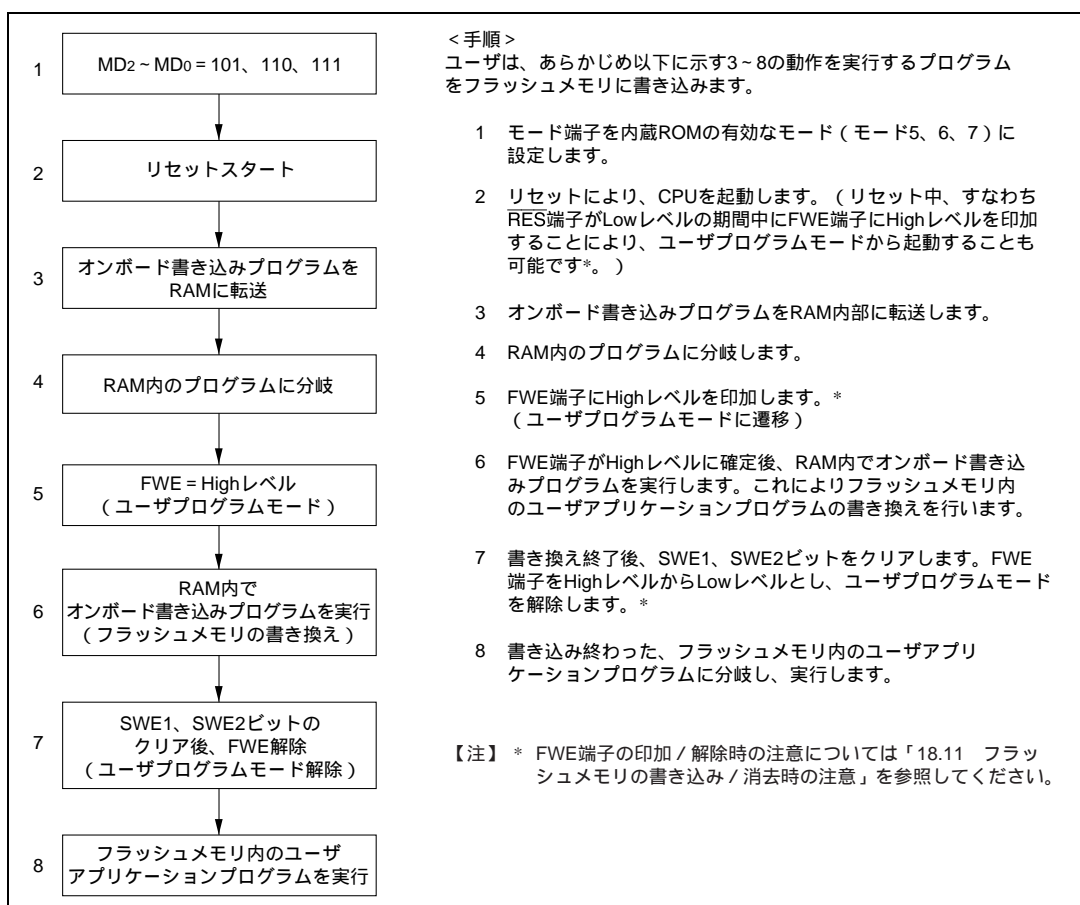


図 18.9 ユーザプログラムモードの実行手順例

【注】 FWE 端子に常時 High レベルを印加しないでください。プログラム暴走等による誤書き込み、誤消去を防止するため、FWE 端子に High レベルを印加するのはフラッシュメモリに書き込み / 消去を行うときのみ（RAM によるフラッシュメモリのエミュレーション実行時も含む）としてください。プログラム暴走等によって過剰書き込み、過剰消去になるとメモリセルが正常に動作しないことがあります。また、FWE 端子に High レベルを印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

18.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'00000 ~ H'3FFFF に対しては、FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードに遷移し、アドレス H'40000 ~ H'7FFFF に対しては、FLMCR2 の PSU2 ビット、ESU2 ビット、P2 ビット、E2 ビット、PV2 ビット、EV2 ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム（書き込み制御プログラム）は、内蔵 RAM、外部メモリあるいは当該アドレスエリア外のフラッシュメモリ上に置き、実行するようにしてください。

書き込み / 消去時の注意については、「18.11 フラッシュメモリの書き込み / 消去時の注意」を参照してください。また、以降の動作説明の中で、FLMCR1、FLMCR2 の各ビットのセット / クリア後のウェイト時間をパラメータ記載しています。各ウェイト時間の詳細は「21.2.5 フラッシュメモリ特性」を参照してください。

- 【注】
1. FLMCR1 の SWE1、ESU1、PSU1、EV1、PV1、E1、P1 ビット、FLMCR2 の SWE2、ESU2、PSU2、EV2、PV2、E2、P2 ビットのセット / リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください（FWE = 0 のときは、書き込み / 消去されません）。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。
 4. アドレス H'00000 ~ H'3FFFF と H'40000 ~ H'7FFFF は同時に書き込まないでください。同時に書き込んだ場合の動作は保証されません。

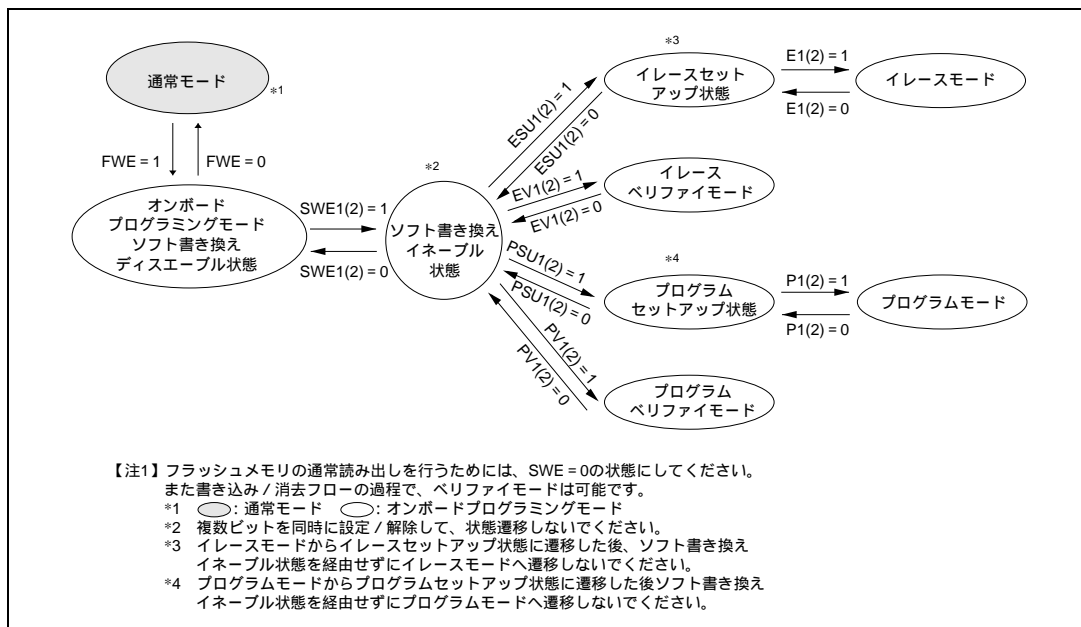


図 18.10 FLMCR1、FLMCR2 の各ビット設定による状態遷移

18.7.1 プログラムモード

フラッシュメモリへのデータ/プログラムの書き込みを行う場合は、図 18.11 に示すプログラム/プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ/プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ (FLMCR1、FLMCR2) の各ビットのセット/クリア後のウェイト時間、最大書き込み回数 (N) を「21.2.5 フラッシュメモリ特性」表 21.10 に示します。

フラッシュメモリコントロールレジスタ (FLMCR1、FLMCR2) の SWE1、SWE2 ビットを 1 にセットした後、(tsswe) μ s 以上の時間が経過してから、書き込むアドレスに 128 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません。データ転送はバイト単位で 128 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次にプログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (tsp_{su} + tsp + tcp + tcpu) μ s より大きくしてください。その後、FLMCR1、FLMCR2 の PSU1、PSU2 ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行います。その後 (tsp_{su}) μ s 以上の時間が経過してから、FLMCR1、FLMCR2 の P1、P2 ビットをセットすることで、動作モードはプログラムモードへ遷移します。P1、P2 ビットがセットされている時間がフラッシュメモリの書き込み時間となります。一回の書き込み時間を (tsp) μ s の範囲に納まるようにプログラムで設定してください。

また P1、P2 ビットセット後のウェイト時間は、再書き込みループ回数によって切り換える必要があります。詳細は「21.2.5 フラッシュメモリ特性」を参照してください。

18.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、FLMCR1、FLMCR2のP1、P2ビットをクリアします。その後（tcp）以上の時間が経過してから、PSU1、PSU2ビットをクリアすることでプログラムモードを解除します。プログラムモード解除の後は、ウォッチドッグタイマの設定も解除します。その後FLMCR1、FLMCR2のPV1、PV2ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータH'FFをダミーライトしてください。ダミーライトは（tspv） μ s以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは16ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、（tspvr） μ s以上おいてから行ってください。次に、書き込んだ元データとベリファイデータを比較し、再書き込みデータを演算（図18.11参照）し、RAMに転送します。128バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、（tcpv） μ s以上の待機時間を置いて、FLMCR1、FLMCR2のSWE1、SWE2ビットをクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。プログラム/プログラムベリファイフローの繰り返しの最大値は最大書き込み回数（N）で表わされます。SWE1、SWE2解除後、（tcswe） μ s以上の待機時間を置いてください。

18.7.3 プログラム/プログラムベリファイフローの注意点

- (1) 本LSIのプログラム/プログラムベリファイフローでは、128バイト単位での書き込みアルゴリズムとなります。128バイト単位の書き込みのため、ライトする先頭アドレスの下位8ビットは、H'00またはH'80でなければなりません。
- (2) フラッシュメモリに128バイトのデータを連続ライトする際には、バイト単位転送で行います。また128バイト以下のデータを書き込む際にも、128バイトのデータ転送が必要です。つまり、必要のないアドレスへの書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) ベリファイデータは、ワード単位で読み出します。
- (4) FLMCR1のP1ビット、FLMCR2のP2ビットがセットされている期間、書き込みパルスが印加されてフラッシュメモリへの書き込みが実施されます。本LSIでは、デバイスへの電圧ストレスや書き込むデータの信頼性を損なうことがないように、プログラム/プログラムベリファイフローの過程で次のように書き込みパルスを印加してください。
 - (a) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして1が読み出されたビットに対して、もう一度書き込みパルスを印加してください。（再書き込み処理）128バイトの書き込みデータで、すべての0書き込みビットがベリファイリードして0が読み出されると、プログラム/プログラムベリファイフローが終了となります。本LSIでは、再書き込み処理によるループ回数が、最大書き込み回数（N）以下になることが保証されます。
 - (b) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして0が読み出されたビットに対しては、書き込み完了と判定されます。書き込みが完了したビットに対しては、次の処理が必要です。

- プログラム/プログラムベリファイフロー中の早い段階で書き込み完了した場合
再書き込み処理ループ回数が1~6回目で書き込み完了した場合は、当該ビットへの追加書き込みを実施してください。また、追加書き込みは、ある再書き込み処理のときに初めてベリファイリードが0となったビットのみに実施してください。
 - プログラム/プログラムベリファイフロー中の遅い段階で書き込み完了した場合
再書き込み処理ループ回数が7回目以降で書き込み完了した場合は、当該ビットへの追加書き込みは必要ありません。
- (c) 128バイトの中で、他のビットが書き込み未完了の場合、再書き込み処理を実施します。一度書き込みが完了したと判定されたビットでも、それ以降のベリファイリードで1が読み出された場合には、当該ビットに対してもう一度書き込みパルスを押印加してください。
- (5) FLMCR1のP1ビット、FLMCR2のP2ビットをセットする期間（書き込みパルス幅）は、プログラム/プログラムベリファイフローの過程で次のように切り替えてください。ウェイト時間の詳細な仕様は、「21.2.5 フラッシュメモリ特性」を参照してください。

表 18.7 Pビットセット後のウェイト時間

項目	記号	内容	記号
Pビットセット後のウェイト時間	t_{sp}	再書き込みループ回数 (n) が 1~6 回目の場合	$t_{sp}30$
		再書き込みループ回数 (n) が 7 回目以降回目の場合	$t_{sp}200$
		追加書き込み処理の場合*	$t_{sp}10$

【注】 * 追加書き込み処理は、再書き込みループ回数 (n) が 1~6 回目の場合のみ必要となります。

- (6) 本LSIのプログラム/プログラムベリファイフローのフローチャートを図18.11に示します。上記の注意点を網羅するためには、再書き込み処理を実施するビット、追加書き込み処理を実施するビットは表18.8および表18.9の演算によって決定する必要があります。書き込みの進行に応じて、再書き込みのデータおよび追加書き込みのデータは変化しますので、RAM上に次のデータ格納エリア（各128バイト）を準備することを推奨します。

表 18.8 再書き込みデータ演算表

(D)	書き込みパルス印加後のベリファイリード結果 (V)	(X) 演算結果	コメント
0	0	1	書き込み完了のため、再書き込み処理は実施しない
0	1	0	書き込み未完了のため、再書き込み処理を実施する
1	0	1	
1	1	1	消去状態のまま、何も実施しない

〔記号説明〕 (D) : 書き込みを実施するビットの元データ

(X) : 再書き込みを実施するビットのデータ

表 18.9 追加書き込みデータ演算表

(X')	書き込みパルス印加後のベリファイリード結果 (V)	(Y) 演算結果	コメント
0	0	0	書き込みパルス印加により書き込み完了したと判定 追加書き込み処理を実施する
0	1	1	書き込みパルス印加により書き込み未完了 追加書き込み処理は実施しない
1	0	1	既に書き込みは完了している 追加書き込み処理は実施しない
1	1	1	消去状態のまま、何も実施しない

〔記号説明〕 (Y) : 追加書き込みを実施するビットのデータ

(X') : ある再書き込みループで再書き込みを実施するビットのデータ

- (7) 本LSIのプログラム/プログラムベリファイフローの過程では、追加書き込み処理を実施する必要があります。

しかし、128バイト単位の書き込みが一度終了した後、同一のアドレスエリアに追加で書き込みを行わないでください。書き換えを実施する場合は、必ず一度消去を行ってから書き込みを実施してください。一度プログラム/プログラムベリファイが終了したアドレスへ追加書き込みを実施した場合、読み出しなど正常動作は保証されませんので注意してください。

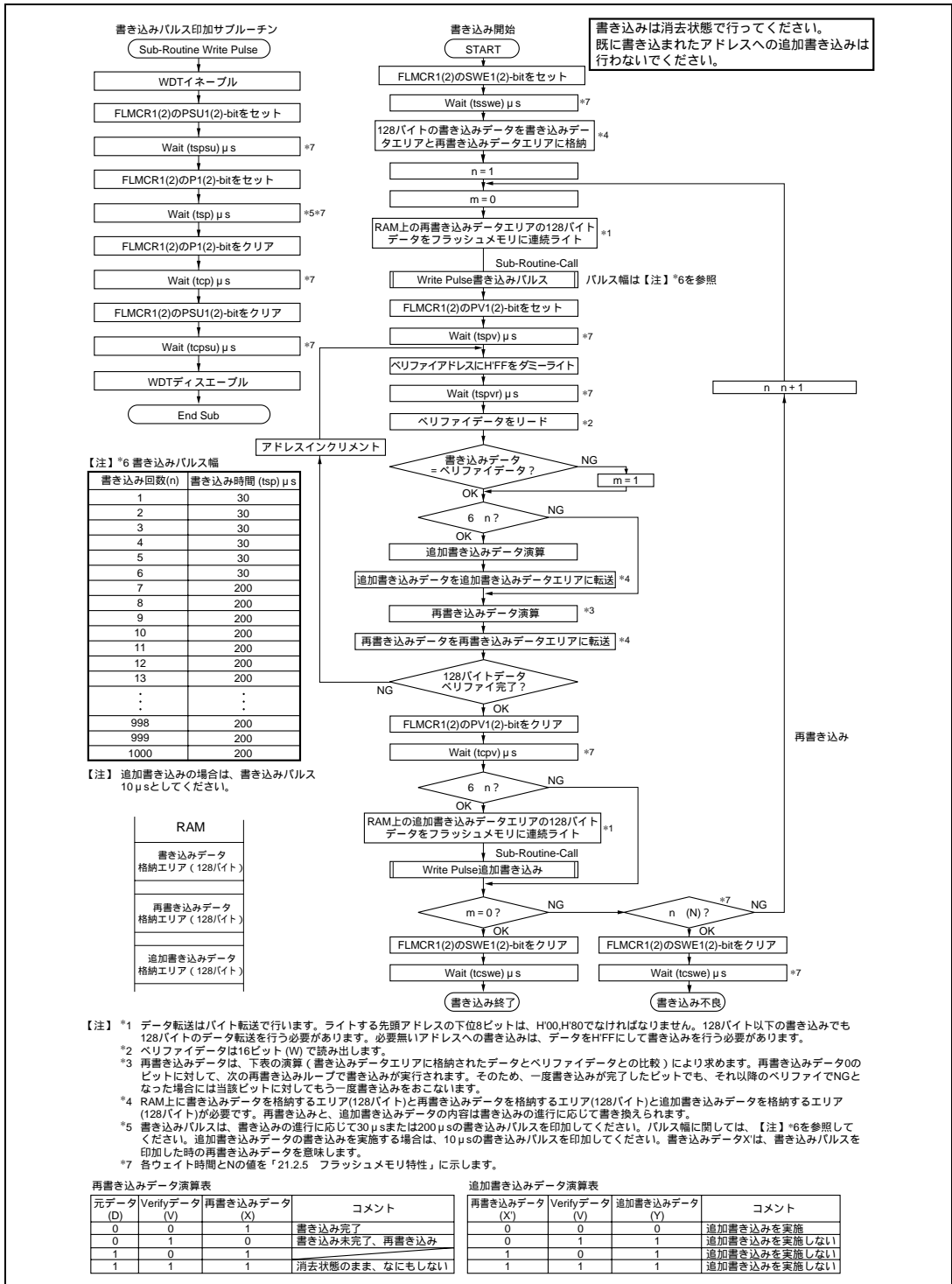


図 18.11 プログラム/プログラムペリファイフロー (128バイト書き込み)

18.7.4 イレースモード

フラッシュメモリの消去は1ブロック毎に、図 18.12 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ（FLMCR1、FLMCR2）の各ビットのセット/クリア後のウェイト時間および最大消去回数（N）を「21.2.5 フラッシュメモリ特性」の表 21.10 に示します。

フラッシュメモリ内容の消去は、FLMCR1、FLMCR2 の SWE1、SWE2 ビットを 1 にセット後、 $(t_{sswe}) \mu s$ 以上の時間が経過してから、ブロック指定レジスタ 1、2（EBR1、EBR2）で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は $(t_{se}) ms + (t_{sesu} + t_{ce} + t_{cesu}) \mu s$ より大きく設定してください。その後、FLMCR1、FLMCR2 の ESU1、ESU2 ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行います。その後、 $(t_{sesu}) \mu s$ 以上の時間が経過後、FLMCR1、FLMCR2 の E1、E2 ビットをセットすることで、動作モードはイレースモードへ遷移します。E1、E2 ビットが設定されている時間が消去時間となり、消去時間は $(t_{se}) ms$ を超えないようにしてください。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

18.7.5 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

一定の消去時間経過後、FLMCR1、FLMCR2 の E1、E2 ビットをクリアします。その後、 $(t_{ce}) \mu s$ 以上の時間が経過してから ESU1、ESU2 ビットをクリアすることでイレースモードを解除します。イレースモード解除の後は、ウォッチドッグタイマの設定も解除します。その後、FLMCR1、FLMCR2 の EV1、EV2 ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは $(t_{sev}) \mu s$ 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 $(t_{sevr}) \mu s$ おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。イレース/イレースベリファイの繰り返しの最大値は、最大消去回数（N）によって表わされます。ベリファイ完了後、イレースベリファイモードを解除し、 $(t_{cev}) \mu s$ 以上の待機時間を置いてください。通常モードに遷移するには FLMCR1、FLMCR2 の SWE1、SWE2 ビットを解除し、 $(t_{cswe}) \mu s$ 以上の待機時間を置いてください。

複数ブロックを消去する場合は、次に消去するブロックエリアを EBR1 / EBR2 によって 1 ビットのみ設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

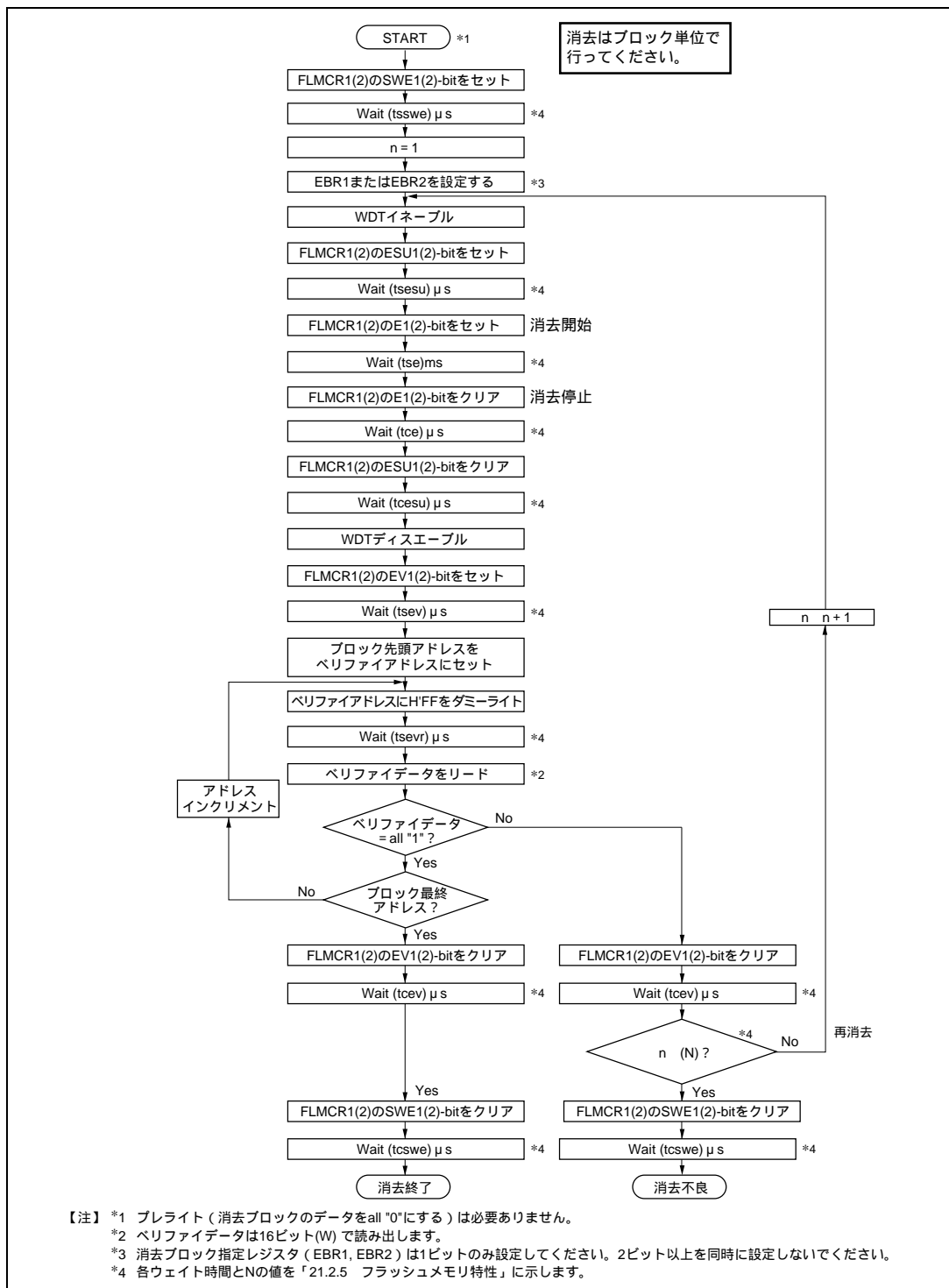


図 18.12 イレース/イレースベリファイフロー（単一ブロック消去）

18.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトとエラープロテクトの3種類あります。

18.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2の設定は保持し、P1、P2 ビットおよび E1、E2 ビットはセット可能ですがプログラムモードおよびイレースモードへは遷移しません。(表 18.10 参照)

表 18.10 ハードウェアプロテクト

項目	説明	機能		
		書き込み	消去	ベリファイ *1
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2 (FLER ビットは除く)、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。*5 	不可*2	不可*3	-
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む)およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。*6 	不可	不可*3	-
エラープロテクト	<ul style="list-style-type: none"> フラッシュメモリへの書き込み/消去中にマイコン動作の異常を検出 (エラー発生 (FLER = 1)) した場合にエラープロテクトが有効となります。このとき FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持しますがエラーが発生した時点で書き込み/消去を強制的に中断します。エラープロテクトの解除は $\overline{\text{RES}}$ 端子によるリセットまたはハードウェアスタンバイのみです。 	不可	不可*3	可*4

- 【注】 *1 プログラムベリファイ、イレースベリファイの2つのモードです。
 *2 フラッシュメモリとオーバーラップした RAM エリアは除きます。
 *3 全ブロックが消去不可となり、ブロック別の指定はできません。
 *4 書き込み中の 128 バイトのプログラムベリファイは可能です。消去中の 1 ブロックのイレースベリファイは可能です。
 *5 詳細については「18.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。
 *6 「4.2.2 リセットシーケンス」および「18.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。本 LSI では、動作中のリセット時間は最低 20 システムクロック必要です。

18.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1のSWE1ビット、FLMCR2のSWE2ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAMコントロールレジスタ (RAMCR)のRAMSビットをセットすることで行います。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1)のP1ビットまたはE1ビットをセットしても、またフラッシュメモリコントロールレジスタ2 (FLMCR2)のP2ビットまたはE2ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 18.11 参照)

表 18.11 ソフトウェアプロテクト

項目	説明	機能		
		書き込み	消去	ペリファイ *1
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1 (EBR1) *2、消去ブロック指定レジスタ2 (EBR2) *2の設定により、ブロック毎に消去プロテクトが可能。ただし、書き込みに対するプロテクトは無効です。 EBR1、EBR2をH'00に設定すると全ブロックが消去プロテクト状態になります。 	-	不可	可
エミュレーションプロテクト	<ul style="list-style-type: none"> RAMコントロールレジスタ (RAMCR)のRAMSビットを1にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 	不可*3	不可*4	可

【注】 *1 プログラムペリファイ、イレースペリファイの2つのモードです。

*2 EBR1、EBR2のビットは消去時以外はH'00にしてください。

*3 フラッシュメモリとオーバラップしたRAMエリアへの書き込みは可能です。

*4 全ブロックが消去不可となり、ブロック別の指定はできません。

18.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中*1のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2の設定*1は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1ビット、P2ビット、E1ビット、E2ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1ビット、PV2ビット、EV1ビット、EV2ビットの設定は有効なので、ペリファイモードへの遷移は可能です。*2

FLERビットのセット条件は、

- (1) 書き込み/消去中に当該アドレスエリアのフラッシュメモリを読み出したとき(ベクタロードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- (4) 書き込み/消去中にCPUがDMACにバス権を開放したとき

エラープロテクト解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。
 図 18.13 にフラッシュメモリの状態遷移図を示します。

- 【注】*1 FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットが 1 にセットされた状態です。この状態では NMI 入力禁止されますので、ご注意ください。
- *2 書き込み中の 128 バイトのプログラムベリファイは可能です。また、消去中の 1 ブロックのイレースベリファイは可能です。
- *3 FLMCR1、FLMCR2、EBR1、EBR2 へのライトは可能です。ただし、エラープロテクト状態でソフトウェアスタンバイモードに遷移した場合は、レジスタはイニシャライズされます。

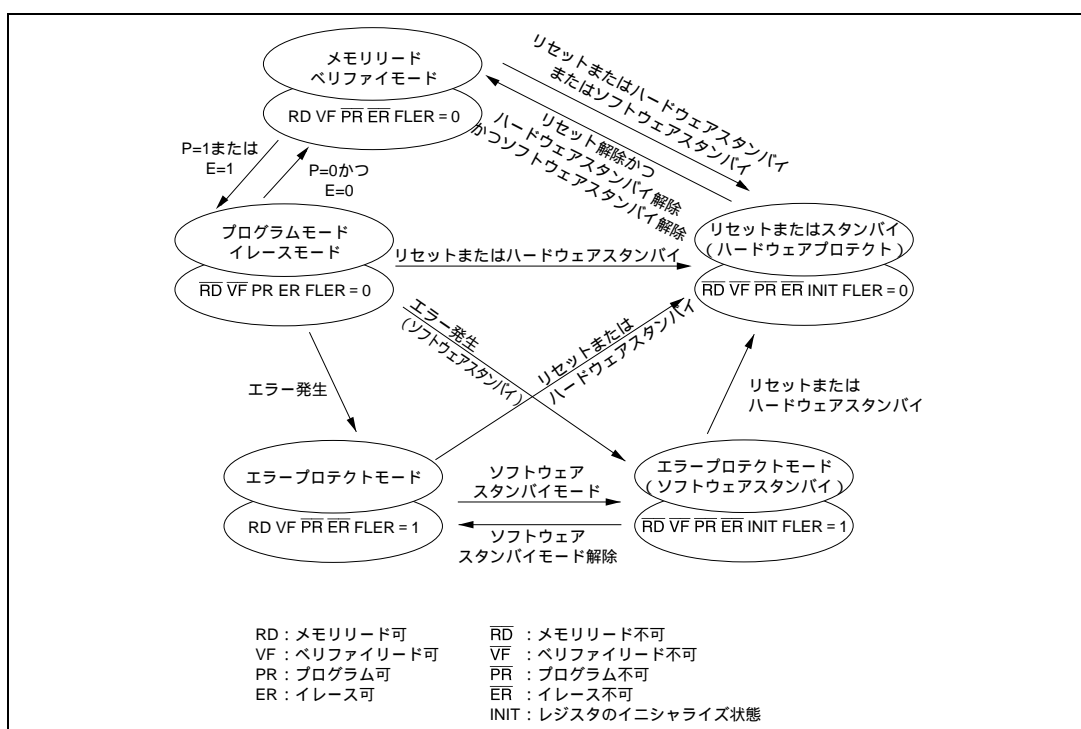


図 18.13 フラッシュメモリの状態遷移図
 (モード 5、6、7 (内蔵 ROM が有効) で FWE 端子に High レベル印加時)

18.8.4 NMI 入力 of 禁止条件

フラッシュメモリへの書き込み / 消去中およびブートモードでのブートプログラム実行中（ただし内蔵 RAM エリアに分岐するまでの期間）*¹ は、書き込み / 消去動作を最優先とするため NMI 入力が禁止されます。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み / 消去中に NMI 入力が発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の NMI 例外処理ではベクタリードが正常にできない*² ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に NMI 入力が発生すると、正常なブートモードのシーケンスが実行できなくなる。

このため、本 LSI ではオンボードプログラミングモードにおいてのみ例外的に NMI 入力を禁止する条件が存在しますが、これによって正常な書き込み / 消去およびマイコン動作が保証されるものではありません。

このため、FWE 印加状態ではマイコンの内外部で NMI を含む全ての要求を制限する必要があります。また、エラープロテクト状態および RAM によるフラッシュメモリのエミュレーション中に FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットが保持された状態でも NMI 入力は禁止状態となります。*³

【注】*¹ 内蔵 RAM のブートプログラムエリア (H'FFDF10) に分岐するまでの期間を示します (この分岐はユーザプログラムの転送が完了した直後に発生します)。

このため、RAM エリアに分岐した後は、書き込み / 消去以外の状態では NMI 入力が可能となります。したがって、ユーザプログラムによる初期書き込み (ベクタテーブルおよび NMI 処理プログラム等の書き込み) が完了するまでは、マイコン内外部で割込み要求を禁止する必要があります。

*² この場合、以下の二つの理由によってベクタリードが正常に行われません。

- (1) 書き込み / 消去中にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- (2) NMI ベクタテーブルに値がまだ書き込まれていない場合、NMI 例外処理が正しく実行されません。

*³ エミュレーション機能を使用しているときも、通常 of 書き込み / 消去と同様に、FLMCR1 の P1 ビット、E1 ビット、FLMCR2 の P2 ビット、E2 ビットを 1 にセットしている状態では NMI 入力が禁止されます。

なお、P1 ビットおよび E1 ビット、P2 ビットおよび E2 ビットはリセット時 (ウォッチドッグタイマのリセットを含む)、スタンバイモード時、FWE 端子に High レベルが入力されていないとき、FWE 端子に High レベル印加状態で FLMCR1 の SWE1 が 0 のとき、または FLMCR2 の SWE2 が 0 のときにクリアされます。

18.9 RAMによるフラッシュメモリのエミュレーション

RAMでフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAMコントロールレジスタ(RAMCR)で設定したフラッシュメモリのエリアにRAMの一部を重ね合わせて使うことができます。RAMCRの設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図18.14にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

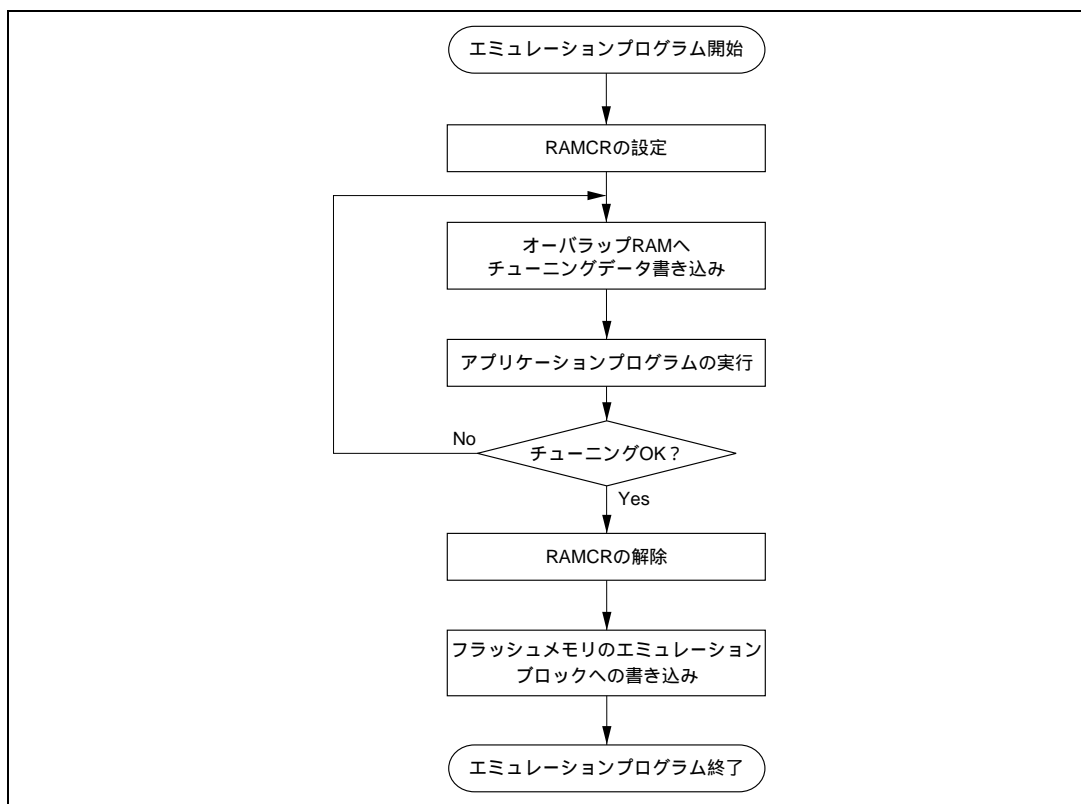


図 18.14 RAMによるエミュレーションフロー

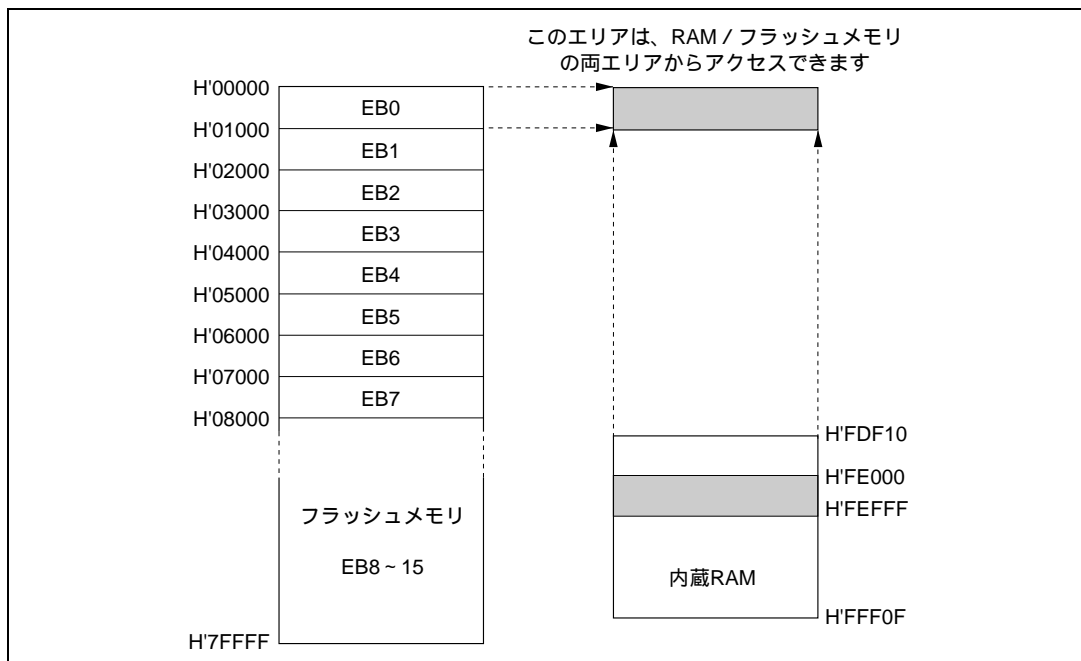


図 18.15 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

1. リアルタイムな書き換えを必要とするエリア (EB0) にRAMの一部をオーバーラップさせるには、RAMCRのRAMSビット、RAM2~0ビットを1、0、0、0に設定してください。
2. リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
1. RAMS ビットを 1 にセットすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
 3. ブロックエリア (EB0) はベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM にはベクタテーブルが必要です。

4. フラッシュライトイネーブル (FWE) の印加 / 解除時の注意
オンボードプログラミングモードと同様に、FWE の印加 / 解除時は誤書き込み / 誤消去を防止するための注意が必要です。特に FWE の印加中のプログラム暴走等による誤書き込み / 誤消去を防止するため、エミュレーション機能を使用中でも FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットを 1 にセットしているときはウォッチドッグタイマを設定してください。詳細は「18.11 フラッシュメモリの書き込み / 消去時の注意」を参照してください。
5. エミュレーション機能を使用しているときも、通常書き込み / 消去と同様に、FLMCR1、FLMCR2 の P1、P2 ビット、E1、E2 ビットを 1 にセットしている状態では NMI 入力が禁止されます。なお、P1、P2 ビット、E1、E2 ビットはリセット時 (ウォッチドッグタイマのリセットを含む)、スタンバイモード時、FWE 端子に High レベルが入力されていないとき、または FWE 端子に High レベル印加状態で FLMCR1、FLMCR2 の SWE1、SWE2 が 0 のときにクリアされます。

18.10 フラッシュメモリの PROM モード

本 LSI では、フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外に PROM モードがあります。PROM モードでは、日立 512k バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて、内蔵 ROM に自由にプログラムを書き込むことができます。

18.10.1 ソケットアダプタとメモリマップ

PROM ライタを用いた PROM モードでは、メモリ読み出し (ベリファイ)、書き込み、フラッシュメモリ初期化 (全画消去) が可能です。その際には、汎用 PROM ライタに専用の変換ソケットアダプタを取り付けて行います。表 18.12 にソケットアダプタの型名を示します。本 LSI の PROM モードでは、表 18.12 のソケットアダプタを必ず使用してください。

表 18.12 本 LSI ソケットアダプタ型名

製品型名	パッケージ名	ソケットアダプタ型名	メーカー
HD64F3052F	100 ピン QFP (FP-100B)	ME3064ESHF1H	ミナトエレクトロニクス (株)
HD64F3052BF			
HD64F3052BVF			
HD64F3052TE	100 ピン TQFP (TFP-100B)	ME3064ESNF1H	
HD64F3052BTE			
HD64F3052BVTE			
HD64F3052F	100 ピン QFP (FP-100B)	HF306BQ100D4001	データ・アイ・オー・ジャパン (株)
HD64F3052BF			
HD64F3052BVF			
HD64F3052TE	100 ピン TQFP (TFP-100B)	HF306BT100D4001	
HD64F3052BTE			
HD64F3052BVTE			

また、図18.16にPROMモード時のメモリマップを示します。

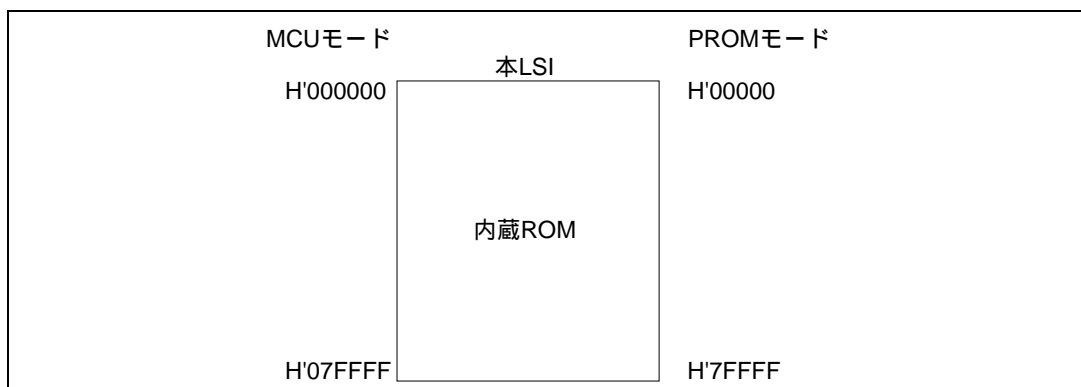


図 18.16 PROM モード時のメモリマップ

18.10.2 PROM モード使用時の注意事項

- (1) PROMモード時の128バイト書き込み単位への書き込みは、1回のみとします。既書き込まれたアドレスへの書き換えは、消去を行った後に書き込みを実施してください。
- (2) オンボード書き込み/消去を行ったデバイスに対して、それをライターを用いて書き換えを行う場合は、一度消去を行った後に書き込みを実施することを推奨します。
- (3) 日立出荷品の初期状態は、消去状態です。消去来歴不明サンプルに対しては、初期化(消去)レベルをチェック・補正するために消去実施を推奨します。
- (4) 本LSIでは、汎用EPROMのような製品識別モードをサポートしていませんので、PROMライターにデバイス名を自動設定することができません。
- (5) 本LSIのPROMモードに適合するPROMライターおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照ください。

18.11 フラッシュメモリの書き込み/消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能および PROM モード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み/消去を行ってください。
 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。
 PROMライターは、日立製 512k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。
 誤ってセットした場合、FWE 端子に High レベルが入力され破壊にいたることがあります。
- (2) 電源投入/切断時の注意(図 18.17 ~ 図 18.19 参照)
 FWE 端子への High レベル印加は V_{cc} 確定後に行ってください。また V_{cc} を切断する前に FWE 端子を Low レベルにしてください。
 V_{cc} 電源の印加/切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアブロテクト状態にしてください。
 この電源投入/切断のタイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。このタイミングが守られない場合は、マイコンの暴走等によって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので充分注意してください。

(3) FWE 端子の印加 / 解除の注意 (図 18.17 ~ 図 18.19 参照)

FWE 端子の印加は、マイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE 端子印加 / 解除では、フラッシュメモリへの誤書き込み / 誤消去を防止するため、以下に示すような注意が必要です。

(a) V_{CC} 電圧が定格電圧の範囲で安定している状態で FWE 端子に印加してください。

マイコンの V_{CC} 電圧が定格電圧を満足しない状態で FWE 端子に印加すると、マイコン動作が不確定の状態であることから、フラッシュメモリに誤って書き込み / 消去を行ってしまう可能性があります。

(b) 発振が安定している状態 (発振安定時間経過後) で FWE 端子に印加してください。

V_{CC} 電源投入時では、発振安定時間 ($t_{OSCI} = 20ms$) の間、 \overline{RES} 端子を Low レベルに保持した後に、FWE 端子に印加してください。発振が停止した状態や不安定な状態で、FWE 端子の印加は行わないでください。

(c) ブートモードでは、FWE 端子の印加 / 解除はリセット中に行ってください。

ブートモードへの遷移では、FWE = 1 入力と $MD_2 \sim MD_0$ の設定は \overline{RES} 入力 Low 期間中に行ってください。このとき FWE と $MD_2 \sim MD_0$ 入力は、リセット解除タイミングに対してモードプログラミングセットアップ時間 (t_{MDS}) を満足する必要があります。ブートモードから他のモードへ遷移する場合も \overline{RES} 解除タイミングに対して、モードプログラミングセットアップ時間が必要です。

動作中のリセットでは、最低 20 システムクロックの間、 \overline{RES} 端子を Low レベルにする必要があります。

(d) ユーザプログラムモードでは、 \overline{RES} 入力にかかわらず、FWE = High/Low の切り換えが可能です。

また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り換えが可能です。

(e) プログラムが暴走していない状態で FWE を印加してください。

FWE 端子の印加時は、ウォッチドッグタイマ等でプログラム実行状態を監視することが必要です。

(f) FWE 端子の解除は FLMCR1 の SWE1、ESU1、PSU1、EV1、PV1、E1、P1 ビット、FLMCR2 の SWE2、ESU2、PSU2、EV2、PV2、E2、P2 ビットをクリアした状態で行ってください。

FWE 端子の印加 / 解除時に、誤って SWE1、ESU1、PSU1、EV1、PV1、E1、P1、SWE2、ESU2、PSU2、EV2、PV2、E2、P2 ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

プログラム暴走等による誤書き込み / 誤消去を防止するため、FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み / 消去を行うときのみ (RAM によるフラッシュメモリのエミュレーション実行時も含む) としてください。また、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。High レベル印加中においても、過剰書き込み / 過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み / 消去は推奨するアルゴリズムにしたがって行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み / 消去を行うことができます。

FLMCR1 の PSU1 ビットおよび ESU1 ビット、または FLMCR2 の PSU2 ビットおよび ESU2 ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定して

ください。

また、P1、P2 ビット、E1、E2 ビットをセットしている間に、MOV 命令等でフラッシュメモリ空間へのアクセスを行うことは禁止されています。

- (6) SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えできませんが、ベリファイ（プログラム/イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。

FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE ビットのセット/クリアに関わらずリード/ライト可能です。

- (7) フラッシュメモリのプログラム中または消去中に割込みを使用しないでください。

FWE 端子に印加している状態では、書き込み/消去動作（RAM によるエミュレーションを含む）を最優先とするため、NMI を含む全ての割込み要求を禁止してください。

- (8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは、128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き換えは、この書き込み単位ブロックが全て消去された状態で行ってください。

- (9) 書き込み前に、正しく PROM ライタに装着されていることを必ず確認してください。

PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流が流れ、製品が破壊されることがあります。

- (10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

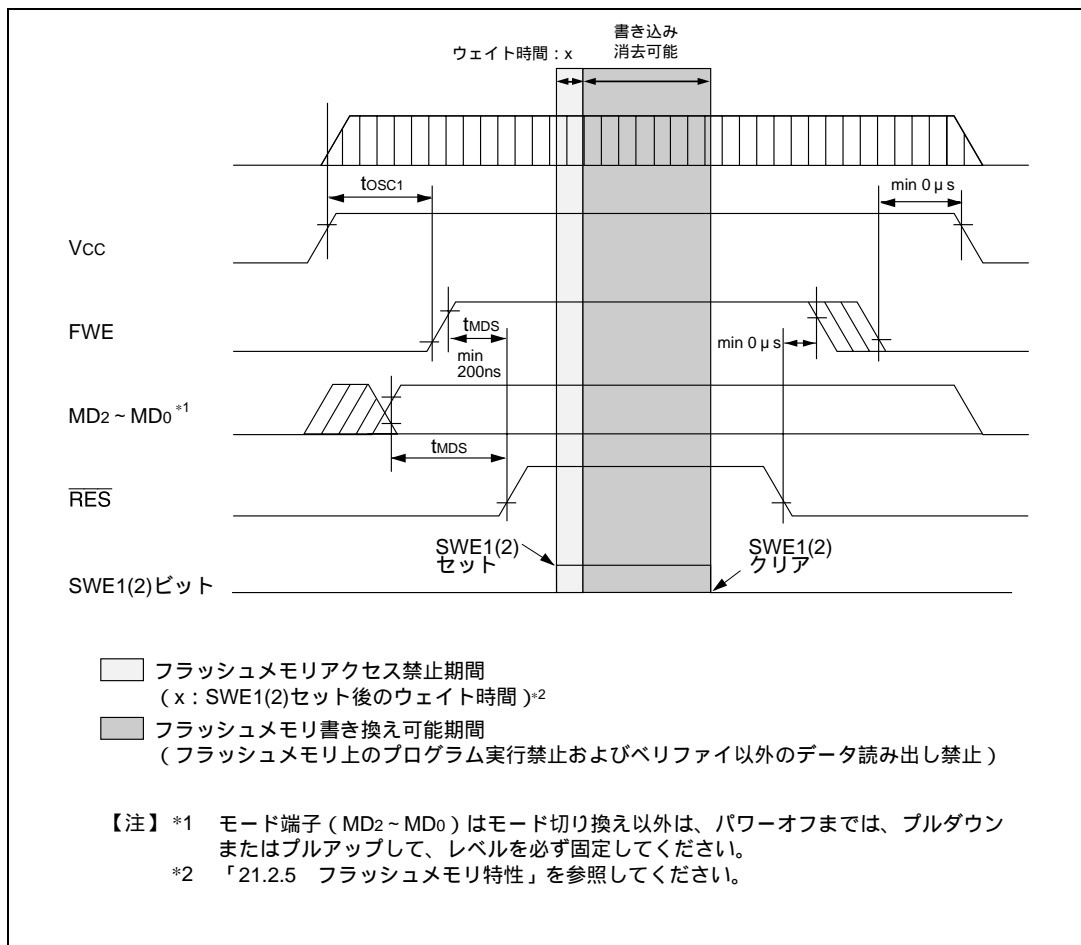


図 18.17 電源投入/切断タイミング (ブートモード)

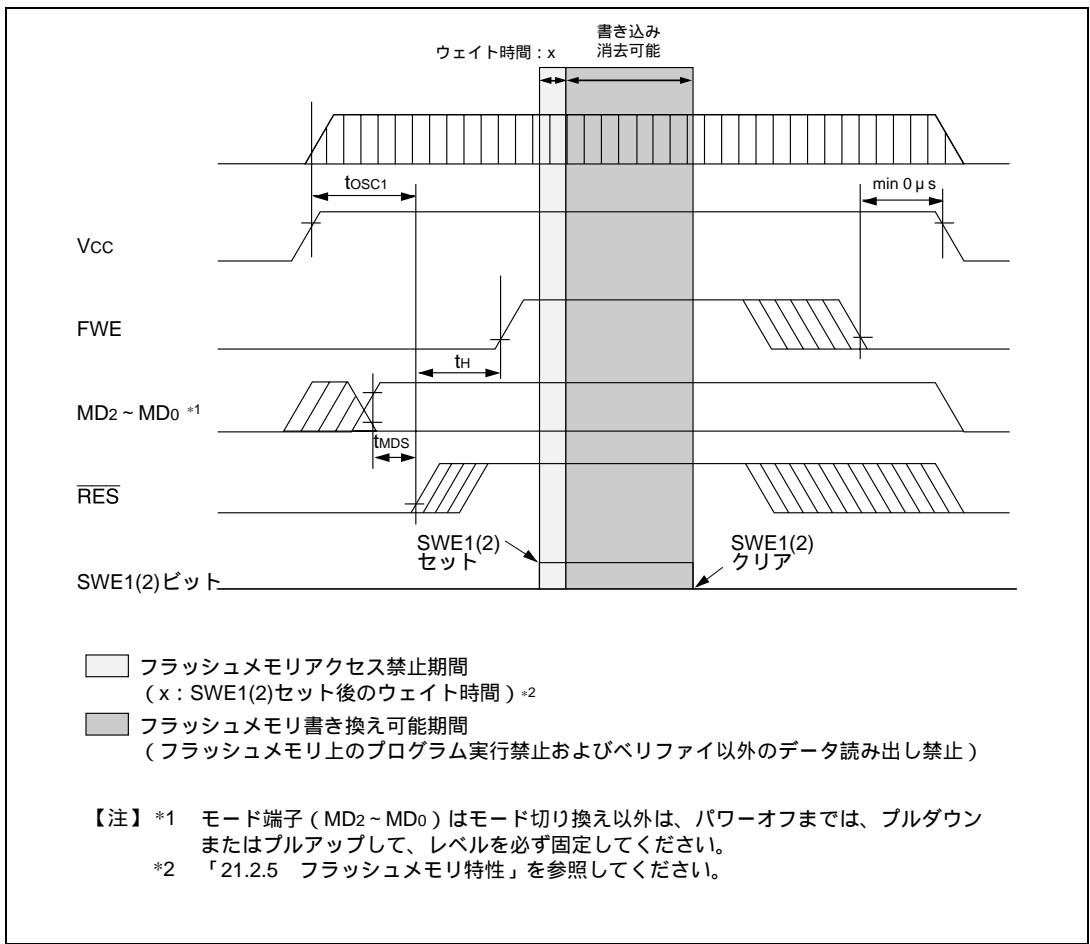


図 18.18 電源投入/切断タイミング (ユーザプログラムモード)

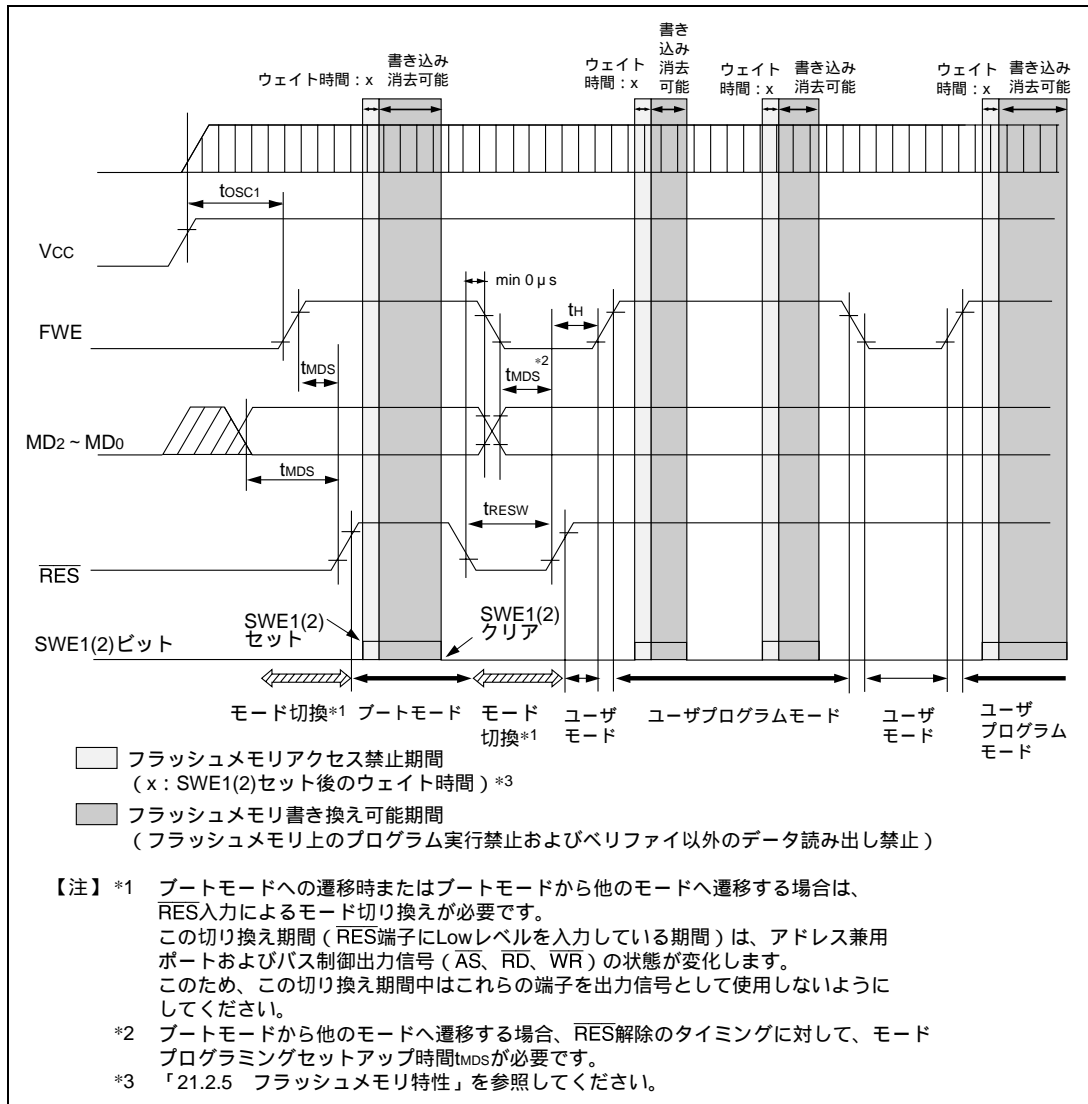


図 18.19 モード遷移タイミング
(例：ブートモード ユーザモード ユーザプログラムモード)

19. クロック発振器

19.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、クロック発振器はシステムクロック ()、および内部クロック (/2 ~ /4096) を生成します。

分周器は、デューティ補正されたクロックを分周してシステムクロック () を生成します。は 端子に出力される*1 とともに内部モジュールへクロックを供給するプリスケアラの基本クロックとなります。なお、分周器の分周比は分周比コントロールレジスタ (DIVCR) により 1/1、1/2、1/4、1/8 の中から選択できます*2。チップ内の消費電流は分周比にほぼ比例して低減します。

【注】*1 端子の状態はチップの動作モードおよびモジュールスタンバイコントロールレジスタ (MSTCR) の PSTOP の設定により異なります。詳細は「20.7 クロック出力禁止機能」を参照してください。

*2 分周比の変更は動作中ダイナミックに変更することができます。端子のクロック出力も分周比を変更することにより変化します。このとき 端子から出力される周波数は、以下のようになります。

$$= \text{EXTAL} \times n \quad \begin{array}{l} \text{EXTAL} : \text{水晶発振子または外部クロックの周波数} \\ n : \text{分周比 (} n=1/1, 1/2, 1/4, 1/8 \text{)} \end{array}$$

19.1.1 ブロック図

図 19.1 にクロック発振器のブロック図を示します。

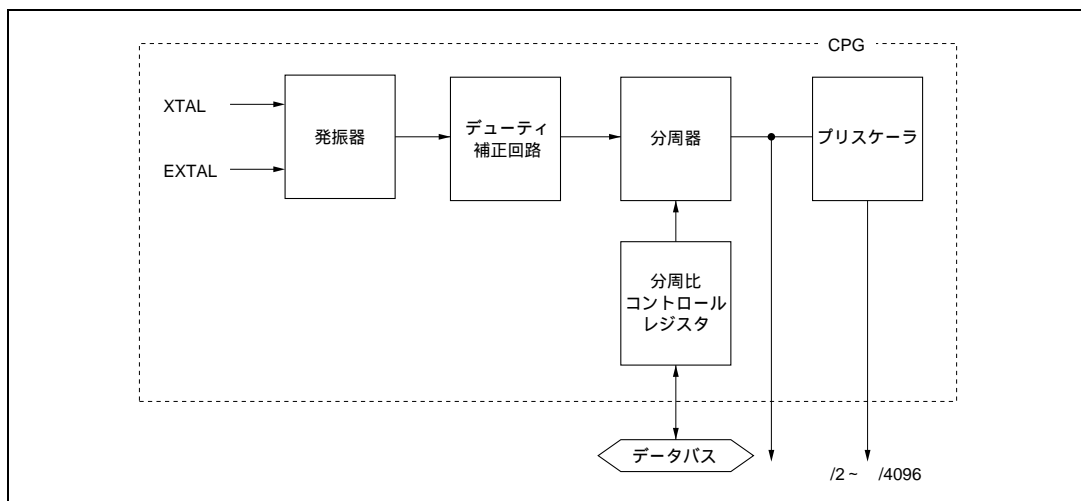


図 19.1 クロック発振器のブロック図

19.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

19.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 19.2 に示します。ダンピング抵抗 R_d は、表 19.1 (1) に示すものを使用してください。外付け容量 CL_1 、 CL_2 は表 19.1 (2) に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

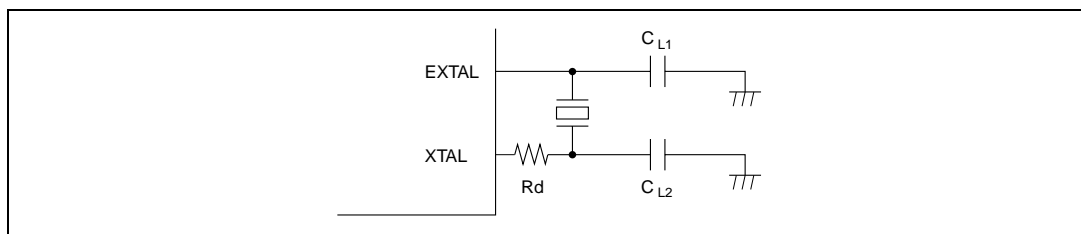


図 19.2 水晶発振子を接続する場合の接続例

20MHz より高周波の水晶発振子を接続する場合は、表 20.1 (2) のとおり外付け負荷容量を 10[pf] 以下としてください。また実装状態での発振周波数精度の向上のため、回路定数の決定については、発振のマッチング評価などを十分にご検討くださいますようお願い申し上げます。

表 19.1 (1) ダンピング抵抗値

ダンピング抵抗値	周波数 f (MHz)								
	2	2 < f 4	4 < f 8	8 < f 10	10 < f 13	13 < f 16	16 < f 18	18 < f 25	20 < f 25
R_d ()	1k	1k	500	200	100	0	0	0	0

【注】 水晶発振子は、2MHz ~ 25MHz が使用できます。2MHz 未満で動作させる場合は、内蔵の分周器を使用してください (2MHz 未満の水晶発振子は使用できません)。

表 19.1 (2) 外付け容量値

外付け容量値	5V 動作品		3V 動作品		
	周波数 f (MHz)	20 < f 25	2 < f 20	2 < f 13	13 < f 25
$CL_1 = CL_2$ (pF)		10	10 ~ 22		10

(2) 水晶発振子

図 19.3 に水晶発振子の等価回路を示します。水晶発振子は表 19.2 に示す特性のものを使用してください。

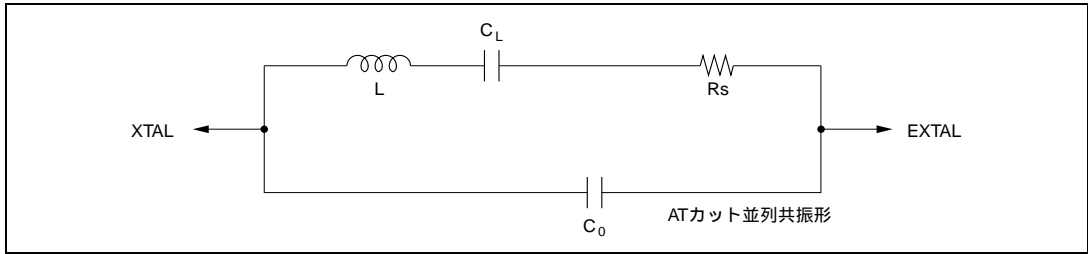


図 19.3 水晶発振子の等価回路

表 19.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16	18	20	25
Rs max ()	500	120	80	70	60	50	40	40	40
C ₀ (pF)	7pF max								

水晶発振子は、 と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 19.4)。また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

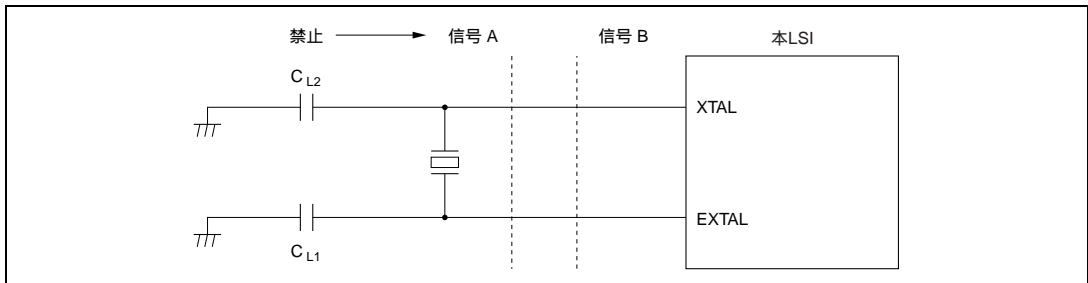


図 19.4 発振回路部のボード設計に関する注意事項

19.2.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 19.5 に示します。XTAL 端子をオープン状態にする場合は、XTAL 端子の寄生容量は 10pF 以下としてください。XTAL 端子の寄生容量が 10pF を越える場合は b のように接続し、スタンバイモード時には外部クロックが High レベルとなるようにしてください。

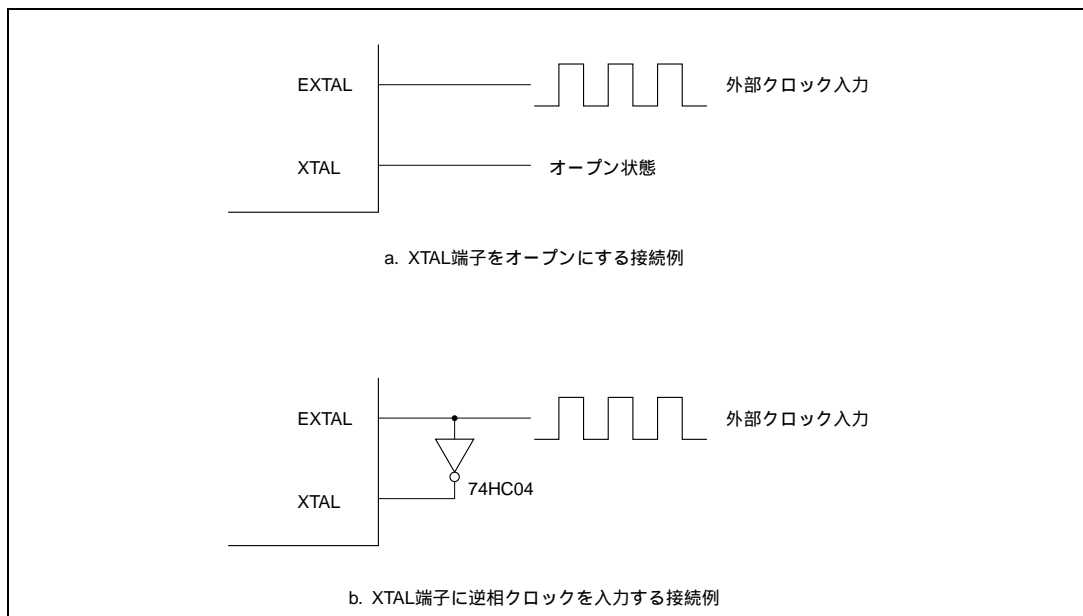


図 19.5 外部クロックを入力する場合の接続例

(2) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。表 19.3 にクロックタイミング、図 19.6 に外部クロック入力タイミングを示します。

図 19.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部のクロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 19.3 クロックタイミング

項目	記号	$V_{CC}=5.0V \pm 10\%$ $V_{CC}=3.0 \sim 3.6V$		単位	測定条件	
		min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	15	-	ns	図 19.6	
外部クロック入力パルス幅 High レベル	t_{EXH}	15	-	ns		
外部クロック立上がり時間	t_{EXr}	-	5	ns		
外部クロック立下がり時間	t_{EXf}	-	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	t_{cyc}	5MHz	図 21.4
		80	-	ns	< 5MHz	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	t_{cyc}	5MHz	
		80	-	ns	< 5MHz	
外部クロック出力安定遅延時間	t_{DEXT}^*	500	-	μs	図 19.7	

【注】 * : t_{DEXT} は、RES パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

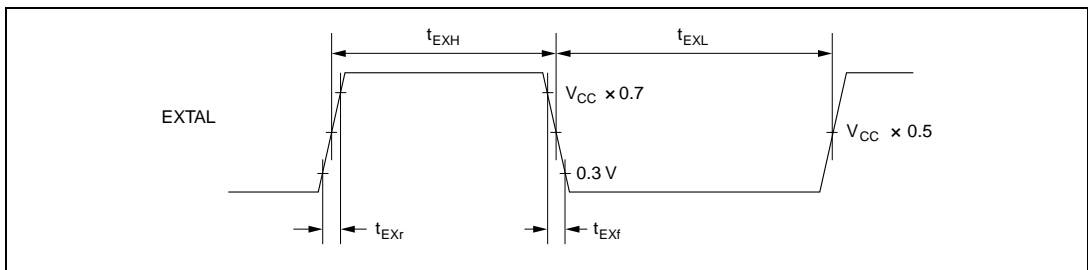
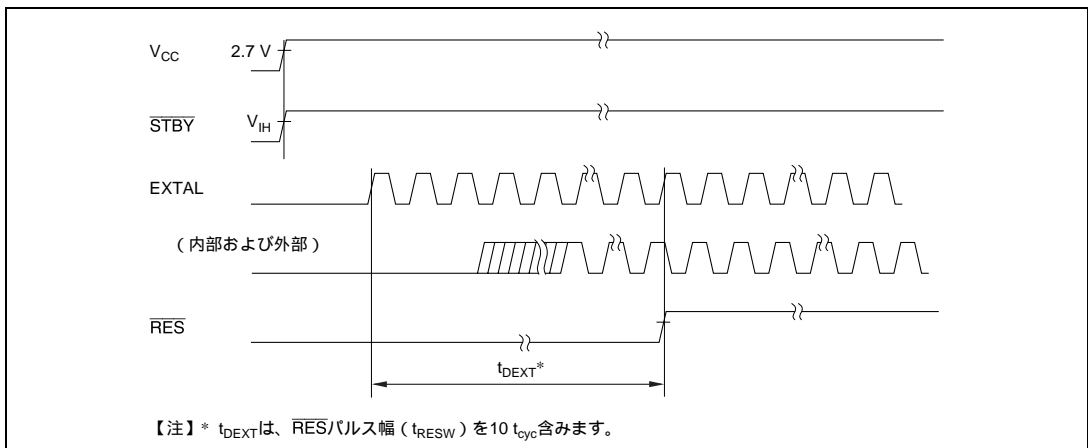


図 19.6 外部クロック入力タイミング



【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

図 19.7 外部クロック出力安定遅延時間タイミング

19.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 を生成します。

19.4 プリスケーラ

プリスケーラは、 を分周し内部クロック (/2~ /4096) を生成します。

19.5 分周器

分周器はデューティ補正されたクロックを分周して を生成します。分周比は以下に説明する DIVCR の値を書き換えることにより動作中ダイナミックに変更できます。チップ内の消費電流は分周比にほぼ比例して低減します。また分周器で生成した は 端子より出力することができます。

19.5.1 レジスタ構成

表 19.4 に分周器のレジスタ構成を示します。

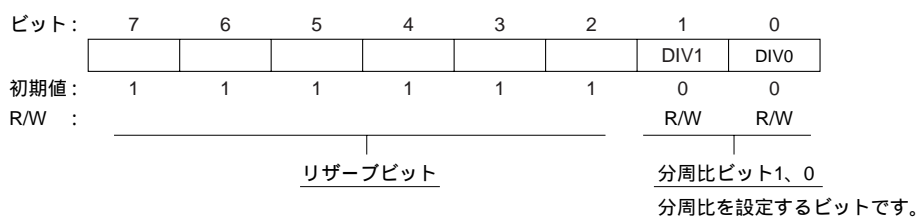
表 19.4 分周器のレジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FF5D	分周比コントロールレジスタ	DIVCR	R/W	H'FC

【注】 * アドレスの下位 16 ビットを示しています。

19.5.2 分周比コントロールレジスタ (DIVCR)

DIVCR は 8 ビットのリード/ライト可能なレジスタで分周器の分周比を選択します。



DIVCR はリセットまたはハードウェアスタンバイモード時に H'FC にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1、0 : 分周比 (DIV1、0)

分周比を選択します。DIV1、0 ビットと分周比の関係は以下のとおりです。

ビット 1	ビット 0	分周比
DIV1	DIV0	
0	0	1 / 1 (初期値)
	1	1 / 2
1	0	1 / 4
	1	1 / 8

19.5.3 使用上の注意

DIVCR の設定により の周波数が変わりますので、以下の点に注意してください。

- (1) 分周比は電气的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内におさまるように選択してください。すなわち $f_{\text{min}} = 2\text{MHz}$ とし、 $< 2\text{MHz}$ とならないように注意してください。
- (2) 内部モジュールは、全て を基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。詳細は「20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

20. 低消費電力状態

20.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態および、内蔵モジュールの機能を選択的に停止させることにより消費電力を低減させるモジュールスタンバイ機能があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

モジュールスタンバイ機能は低消費電力状態とは独立に内蔵モジュールのうち、ITU、SCI0、SCI1、DMAC、リフレッシュコントローラ、A/D 変換器を停止させることができます。

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を表 20.1 に示します。

表 20.1 低消費電力状態

モード	遷移条件	状態										解除方法			
		クロック	CPU	レジスタ	DMAC	リフレッシュコントローラ	ITU	SCIO	SCI1	A/D	その他の周辺機器		RAM	クロック出力	I/Oポート
スリープモード	SYSCRのSSBY=0の状態 でSLEEP命令を実行	動作	停止	保持	動作	動作	動作	動作	動作	動作	動作	動作	保持	保持	・動込み ・RES端子 ・STBY端子
ソフトウェアスタンバイモード	SYSCRのSSBY=1の状態 でSLEEP命令を実行	停止	停止	保持	停止 リセット	停止 保持	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	保持	High出力	・NMI端子 ・IRQ ₀ 端子 ・RES端子 ・STBY端子
ハードウェアスタンバイモード	STBY端子をLowレベル	停止	停止	不定	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	保持 ^{*3}	ハイインピーダンス	ハイインピーダンス	・STBY端子 ・RES端子
モジュールスタンバイ機能	MSTCRの該当ビットを1にセット	動作	動作	-	停止 ^{*2} リセット	停止 ^{*2} 保持 ^{*1}	停止 ^{*2} リセット	停止 ^{*2} リセット	停止 ^{*2} リセット	動作	動作	-	ハイ ^{*2} インピーダンス	ハイ ^{*2} インピーダンス	・STBY端子 ・RES端子 ・MSTCRの該当ビットを0にクリア ^{*4}

【注】 *1 RTCNT、RTMCSRのビット7、6はイニシャライズされ、その他は保持となります。
 *2 MSTCRの該当するビットを1にセットした状態です。詳細は「20.22 モジュールスタンバイコントロールレジスタ(MSTCR)」を参照してください。
 *3 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを"0"にクリアする必要があります。
 *4 MSTCRの各ビットを1にセットすると該当する周辺モジュールのレジスタは初期化されます。したがって周辺モジュールを再起動する場合はMSTCRの該当ビットを0にクリア後レジスタの再設定を行ってください。

《記号説明》
 SYSCR : システムコントロールレジスタ
 SSBY : ソフトウェアスタンバイビット
 MSTCR : モジュールスタンバイコントロールレジスタ

20.2 レジスタ構成

本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ (SYSCR) とモジュールスタンバイ機能の制御を行うモジュールスタンバイコントロールレジスタ (MSTCR) があります。レジスタ構成を表 20.2 に示します。

表 20.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FF5E	モジュールスタンバイコントロールレジスタ	MSTCR	R/W	H'40

【注】 * アドレスの下位 16 ビットを示しています。

20.2.1 システムコントロールレジスタ (SYSCR)



SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6~4 の STS2~STS0 ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ」を参照してください。

20. 低消費電力状態

ビット7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイマセレクト2～0（STS2～0）

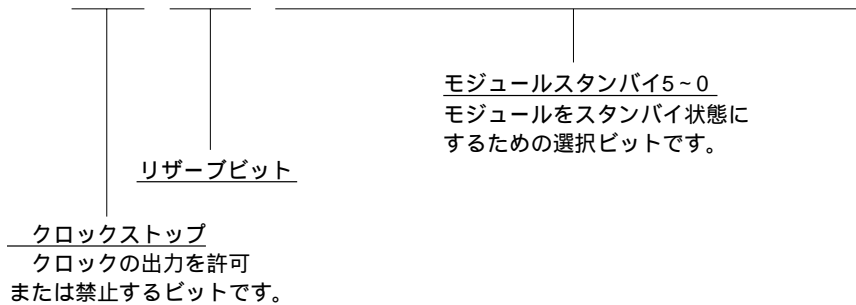
外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表20.3を参照し動作周波数に応じて待機時間が7ms（発振安定時間）以上となるように選択してください。外部クロックの場合、動作周波数に応じて、待機時間が100μs以上となるよう選択してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 1024 ステート
	1		使用禁止

20.2.2 モジュールスタンバイコントロールレジスタ (MSTCR)

MSTCR は、8 ビットのリード/ライト可能なレジスタです。 クロック出力の制御を行い、また、内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、ITU、SCI0、SCI1、DMAC、リフレッシュコントローラ、A/D 変換器です。

ビット:	7	6	5	4	3	2	1	0
	PSTOP		MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0
初期値:	0	1	0	0	0	0	0	0
R/W :	R/W		R/W	R/W	R/W	R/W	R/W	R/W



MSTCR はリセット、またはハードウェアスタンバイモード時に、H'40 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7: クロックストップ (PSTOP)

クロックの出力を許可または禁止します。

ビット 7	説 明	
PSTOP		
0	クロックの出力を許可	(初期値)
1	クロックの出力を禁止	

ビット 6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5: モジュールスタンバイ 5 (MSTOP5)

ITU をスタンバイ状態にするかを選択します。

ビット 5	説 明	
MSTOP5		
0	ITU は通常動作	(初期値)
1	ITU はスタンバイ状態	

20. 低消費電力状態

ビット 4 : モジュールスタンバイ 4 (MSTOP4)
SCI0 をスタンバイ状態にするかを選択します。

ビット 4	説明
MSTOP4	
0	SCI0 は通常動作 (初期値)
1	SCI0 はスタンバイ状態

ビット 3 : モジュールスタンバイ 3 (MSTOP3)
SCI1 をスタンバイ状態にするかを選択します。

ビット 3	説明
MSTOP3	
0	SCI1 は通常動作 (初期値)
1	SCI1 はスタンバイ状態

ビット 2 : モジュールスタンバイ 2 (MSTOP2)
DMAC をスタンバイ状態にするかを選択します。

ビット 2	説明
MSTOP2	
0	DMAC は通常動作 (初期値)
1	DMAC はスタンバイ状態

ビット 1 : モジュールスタンバイ 1 (MSTOP1)
リフレッシュコントローラをスタンバイ状態にするかを選択します。

ビット 1	説明
MSTOP1	
0	リフレッシュコントローラは通常動作 (初期値)
1	リフレッシュコントローラはスタンバイ状態

ビット 0 : モジュールスタンバイ 0 (MSTOP0)
A/D 変換器をスタンバイ状態にするかを選択します。

ビット 0	説明
MSTOP0	
0	A/D 変換器は通常動作 (初期値)
1	A/D 変換器はスタンバイ状態

20.3 スリープモード

20.3.1 スリープモードへの遷移

SYSR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは DMA コントローラ (DMAC)、リフレッシュコントローラ、および内蔵周辺モジュールの機能は停止しません。ただし、モジュールスタンバイ機能により、スタンバイ状態となっている内蔵モジュールの機能は動作しません。

20.3.2 スリープモードの解除

スリープモードの解除は、割込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがモジュール側で禁止されている場合、また、NMI 以外の割込みが CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.4 ソフトウェアスタンバイモード

20.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。DMAC、内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートおよびリフレッシュコントローラ*の状態も保持されています。

【注】* RTCNT、RTMCSR のビット 7、6 はイニシャライズされ、その他は保持となります。

20.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み (NMI 端子、 $\overline{IRQ}_0 \sim \overline{IRQ}_2$ 端子)、 \overline{RES} 端子または \overline{STBY} 端子によって行われます。

(1) 割込みによる解除

NMI、 $\overline{IRQ}_0 \sim \overline{IRQ}_2$ 割込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。なお、 $\overline{IRQ}_0 \sim \overline{IRQ}_2$ 割込みは、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 \overline{RES} 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) \overline{STBY} 端子による解除

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットおよび DIVCR の DIV1、0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 7ms（発振安定時間）以上となるように STS2 ~ STS0、DIV1、0 を設定してください。
表 20.3 は動作周波数と STS2 ~ STS0、DIV1、0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

待機時間が 100 μ s 以上となるように、STS2 ~ STS0、DIV0、DIV1 ビットを設定してください。

表 20.3 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	18MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	単位			
0	0	0	0	0	8192 ステート	0.46	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	ms			
				1	16384 ステート	0.91	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4				
			1	0	32768 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8				
				1	65536 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5				
		1	0	0	0	131072 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5		131.1		
				1	1024 ステート	0.057	0.064	0.085	0.10	0.13	0.17	0.26	0.51	1.0				
			1	使用禁止														
				-	使用禁止													
0	1	0	0	0	8192 ステート	0.91	1.02	1.4	1.6	2.0	2.7	4.1	8.2	16.4	ms			
				1	16384 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8				
			1	0	32768 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5				
				1	65536 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1				
		1	0	0	0	131072 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1		262.1		
				1	1024 ステート	0.11	0.13	0.17	0.20	0.26	0.34	0.51	1.0	2.0				
			1	使用禁止														
				-	使用禁止													
1	0	0	0	0	8192 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	ms			
				1	16384 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5				
			1	0	32768 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1				
				1	65536 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1				
		1	0	0	0	131072 ステート	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1		524.3		
				1	1024 ステート	0.23	0.26	0.34	0.41	0.51	0.68	1.02	2.0	4.1				
			1	使用禁止														
				-	使用禁止													
1	1	0	0	0	8192 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	ms			
				1	16384 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1				
			1	0	32768 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1				
				1	65536 ステート	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3				
		1	0	0	0	131072 ステート	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3		1048.6		
				1	1024 ステート	0.46	0.51	0.68	0.82	1.0	1.4	2.0	4.1	8.2				
			1	使用禁止														
				-	使用禁止													

：推奨設定時間

20.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立下がりによってソフトウェアスタンバイモードに遷移し、NMI 端子の立上がりによって解除を行う例を、図 20.1 に示します。

SYSR の NMI エッジ (NMIEG) ビットが 0 にクリアされている (立下がりエッジ指定) 状態で NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセットします (立上がりエッジ指定)。SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。

その後、NMI 端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

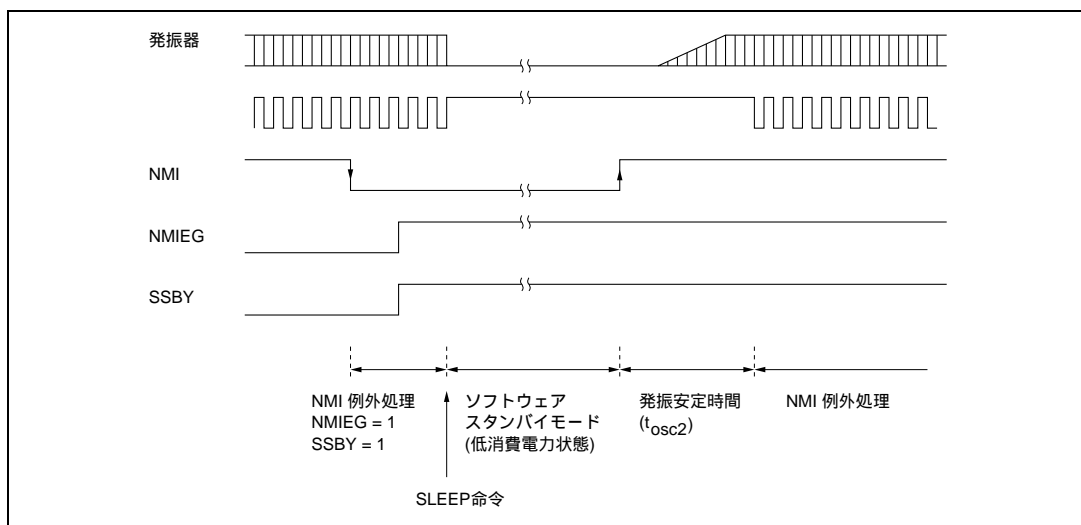


図 20.1 ソフトウェアスタンバイモード時の NMI タイミング (例)

20.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

20.5 ハードウェアスタンバイモード

20.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、DMAC、リフレッシュコントローラ、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

ハードウェアスタンバイモード中には、モード端子 ($\text{MD}_2 \sim \text{MD}_0$) の状態を変化させないでください。

20.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

20.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 20.2 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

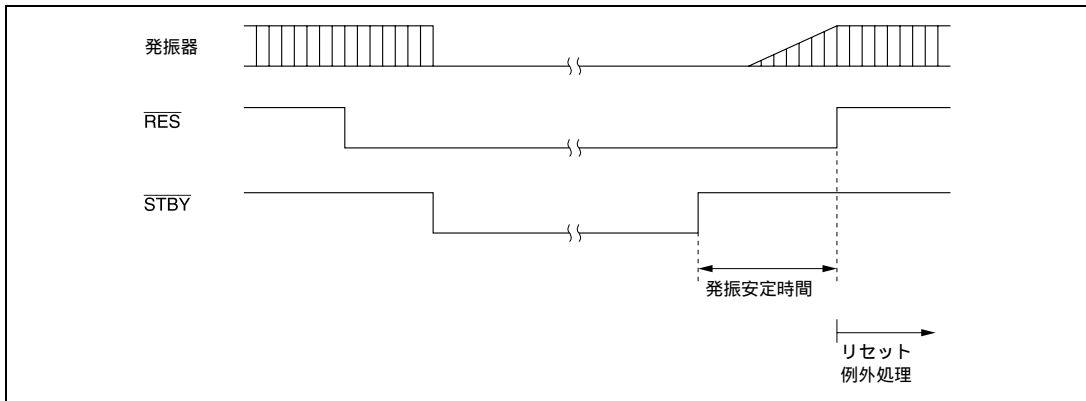


図 20.2 ハードウェアスタンバイモードのタイミング

20.6 モジュールスタンバイ機能

20.6.1 モジュールスタンバイタイミング

モジュールスタンバイ機能は、MSTCR の MSTOP5 ~ 0 ビットにより、内蔵モジュールのうち ITU、SCI0、SCI1、DMAC、リフレッシュコントローラ、A/D 変換器を低消費電力状態とは独立に停止させることができます。MSTOP5 ~ 0 ビットを 1 にセットすると、MSTCR のライトサイクルの次のバスサイクルの先頭で上記周辺モジュールはスタンバイ状態となり動作が停止します。

20.6.2 モジュールスタンバイ中のリード/ライト

モジュールスタンバイ中の周辺モジュールのレジスタに対するリード/ライトはできません。リードすると常に H'FF が読み出されます。ライトは無効です。

20.6.3 使用上の注意

モジュールスタンバイ機能を使用するうえで以下のことに注意してください。

(1) DMAC およびリフレッシュコントローラの処置

モジュールスタンバイ機能を使用する場合、DMAC およびリフレッシュコントローラはバス権要求が発生しない状態で MSTOP2、1 ビットを 1 にセットしてください。バス権要求が発生した状態で MSTOP2、1 ビットが 1 にセットされると、バスアービタの動作が不確定となり誤動作の原因となります。

(2) 内蔵周辺モジュール割込み

MSTCR のビットを 1 にセットする場合、事前に当該モジュールの割込みを禁止してください。モジュールスタンバイ機能によって、スタンバイ状態となった周辺モジュールはレジスタがすべて初期化されます。

(3) 端子の状態

モジュールスタンバイ機能によって、停止したモジュールが使用していた端子は、モジュールの機能が失われます。その後の端子状態については端子ごとに異なりますので、詳細は「第 9 章 I/O ポート」を参照してください。端子の状態が入力から出力に変化する場合には、特に注意が必要です。例えば、SCI1 をモジュールスタンバイにした場合、受信端子はモジュールスタンバイと同時に受信端子としての機能がなくなりポートとなりますが、ポートの DDR が 1 にセットされていると、端子はデータ出力となり外部 SCI 送信データと衝突する可能性があります。この場合、ポートの DDR を 0 にクリアするなどの対策をとってください。

(4) レジスタの再設定

モジュールスタンバイ機能によって、停止した周辺モジュールのレジスタはすべて初期化されます。このため再動作させる際には、MSTOP ビットを 0 にクリアした後、レジスタの再設定が必要です。なお MSTOP ビットが 1 にセットされた状態ではレジスタへのライトはできません。

(5) DMAC による MSTCR のライト禁止

MSTCR は誤動作の防止のため CPU 以外のライトはできません。したがって DMAC によるリードはできますがライトはできません。

20.7 クロック出力禁止機能

MSTCR の PSTOP ビットにより、クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、クロックは停止し、端子はハイインピーダンスになります。図 20.3 にクロックの発振開始、発振停止のタイミングを示します。PSTOP ビットを 0 にクリアした状態では、クロックの出力は許可されます。表 20.4 に各処理状態における端子の状態を示します。

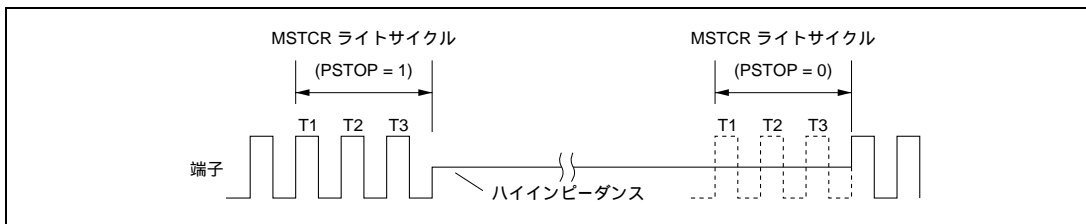


図 20.3 クロック発振開始、発振停止タイミング

表 20.4 各処理状態における端子の状態

処理状態	PSTOP = 0	PSTOP = 1
ハードウェアスタンバイ	ハイインピーダンス	ハイインピーダンス
ソフトウェアスタンバイ	H 固定	ハイインピーダンス
スリープモード	出力	ハイインピーダンス
通常動作状態	出力	ハイインピーダンス

21. 電気的特性

21.1 絶対最大定格

絶対最大定格を表 21.1 に示します。

表 21.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	5V 動作品： - 0.3 ~ + 7.0 3V 動作品： - 0.3 ~ + 4.3	V
プログラム電圧 (FWE)	HD64F3052 V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート7以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	V_{REF}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	5V 動作品： - 0.3 ~ + 7.0 3V 動作品： - 0.3 ~ + 4.3	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	- 20 ~ + 75*	
保存温度	T_{sta}	- 55 ~ + 125	

【注】 5V 動作品の V_{CL} ピンには電源電圧を印加しないでください。GND との間に外付けコンデンサを接続してください。

3V 動作品の V_{CL} ピンは V_{CC} ピンとなりますので電源電圧を印加してください。

* フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = 0 \sim + 75$ です。

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

21.2 電気的特性

21.2.1 DC 特性

DC 特性を表 21.2 に示します。また、出力許容電流値を表 21.3 に示します。

表 21.2 DC 特性 (1)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	ポート A、 P8 ₀ ~ P8 ₂ 、 PB ₀ ~ PB ₃	V_T^-	1.0	-	-	V	
		V_T^+	-	-	$V_{CC} \times 0.7$	V	
		$V_T^+ - V_T^-$	0.4	-	-	V	
入力 High レベル 電圧	RES、STBY、 FWE、NMI、 MD ₂ ~ MD ₀	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	ポート 7		2.0	-	$AV_{CC} + 0.3$	V	
	ポート 1、2、3、 4、5、6、9、P8 ₃ 、 P8 ₄ 、PB ₄ ~ PB ₇		2.0	-	$V_{CC} + 0.3$	V	
入力 Low レベル 電圧	RES、STBY、 MD ₂ ~ MD ₀ 、FWE	V_{IL}	- 0.3	-	0.5	V	
	NMI、EXTAL、 ポート 1、2、3、 4、5、6、7、9、 P8 ₃ 、P8 ₄ 、PB ₄ ~ PB ₇		- 0.3	-	0.8	V	
出力 High レベル 電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			3.5	-	-	V	$I_{OH} = -1mA$
出力 Low レベル 電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、5、 B		-	-	1.0	V	$I_{OL} = 10mA$
入力リーク電流	STBY、NMI、 RES、FWE、 MD ₂ ~ MD ₀	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 7		-	-	1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1、2、3、 4、5、6、8 ~ B	$ I_{TS1} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 2、4、5	$-I_p$	50	-	300	μA	$V_{in} = 0V$

項目		記号	min	typ	max	単位	測定条件
入力容量	FWE	C_{in}	-	-	60	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI		-	-	60	pF	
	FWE、NMI 以外の全入力端子		-	-	15	pF	
消費電流*2	通常動作時	I_{cc}	-	25	48	mA	$f = 18MHz$
			-	35	60		$f = 25MHz$
	スリープ時		-	23	38		$f = 18MHz$
			-	33	50	$f = 25MHz$	
	モジュールスタンバイ時*4		-	18	25	$f = 18MHz$	
			-	25	40	$f = 25MHz$	
	スタンバイ時*3		-	1.0	10	μA	$T_a = 50$
-		-	80	$50 < T_a$			
フラッシュ書き込み / 消去時	-	35	58	mA	$f = 18MHz$		
	-	45	70		$f = 25MHz$		
アナログ電源電流	A/D 変換中	AI_{cc}	-	0.5	1.5	mA	
	A/D、D/A 変換中		-	0.5	1.5		
	A/D、D/A 変換待機時		-	0.01	5	μA	
リファレンス電源電流	A/D 変換中	AI_{cc}	-	0.4	0.8	mA	$V_{REF} = 5.0V$
	A/D、D/A 変換中		-	1.5	3.0		
	A/D、D/A 変換待機時		-	0.01	5	μA	DASTE = 0 時
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に、 AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IHmin} = V_{CC} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

I_{ccmax} (通常動作時) = $3.0 [mA] + 0.45 [mA/(MHz \times V)] \times V_{CC} \times f$

I_{ccmax} (スリープ時) = $3.0 [mA] + 0.35 [mA/(MHz \times V)] \times V_{CC} \times f$

I_{ccmax} (スリープ + モジュールスタンバイ時) = $3.0 [mA] + 0.26 [mA/(MHz \times V)] \times V_{CC} \times f$

また、消費電流の typ 値は参考値です。

*3 $V_{RAM} < V_{CC} < 4.5V$ のとき、 $V_{IHmin} = V_{CC} \times 0.9$ 、 $V_{ILmax} = 0.3V$ とした場合の値です。

*4 モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値です。

21. 電気的特性

表 21.2 DC 特性 (2)

暫定仕様

条件 : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	ポート A、 P8 ₀ ~ P8 ₂ 、 PB ₀ ~ PB ₃	V_T^-	$V_{CC} \times 0.2$	-	-	V	
		V_T^+	-	-	$V_{CC} \times 0.7$	V	
		$V_T^+ - V_T^-$	$V_{CC} \times 0.5$	-	-	V	
入力 High レベル 電圧	RES、STBY、 FWE、NMI、 MD ₂ ~ MD ₀	V_{IH}	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	ポート 7		$V_{CC} \times 0.7$	-	$AV_{CC} + 0.3$	V	
	ポート 1、2、3、 4、5、6、9、P8 ₃ 、 P8 ₄ 、PB ₄ ~ PB ₇		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
入力 Low レベル 電圧	RES、STBY、 MD ₂ ~ MD ₀ 、FWE	V_{IL}	- 0.3	-	$V_{CC} \times 0.1$	V	
	NMI、EXTAL、 ポート 1、2、3、 4、5、6、7、9、 P8 ₃ 、P8 ₄ 、PB ₄ ~ PB ₇		- 0.3	-	$V_{CC} \times 0.2$	V	
出力 High レベル 電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力 Low レベル 電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、5、 B		-	-	1.0	V	$I_{OL} = 5mA$
入力リーク電流	STBY、NMI、 RES、FWE、 MD ₂ ~ MD ₀	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 7		-	-	1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1、2、3、 4、5、6、8 ~ B	$ I_{TSL} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 2、4、5	$-I_p$	10	-	300	μA	$V_{in} = 0V$

項目		記号	min	typ	max	単位	測定条件
入力容量	FWE	C_{in}	-	-	60	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI		-	-	50	pF	
	FWE、NMI 以外の全入力端子		-	-	15	pF	
消費電流*2	通常動作時	I_{CC}	-	33	45	mA	$f = 25MHz$
	スリープ時		-	31	35		$f = 25MHz$
	モジュールスタンバイ時*4		-	23	27		$f = 25MHz$
	スタンバイ時*3		-	1.0	10	μA	$T_a = 50$
			-	-	80		$50 < T_a$
フラッシュ書き込み / 消去時	-	TBD	TBD	mA	$f = 25MHz$		
アナログ電源電流	A/D 変換中	AI_{CC}	-	0.6	1.5	mA	
	A/D、D/A 変換中		-	0.6	1.5		
	A/D、D/A 変換待機時		-	0.01	5	μA	
リファレンス電源電流	A/D 変換中	AI_{CC}	-	0.45	0.8	mA	$V_{REF} = 5.0V$
	A/D、D/A 変換中		-	2.0	3.0		
	A/D、D/A 変換待機時		-	0.01	5	μA	DASTE = 0 時
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に、 AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH,MIN} = V_{CC} - 0.5V$ 、 $V_{IL,MAX} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

$I_{CC,max}$ (通常動作時) = $3.0 [mA] + 0.45 [mA/(MHz \times V)] \times V_{CC} \times f$

$I_{CC,max}$ (スリープ時) = $3.0 [mA] + 0.35 [mA/(MHz \times V)] \times V_{CC} \times f$

$I_{CC,max}$ (スリープ + モジュールスタンバイ時) = $3.0 [mA] + 0.26 [mA/(MHz \times V)] \times V_{CC} \times f$

また、消費電流の typ 値は参考値です。

*3 V_{RAM} 、 $V_{CC} < 4.5V$ のとき、 $V_{IH,MIN} = V_{CC} \times 0.9$ 、 $V_{IL,MAX} = 0.3V$ とした場合の値です。

*4 モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値です。

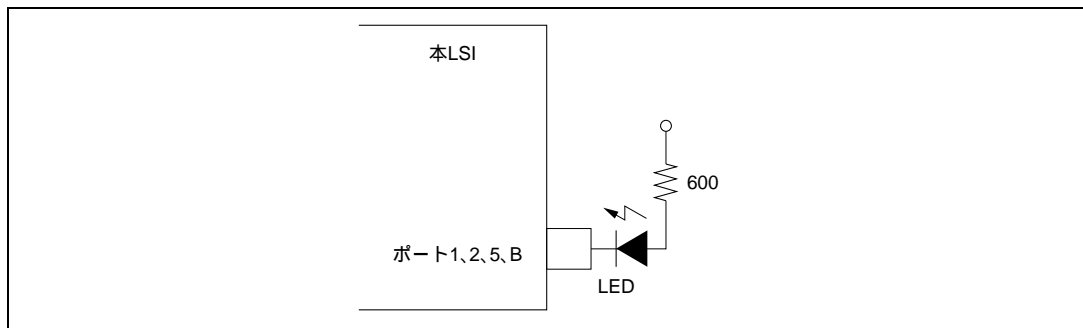
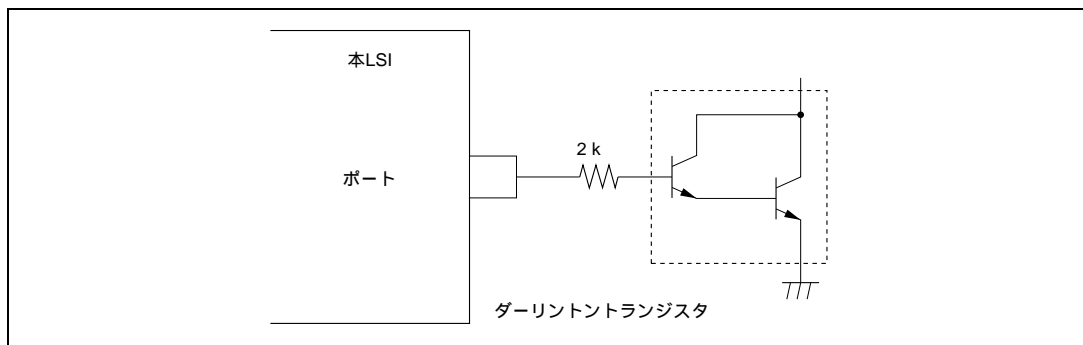
21. 電気的特性

表 21.3 出力許容電流値

条件： $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2、5、B	-	-	10	mA
	上記以外の出力端子	-	-	2.0	mA
出力 Low レベル許容電流 (総和)	ポート 1、2、5、B、 28 端子の総和	-	-	80	mA
	上記を含む、全出力端子 の総和	-	-	120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	-	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	-	-	40	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 21.3 の値を超えないようにしてください。
 2. ダーリントトランジスタや、LED を直接駆動する場合には、図 21.1、図 21.2 に示すように、出力に必ず電流制限抵抗を挿入してください。



21.2.2 AC 特性

表 21.4 にバスタイミング、表 21.5 にリフレッシュコントローラバスタイミング、表 21.6 に制御信号タイミングを示します。また、表 21.7 に内蔵周辺モジュールタイミングを示します。

表 21.4 バスタイミング

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$ - 暫定仕様 -

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$

項目	記号	条件 A		条件 B		条件 C		測定条件
		min	max	min	max	min	max	
クロックサイクル時間	t_{cyc}	40	500	55.5	500	40	500	図 21.4、 図 21.5
クロックパルス幅 Low レベル時間	t_{CL}	10		17		10		
クロックパルス幅 High レベル時間	t_{CH}	10		17		10		
クロック立上がり時間	t_{CR}		10		10		10	
クロック立下がり時間	t_{CF}		10		10		10	
アドレス遅延時間	t_{AD}		30		25		25	
アドレスホールド時間	t_{AH}	$0.5t_{cyc} - 20$		10		$0.5t_{cyc} - 20$		
アドレスストロブ遅延時間	t_{ASD}		25		25		25	
ライトストロブ遅延時間	t_{WSD}		25		25		25	
ストロブ遅延時間	t_{SD}		25		25		25	
ライトデータストロブパルス幅 1	t_{WSW1}^*	$1.0t_{cyc} - 25$		32		$1.0t_{cyc} - 25$		
ライトデータストロブパルス幅 2	t_{WSW2}^*	$1.5t_{cyc} - 25$		62		$1.5t_{cyc} - 25$		
アドレスセットアップ時間 1	t_{AS1}	$0.5t_{cyc} - 25$		10		$0.5t_{cyc} - 20$		
アドレスセットアップ時間 2	t_{AS2}	$1.0t_{cyc} - 25$		38		$1.0t_{cyc} - 20$		
リードデータセットアップ時間	t_{RDS}	15		15		15		
リードデータホールド時間	t_{RDH}	0		0		0		
ライトデータ遅延時間	t_{WDD}		40		55		35	
ライトデータセットアップ時間 1	t_{WDS1}	$1.0t_{cyc} - 30$		10		$1.0t_{cyc} - 30$		
ライトデータセットアップ時間 2	t_{WDS2}	-10		-10		-10		
ライトデータホールド時間	t_{WDH}	$0.5t_{cyc} - 15$		20		$0.5t_{cyc} - 15$		
リードデータアクセス時間 1	t_{ACC1}^*		$1.5t_{cyc} - 40$		50		$1.5t_{cyc} - 40$	
リードデータアクセス時間 2	t_{ACC2}^*		$2.5t_{cyc} - 40$		105		$2.5t_{cyc} - 40$	
リードデータアクセス時間 3	t_{ACC3}^*		$1.0t_{cyc} - 28$		20		$1.0t_{cyc} - 28$	
リードデータアクセス時間 4	t_{ACC4}^*		$2.0t_{cyc} - 32$		80		$2.0t_{cyc} - 32$	
プリチャージ時間	t_{PCH}^*	$1.0t_{cyc} - 20$		40		$1.0t_{cyc} - 20$		
ウェイトセットアップ時間	t_{WTS}	25		25		25		図 21.6
ウェイトセットホールド時間	t_{WTH}	5		5		5		
バスリクエストセットアップ時間	t_{BRQS}	25		40		25		図 21.17
バスアクノリッジ遅延時間 1	t_{BACD1}		30		30		30	
バスアクノリッジ遅延時間 2	t_{BACD2}		30		30		30	
バスフローティング時間	t_{BZD}		47		40		40	

単位 : ns

21. 電気的特性

【注】 * 18MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{ACC1} &= 1.5 \times t_{cyc} - 34 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 24 \text{ (ns)} \\ t_{ACC2} &= 2.5 \times t_{cyc} - 34 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 22 \text{ (ns)} \\ t_{ACC3} &= 1.0 \times t_{cyc} - 36 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 21 \text{ (ns)} \\ t_{ACC4} &= 2.0 \times t_{cyc} - 31 \text{ (ns)} \end{aligned}$$

表 21.5 リフレッシュコントローラバスタイミング

条件 A : $V_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.6 \sim 5.5V$, $V_{REF} = 3.0 \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $f = 2 \sim 25MHz$,
 $T_a = -20 \sim +75$ 暫定仕様

条件 B : $V_{CC} = 5.0V \pm 10\%$, $AV_{CC} = 5.0V \pm 10\%$, $V_{REF} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $f = 2 \sim 18MHz$,
 $T_a = -20 \sim +75$

条件 C : $V_{CC} = 5.0V \pm 10\%$, $AV_{CC} = 5.0V \pm 10\%$, $V_{REF} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $f = 2 \sim 25MHz$,
 $T_a = -20 \sim +75$

項目	記号	条件 A		条件 B		条件 C		測定条件
		min	max	min	max	min	max	
RAS 遅延時間 1	t_{RAD1}		25		30		18	図 21.7 ~ 図 21.14
RAS 遅延時間 2	t_{RAD2}		25		30		18	
RAS 遅延時間 3	t_{RAD3}		25		30		18	
ロウアドレスホールド時間*	t_{RAH}	$0.5t_{cyc}-5$		15		$0.5t_{cyc}-5$		
RAS プリチャージ時間*	t_{RP}	$1.0t_{cyc}-15$		45		$1.0t_{cyc}-15$		
CAS to RAS プリチャージ時間*	t_{CRP}	$1.0t_{cyc}-15$		45		$1.0t_{cyc}-15$		
CAS パルス幅	t_{CAS}	$1.0t_{cyc}-18$		40		$1.0t_{cyc}-18$		
RAS アクセス時間*	t_{RAC}		$2.0t_{cyc}-35$		85		$2.0t_{cyc}-35$	
アドレスアクセス時間	t_{AA}		$1.5t_{cyc}-40$		55		$1.5t_{cyc}-40$	
CAS アクセス時間*	t_{CAC}		$1.0t_{cyc}-30$		30		$1.0t_{cyc}-30$	
ライトデータセットアップ時間 3	t_{WDS3}	15		15		15		
CAS セットアップ時間*	t_{CSR}	$0.5t_{cyc}-15$		15		$0.5t_{cyc}-15$		
リードストローブ遅延時間	t_{RSD}		25		30		25	

単位 : ns

【注】 * 18MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{RAH} &= 0.5 \times t_{cyc} - 17 \text{ (ns)} & t_{CAC} &= 1.0 \times t_{cyc} - 33 \text{ (ns)} \\ t_{RAC} &= 2.0 \times t_{cyc} - 40 \text{ (ns)} & t_{CSR} &= 0.5 \times t_{cyc} - 17 \text{ (ns)} \\ t_{RP} = t_{CRP} &= 1.0 \times t_{cyc} - 18 \text{ (ns)} \end{aligned}$$

表 21.6 制御信号タイミング

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$ 暫定仕様

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	200		200		200		ns	図 21.15
RES パルス幅	t_{RESW}	20		20		20		t_{cyc}	
モードプログラミングセットアップ時間	t_{MDS}	200		200		200		ns	
NMI セットアップ時間 (NMI、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$)	t_{NMIS}	150		150		150		ns	図 21.16
NMI ホールド時間 (NMI、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$)	t_{NMIH}	10		10		10		ns	
割込みパルス幅 (NMI、 $\overline{IRQ}_2 \sim \overline{IRQ}_0$) ソフトウェアスタンバイモードからの復帰時	t_{NMIV}	200		200		200		ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		20		20		ms	図 21.18
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	7		7		7		ns	図 20.1

21. 電気的特性

表 21.7 内蔵周辺モジュールタイミング

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$ 暫定仕様

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$

モジュール	項目	記号	条件 A		条件 B		条件 C		単位	測定条件	
			min	max	min	max	min	max			
DMAC	DREQ セットアップ時間	t_{DRQS}	20		30		20		ns	図 21.16	
	DREQ ホールド時間	t_{DRQH}	10		10		10		ns		
	TEND 遅延時間 1	t_{TED1}		50		50		50	ns	図 21.24	
	TEND 遅延時間 2	t_{TED2}		50		50		50	ns	図 21.25	
ITU	タイマ出力遅延時間	t_{TOCD}		100		100		50	ns	図 21.20	
	タイマ入力セットアップ時間	t_{TICS}	40		50		40		ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	40		50		40		ns	図 21.21	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5		1.5		1.5			t_{cyc}
両エッジ指定		t_{TCKWL}	2.5		2.5		2.5		t_{cyc}		
SCI	入クロックサイケル	調歩同期	t_{SCYC}	4		4		4		t_{cyc}	図 21.22
		クロック同期		6		6		6		t_{cyc}	
	入クロック立上がり時間	t_{SCKr}		1.5		1.5		1.5	t_{cyc}		
	入クロック立下がり時間	t_{SCKf}		1.5		1.5		1.5	t_{cyc}		
	入クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{cyc}		
	送信データ遅延時間	t_{TXD}		100		100		100	ns	図 21.23	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100		100		100		ns		
	受信データホールド時間 (クロック同期)	クロック入力	t_{RXH}	100		100		100		ns	
クロック出力		0			0		0		ns		
ポート TPC	出力データ遅延時間	t_{PWD}		100		100		50	ns	図 21.19	
	入力データセットアップ時間	t_{PRS}	50		50		50		ns		
	入力データホールド時間	t_{PRH}	50		50		50		ns		

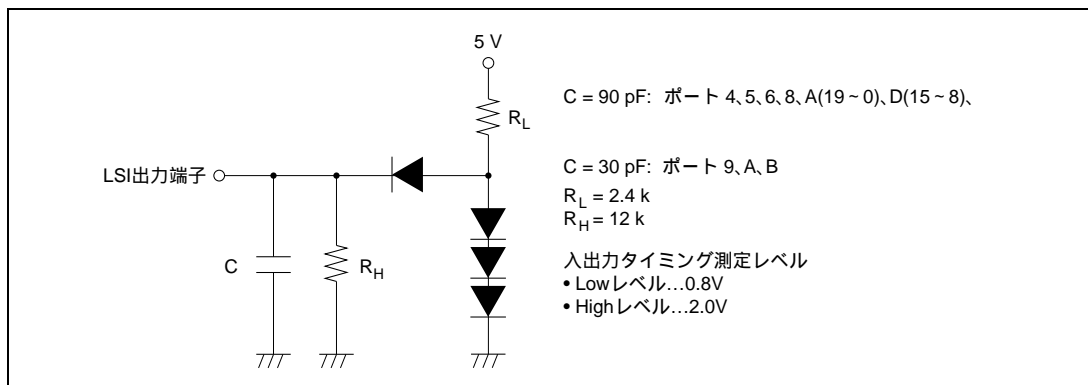


図 21.3 出力負荷回路

21.2.3 A/D 変換特性

A/D 変換特性を表 21.8 に示します。

表 21.8 A/D 変換特性

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$ 暫定仕様
 条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$
 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$

項目	条件 A			条件 B			条件 C			単位
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間			134t _{cyc}			7.5			134t _{cyc}	μs
アナログ入力容量			20			20			20	pF
許容信号源インピーダンス			10 * ³			10 * ¹			10 * ¹	k
			5 * ⁴			5 * ²			5 * ²	
非直線性誤差			±7.5			±3.5			±3.5	LSB
オフセット誤差			±7.5			±3.5			±3.5	LSB
フルスケール誤差			±7.5			±3.5			±3.5	LSB
量子化誤差			±0.5			±0.5			±0.5	LSB
絶対精度			±8.0			±4.0			±4.0	LSB

- 【注】 *1 12MHz の場合です。
 *2 > 12MHz の場合です。
 *3 12MHz かつ $AV_{CC} = 4.0 \sim 5.5V$ の場合
 *4 > 12MHz の場合と $AV_{CC} = 3.3 \sim 4.0V$ の場合

21.2.4 D/A 変換特性

D/A 変換特性を表 21.9 に示します。

表 21.9 D/A 変換特性

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$
 条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$
 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、 $T_a = -20 \sim +75$

項目	条件 A			条件 B			条件 C			単位	測定条件
	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	ビット	
変換時間			10			10			10	μs	負荷容量 20pF
絶対精度		±2.0	±3.0		±1.0	±1.5		±1.5	±2.0	LSB	負荷抵抗 2M
			±2.0			±1.0			±1.5	LSB	負荷抵抗 4M

21.2.5 フラッシュメモリ特性

表 21.10 フラッシュメモリ特性

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ $T_a = 0 \sim +75$ (書き込み / 消去時の動作温度範囲)条件 B : $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ $T_a = 0 \sim +75$ (書き込み / 消去時の動作温度範囲)

項 目		記号	条件 A、条件 B			単位	特記
			min	typ	max		
書き込み時間 ^{*1*2*4}		t_p	-	10	200	ms/128 バイト	
消去時間 ^{*1*3*5}		t_e	-	100	1200	ms/ブロック	
書き換え回数		N_{WEC}	-	-	100	回	
書き込み時	SWE ビットセット後のウェイト時間 ^{*1}	tsswe	1	1	-	μs	
	PSU ビットセット後のウェイト時間 ^{*1}	tspsu	50	50	-	μs	
	P ビットセット後のウェイト時間 ^{*1*4}	tsp30	28	30	32	μs	書き込み時間ウェイト
		tsp200	198	200	202	μs	書き込み時間ウェイト
	P ビットクリア後のウェイト時間 ^{*1}	tsp10	8	10	12	μs	追加書き込み時間ウェイト
		tcp	5	5	-	μs	
	PSU ビットクリア後のウェイト時間 ^{*1}	tcpsu	5	5	-	μs	
	PV ビットセット後のウェイト時間 ^{*1}	tspv	4	4	-	μs	
	H'FF ダミーライト後のウェイト時間 ^{*1}	tspvr	2	2	-	μs	
	PV ビットクリア後のウェイト時間 ^{*1}	tcpv	2	2	-	μs	
	SWE ビットクリア後のウェイト時間 ^{*1}	tcswe	100	100	-	μs	
	最大書き込み回数 ^{*1*4}	N	-	-	1000	回	
消去時	SWE ビットセット後のウェイト時間 ^{*1}	tsswe	1	1	-	μs	
	ESU ビットセット後のウェイト時間 ^{*1}	tseu	100	100	-	μs	
	E ビットセット後のウェイト時間 ^{*1*5}	tse	10	10	100	ms	消去時間ウェイト
	E ビットクリア後のウェイト時間 ^{*1}	tce	10	10	-	μs	
	ESU ビットクリア後のウェイト時間 ^{*1}	tcesu	10	10	-	μs	
	EV ビットセット後のウェイト時間 ^{*1}	tsev	20	20	-	μs	
	H'FF ダミーライト後のウェイト時間 ^{*1}	tsevr	2	2	-	μs	
	EV ビットクリア後のウェイト時間 ^{*1}	tcev	4	4	-	μs	
	SWE ビットクリア後のウェイト時間 ^{*1}	tcswe	100	100	-	μs	
	最大消去回数 ^{*1*5}	N	12	-	120	回	

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

*2 128 バイト単位の書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1、FLMCR2) の P1 ビット、P2 ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。)

*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビット、FLMCR2 の E2 ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。)

- *4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値 ($t_p(\max)$) を規定するために、最大書き込み回数 (N) の値は max 値 (1000) を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ (n) の回数によって切り替えてください。
- | | | |
|-----------------------------|---------------|-------------------------|
| 書き込み回数カウンタ (n) | 1 ~ 6 回の場合 | $t_{sp30} = 30 \mu s$ |
| 書き込み回数カウンタ (n) | 7 ~ 1000 回の場合 | $t_{sp200} = 200 \mu s$ |
| [追加書き込み時]書き込み回数カウンタ (n) | 1 ~ 6 回の場合 | $t_{sp10} = 10 \mu s$ |
- *5 消去時間の最大値 ($t_E(\max)$) に対して、E ビットセット後のウェイト時間 (t_{se}) と最大消去回数 (N) は以下の関係にあります。
- $$t_E(\max) = E \text{ ビットセット後のウェイト時間} (t_{se}) \times \text{最大消去回数} (N)$$
- 消去時間の最大値を規定するために、 t_{se} および N の値は上記計算式を満たすように設定してください。
- (例) $t_{se} = 100[\text{ms}]$ の場合、 $N = 12$ 回
- (例) $t_{se} = 10[\text{ms}]$ の場合、 $N = 120$ 回

21.3 動作タイミング

動作タイミングを以下に示します。

21.3.1 バスタイミング

バスタイミングを以下に示します。

(1) 基本バスタイミング / 2 ステートアクセス

図 21.4 に外部 2 ステートアクセス時の動作タイミングを示します。

(2) 基本バスタイミング / 3 ステートアクセス

図 21.5 に外部 3 ステートアクセス時の動作タイミングを示します。

(3) 基本バスタイミング / 3 ステートアクセス 1 ウェイト

図 21.6 に外部 3 ステートアクセスで 1 ウェイトを挿入したときの動作タイミングを示します。

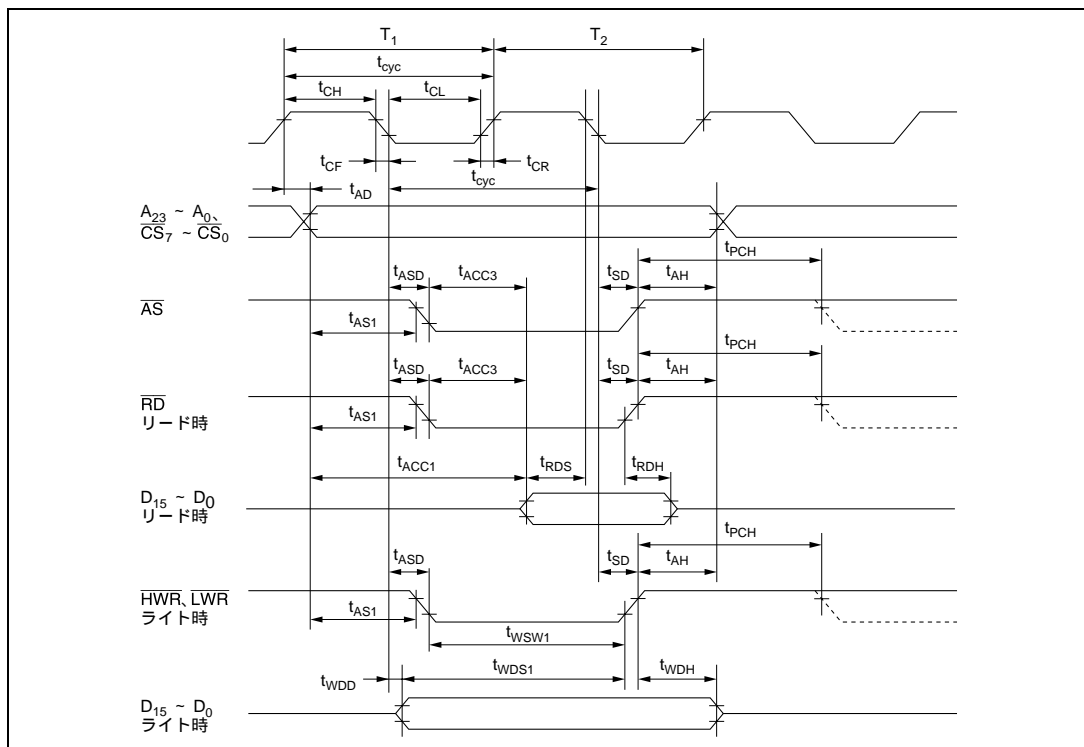


図 21.4 基本バスタイミング / 2 ステートアクセス

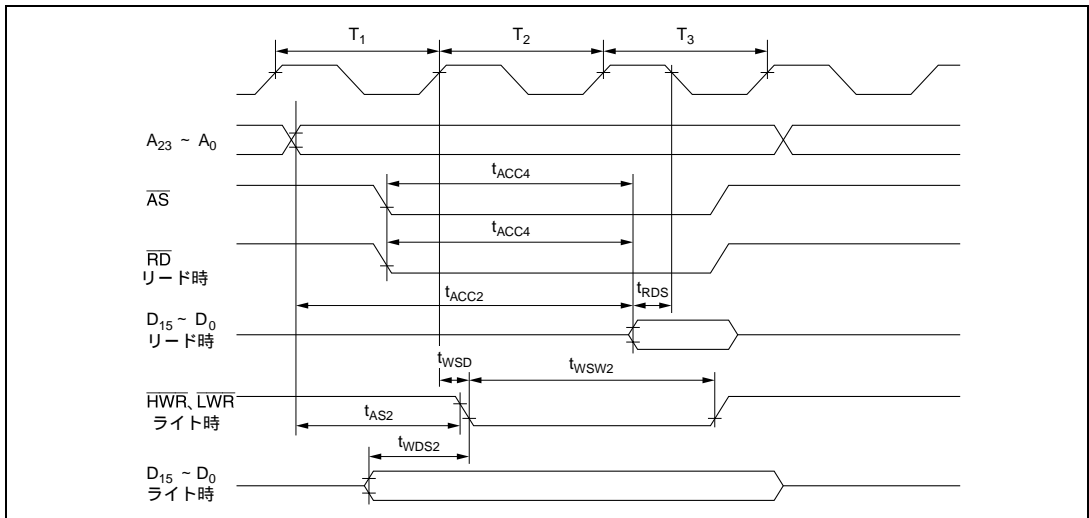


図 21.5 基本バスタイミング / 3 ステートアクセス

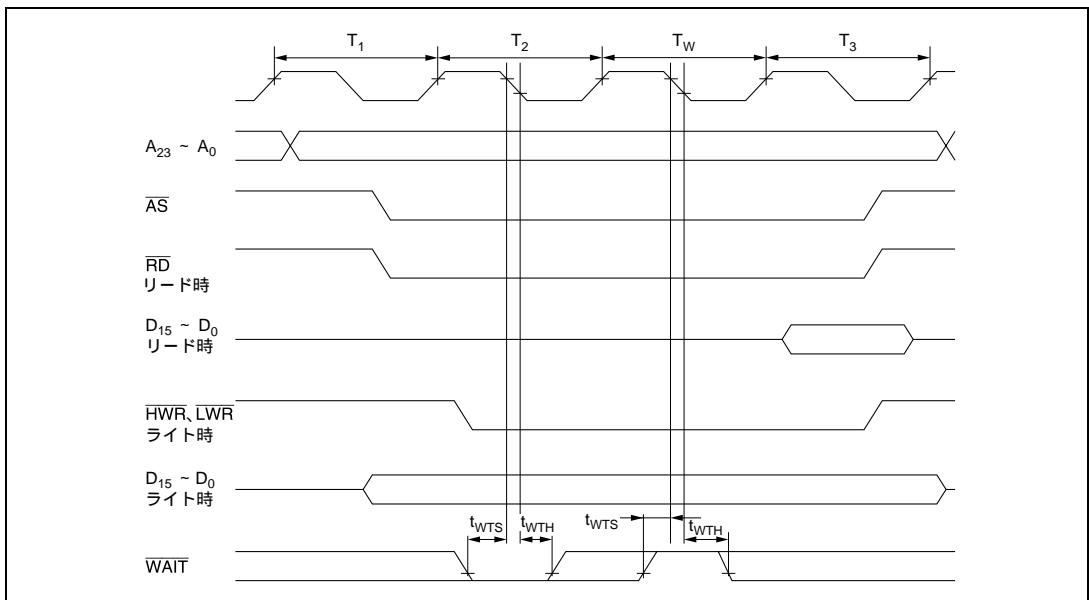


図 21.6 基本バスタイミング / 3 ステートアクセス 1 ウェイト

21.3.2 リフレッシュコントローラバスタイミング

リフレッシュコントローラのバスタイミングを以下に示します。

(1) DRAM バスタイミング

図 21.7～図 21.12 に DRAM バスタイミングを動作モード別に示します。

(2) PSRAM バスタイミング

図 21.13、図 21.14 に PSRAM バスタイミングを動作モード別に示します。

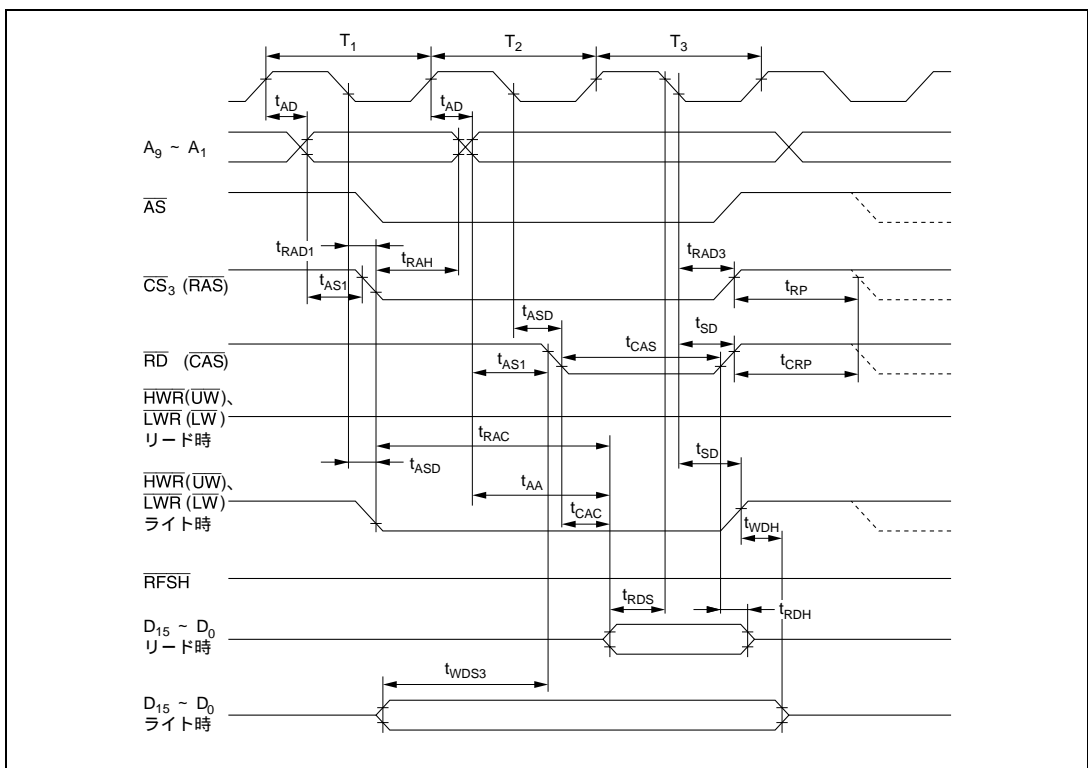


図 21.7 DRAM バスタイミング (リード/ライト時) / 3 ステートアクセス 2WE 方式

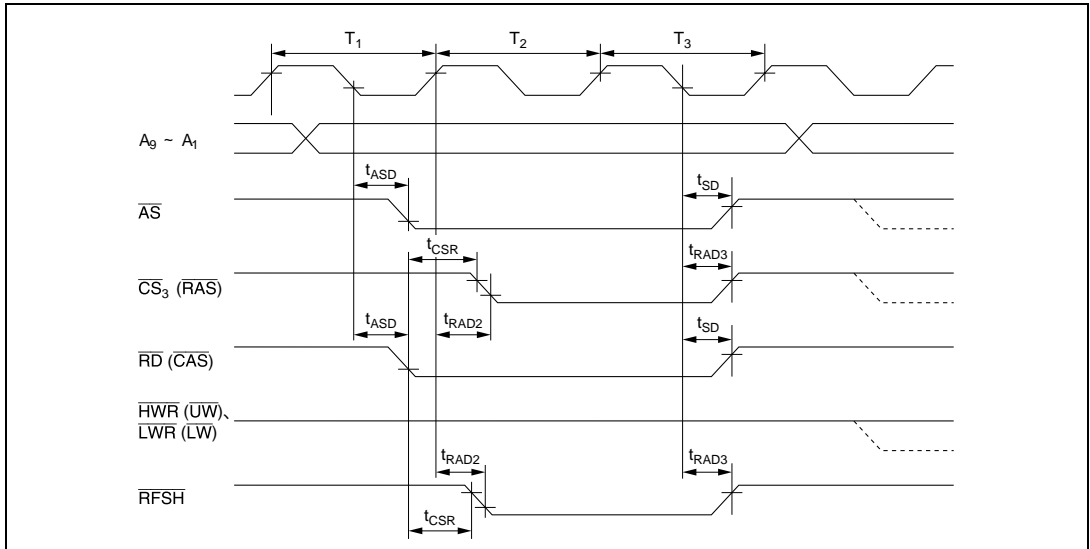


図 21.8 DRAM バスタイミング (リフレッシュサイクル時) / 3 ステートアクセス 2WE 方式

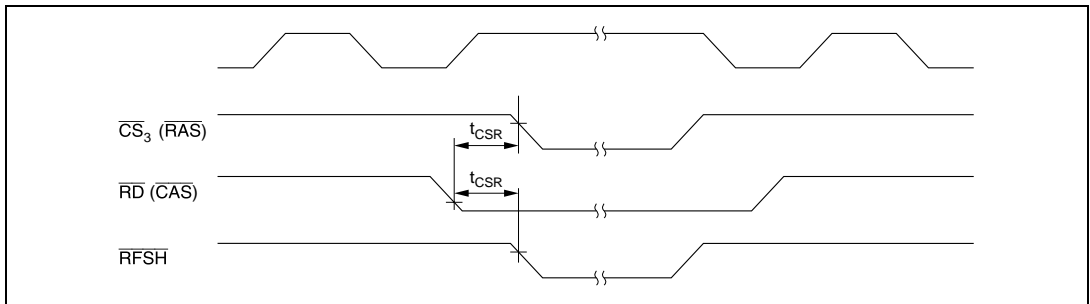


図 21.9 DRAM バスタイミング (セルフリフレッシュモード) 2WE 方式

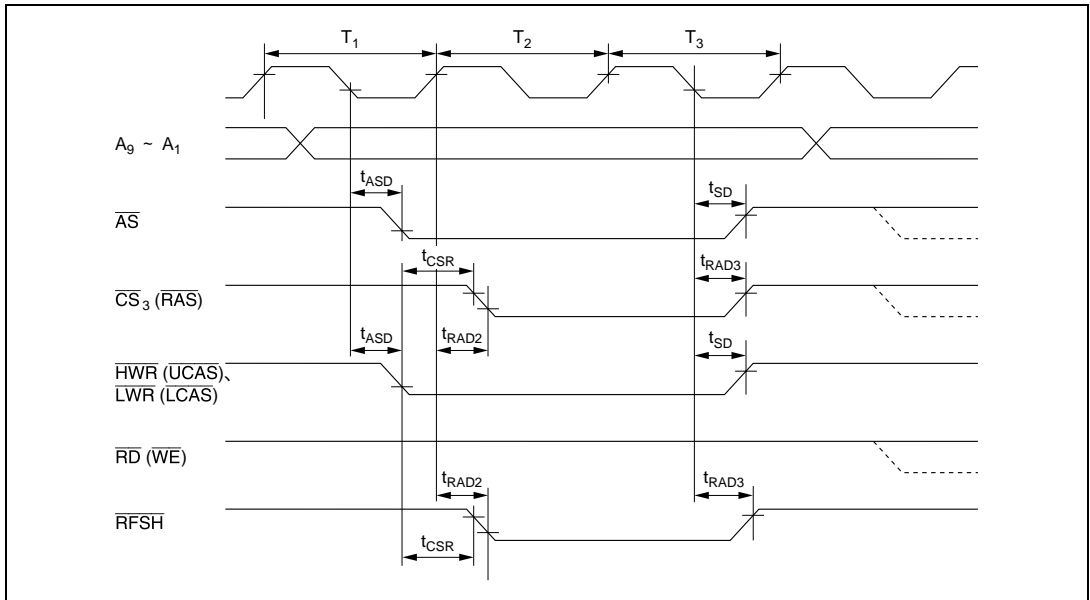


図 21.11 DRAM バスタイミング (リフレッシュサイクル時) / 3 ステートアクセス
2CAS 方式

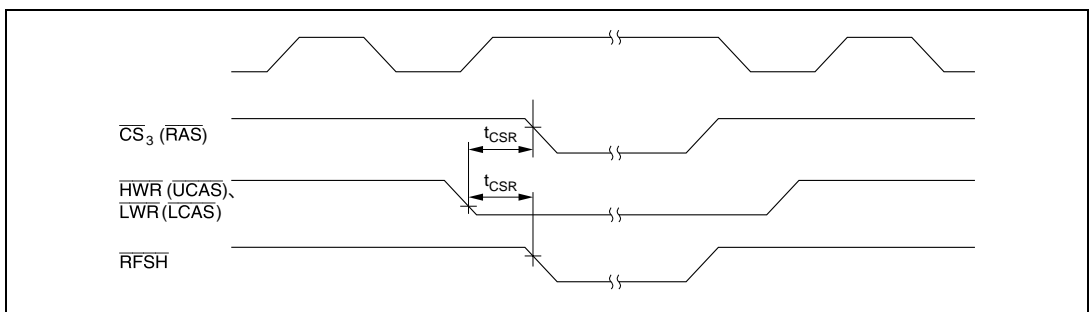


図 21.12 DRAM バスタイミング (セルフリフレッシュモード)
2CAS 方式

21. 電気的特性

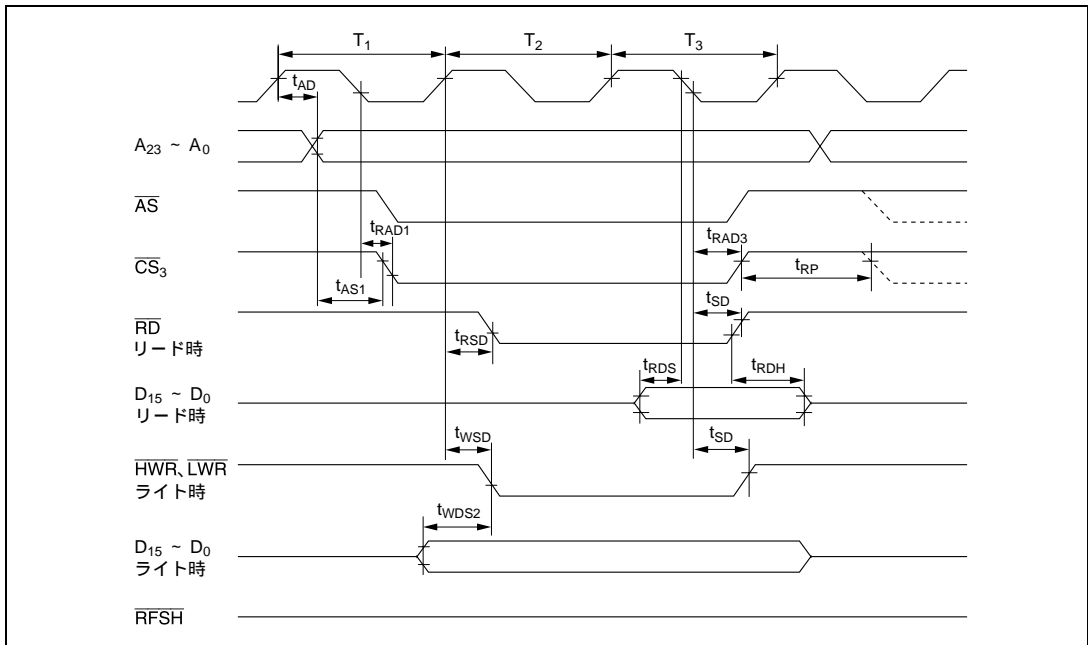


図 21.13 PSRAM バスタイミング (リード/ライト時) / 3 ステートアクセス

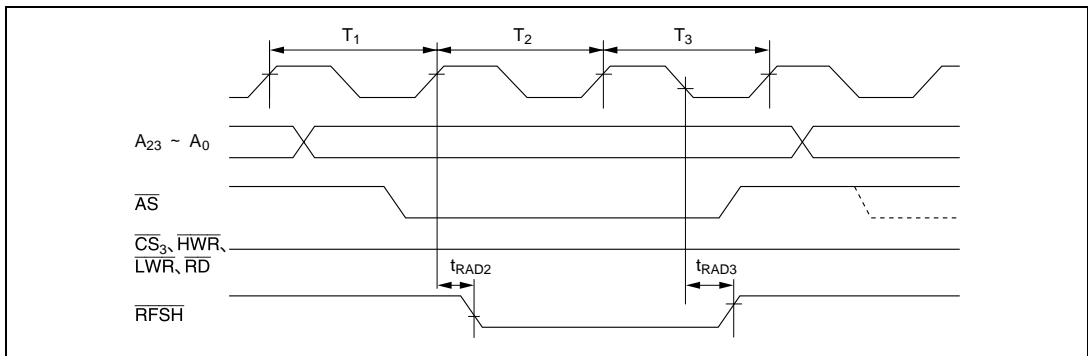


図 21.14 PSRAM バスタイミング (リフレッシュサイクル時) / 3 ステートアクセス

21.3.3 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図 21.15 にリセット入力タイミングを示します。

(2) 割り込み入力タイミング

図 21.16 に NMI、 $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 割り込み入力タイミングを示します。

(3) バスリリースモードタイミング

図 21.17 にバスリリースモードタイミングを示します。

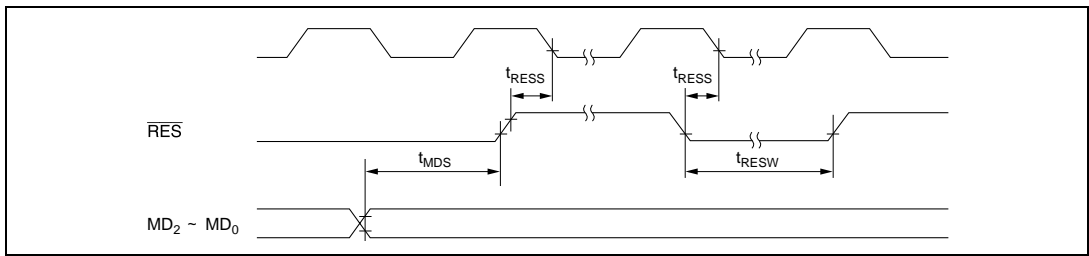


図 21.15 リセット入力タイミング

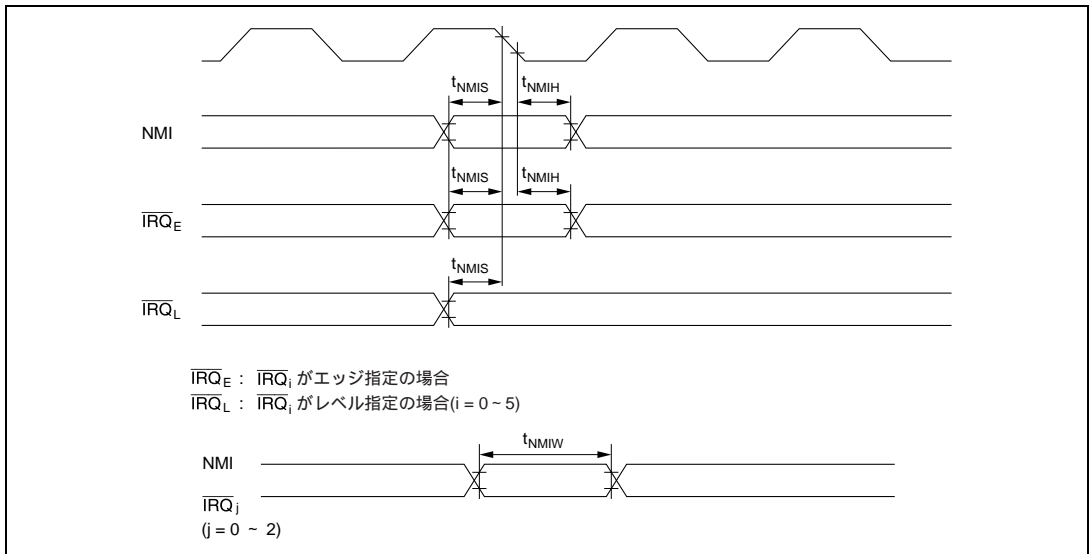


図 21.16 割り込み入力タイミング

21. 電気的特性

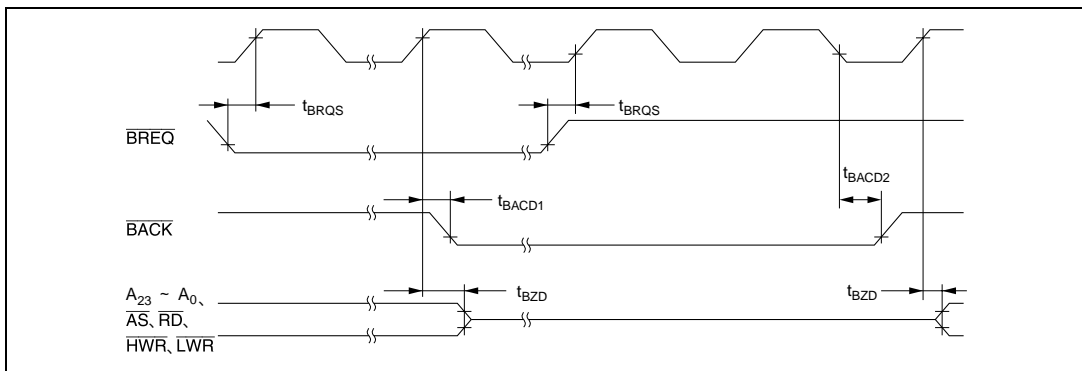


図 21.17 バスリリースモードタイミング

21.3.4 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図 21.18 に発振安定時間タイミングを示します。

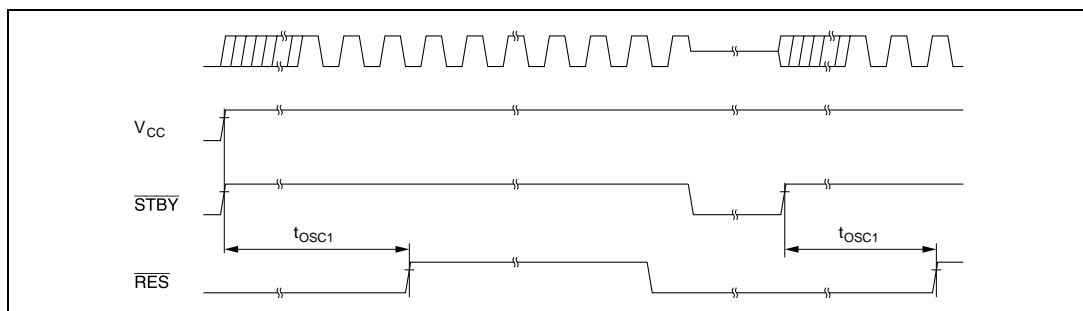


図 21.18 発振安定時間タイミング

21.3.5 TPC、I/O ポートタイミング

図 21.19 に TPC、I/O ポートの入出力タイミングを示します。

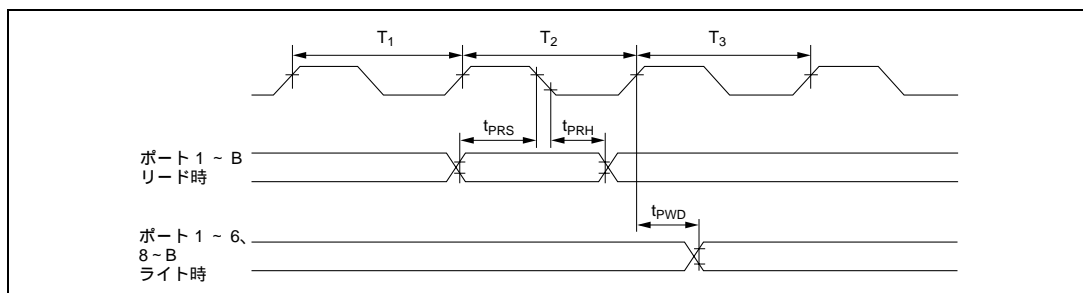


図 21.19 TPC、I/O ポート入出力タイミング

21.3.6 ITU タイミング

ITU の各タイミングを以下に示します。

(1) ITU 入出力タイミング

図 21.20 に ITU 入出力タイミングを示します。

(2) ITU 外部クロック入力タイミング

図 21.21 に ITU 外部クロック入力タイミングを示します。

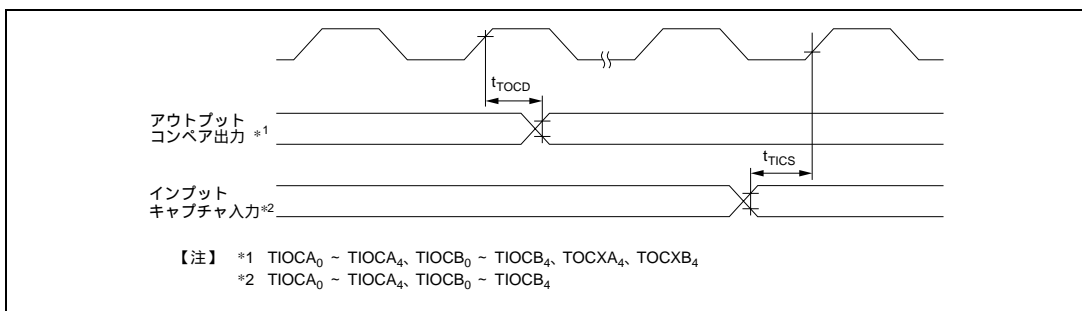


図 21.20 ITU 入出力タイミング

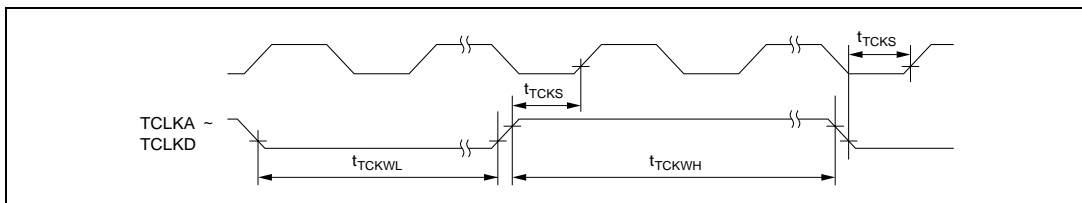


図 21.21 ITU 外部クロック入力タイミング

21.3.7 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図 21.22 に SCK 入力クロックタイミングを示します。

(2) SCI 入出力タイミング (クロック同期式モード)

図 21.23 にクロック同期式モード時の SCI 入出力タイミングを示します。

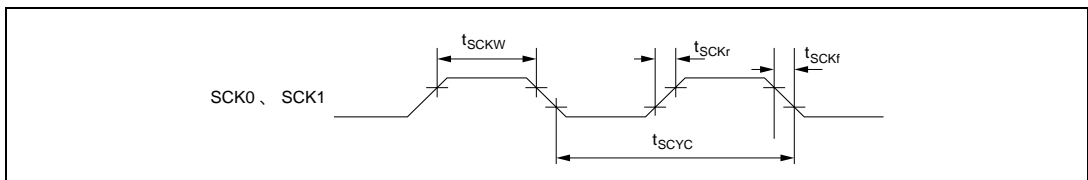


図 21.22 SCK 入力クロックタイミング

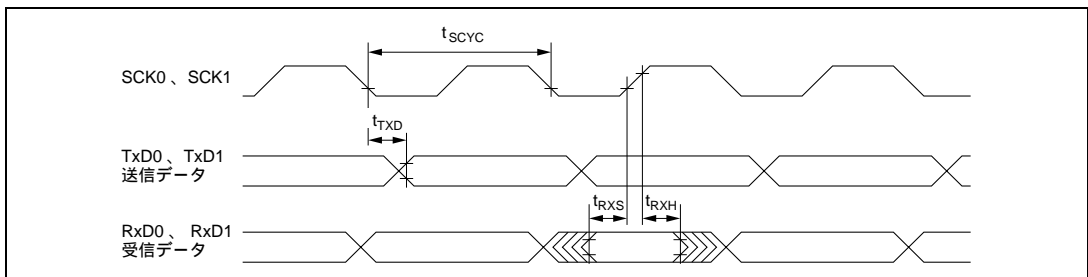


図 21.23 クロック同期式モード時の SCI 入出力タイミング

21.3.8 DMAC タイミング

DMAC の各タイミングを以下に示します。

(1) DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセスを図 21.24 に示します。

(2) DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセスを図 21.25 に示します。

(3) DMAC $\overline{\text{DREQ}}$ 入力タイミング

DMAC $\overline{\text{DREQ}}$ 入力タイミングを図 21.26 に示します。

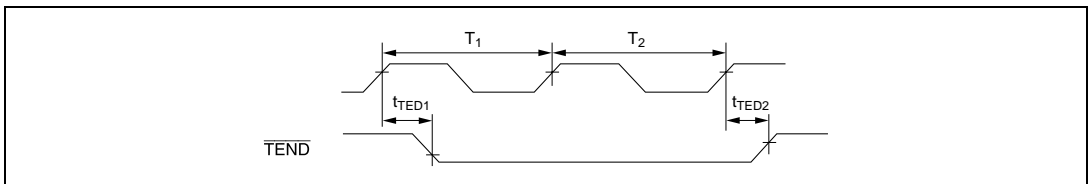


図 21.24 DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

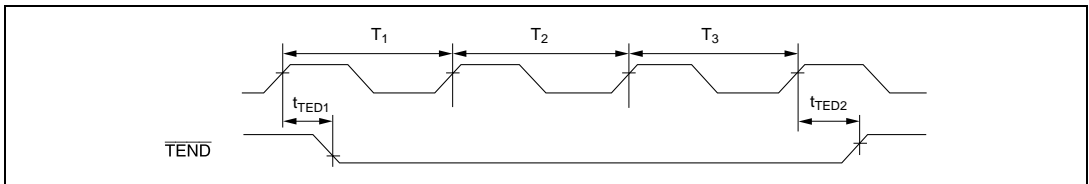


図 21.25 DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

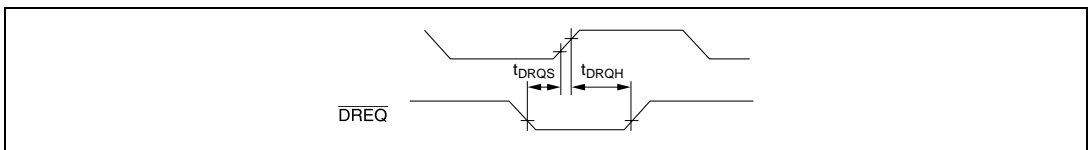


図 21.26 DMAC $\overline{\text{DREQ}}$ 入力タイミング

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレースメント
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
x	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() < >	オペランドの内容

【注】 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L) または 16 ビット (R0~R7、E0~E7) です。

《コンディションコードの記号》

記号	内容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション		コンディションコード							実行回数 ^{*1}
		#xx	Rn	@ERn	@(d, ERn)	@-ERn@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	実行回数 ^{*1}
SUBS	SUBS.L #1, ERd	L	2													2
	SUBS.L #2, ERd	L	2													2
	SUBS.L #4, ERd	L	2													2
	DEC.B Rd	B	2									↑	↑	↑	↑	2
DEC	DEC.W #1, Rd	W	2									↑	↑	↑	↑	2
	DEC.W #2, Rd	W	2									↑	↑	↑	↑	2
	DEC.L #1, ERd	L	2									↑	↑	↑	↑	2
	DEC.L #2, ERd	L	2									↑	↑	↑	↑	2
DAS	DAS Rd	B	2								*	↑	↑	*	2	
	MULXU.B Rs, Rd	B	2													14
MULXU	MULXU.W Rs, ERd	W	2													22
	MULXS.B Rs, Rd	B	4									↑	↑			16
DIVXU	MULXS.W Rs, ERd	W	4									↑	↑			24
	DIVXU.B Rs, Rd	B	2									(6) ↑	(7)			14
DIVXS	DIVXU.W Rs, ERd	W	2									(6) ↑	(7)			22
	DIVXS.B Rs, Rd	B	4									(8) ↑	(7)			16
CMP	DIVXS.W Rs, ERd	W	4									(8) ↑	(7)			24
	CMP.B #xx:8, Rd	B	2									↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2									↑	↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4									(1) ↑	↑	↑	↑	4
	CMP.W Rs, Rd	W	2								(1) ↑	↑	↑	↑	↑	2

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行回数 ^{*1}			
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/@ERn+	@aa	@(d, PC)	@aa	I	H	N		Z	V	C
CMP	CMP.L #xx:32, ERd	L	6									(2)	↑	↑	↑	↑	4
	CMP.L ERs, ERd	L	2									(2)	↑	↑	↑	↑	2
NEG	NEG.B Rd	B	2									↑	↑	↑	↑	↑	2
	NEG.W Rd	W	2									↑	↑	↑	↑	↑	2
EXTU	EXTU.L ERd	L	2									↑	↑	↑	↑	↑	2
	EXTU.W Rd	W	2									0	↑	0	0	0	2
EXTS	EXTS.L ERd	L	2									0	↑	0	0	0	2
	EXTS.W Rd	W	2									↑	↑	0	0	0	2
	EXTS.L ERd	L	2									↑	↑	0	0	0	2

(3) 論理演算命令

二ーモニック	サイズ	アドレッシングモード / 命令長 (バイト)			オペレーション		コンディションコード					実行回数*1					
		#xx	Rn	@ERn @.d. ERn	@-ERn/@ERn+ @.aa	@.d. PC	@.aa	I	H	N	Z	V	C	実行回数 /77	77以外の 実行回数		
AND	AND.B #xx:8, Rd	B	2										↑	↑	0	2	
	AND.B Rs, Rd	B	2										↑	↑	0	2	
	AND.W #xx:16, Rd	W	4										↑	↑	0	4	
	AND.W Rs, Rd	W	4										↑	↑	0	2	
	AND.L #xx:32, ERd	L	6										↑	↑	0	6	
	AND.L ERs, ERd	L	4										↑	↑	0	4	
OR	OR.B #xx:8, Rd	B	2										↑	↑	0	2	
	OR.B Rs, Rd	B	2										↑	↑	0	2	
	OR.W #xx:16, Rd	W	4										↑	↑	0	4	
	OR.W Rs, Rd	W	4										↑	↑	0	2	
	OR.L #xx:32, ERd	L	6										↑	↑	0	6	
	OR.L ERs, ERd	L	4										↑	↑	0	4	
XOR	XOR.B #xx:8, Rd	B	2										↑	↑	0	2	
	XOR.B Rs, Rd	B	2										↑	↑	0	2	
	XOR.W #xx:16, Rd	W	4										↑	↑	0	4	
	XOR.W Rs, Rd	W	4										↑	↑	0	2	
	XOR.L #xx:32, ERd	L	6										↑	↑	0	6	
	XOR.L ERs, ERd	L	4										↑	↑	0	4	
NOT	NOT.B Rd	B	2										↑	↑	0	2	
	NOT.W Rd	W	2										↑	↑	0	2	
	NOT.L ERd	L	2										↑	↑	0	2	

(5) ビット操作命令

二モードック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード					実行バイト数 *1					
		#xx	Rn	@ERn	@(d, ERn)		@-ERn	@ERn+	@aa	@(d, PC)	@aa		I	H	N	Z	V
BSET	BSET #xx:3, Rd	B	2														2
	BSET #xx:3, @ERd	B		4													8
	BSET #xx:3, @aa:8	B					4										8
	BSET Rn, Rd	B	2														2
	BSET Rn, @ERd	B		4													8
BCLR	BSET Rn, @aa:8	B					4										8
	BCLR #xx:3, Rd	B	2														2
	BCLR #xx:3, @ERd	B		4													8
	BCLR #xx:3, @aa:8	B					4										8
	BCLR Rn, Rd	B	2														2
BNOT	BCLR Rn, @ERd	B		4													8
	BCLR Rn, @aa:8	B					4										8
	BNOT #xx:3, Rd	B	2														2
	BNOT #xx:3, @ERd	B		4													8
	BNOT #xx:3, @aa:8	B					4										8
BTST	BNOT Rn, Rd	B	2														2
	BNOT Rn, @ERd	B		4													8
	BNOT Rn, @aa:8	B					4										8
	BTST #xx:3, Rd	B	2										↑	↑			2
	BTST #xx:3, @ERd	B		4									↑	↑			6
BLD	BTST #xx:3, @aa:8	B					4						↑	↑			6
	BTST Rn, Rd	B	2										↑	↑			2
	BTST Rn, @ERd	B		4									↑	↑			6
	BTST Rn, @aa:8	B					4						↑	↑			6
	BLD #xx:3, Rd	B	2										↑	↑			2
BILD	BLD #xx:3, @ERd	B		4									↑	↑			6
	BLD #xx:3, @aa:8	B					4						↑	↑			6
	BILD #xx:3, Rd	B	2										↑	↑			2
	BILD #xx:3, @ERd	B		4									↑	↑			6
	BILD #xx:3, @aa:8	B					4						↑	↑			6

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード					実行回数 ^{※1}		
		#xx	Rn	@(d, ERn)	@(d, ERn), @ERn+	@aa	@(d, PC)		@aa	I	H	N	Z		V	C
BST	BST #xx:3, Rd	B	2													2
	BST #xx:3, @ERd	B		4												8
	BST #xx:3, @aa:8	B				4										8
BIST	BIST #xx:3, Rd	B	2													2
	BIST #xx:3, @ERd	B		4												8
	BIST #xx:3, @aa:8	B				4										8
BAND	BAND #xx:3, Rd	B	2													2
	BAND #xx:3, @ERd	B		4												6
	BAND #xx:3, @aa:8	B				4										6
BIAND	BIAND #xx:3, Rd	B	2													2
	BIAND #xx:3, @ERd	B		4												6
	BIAND #xx:3, @aa:8	B				4										6
BOR	BOR #xx:3, Rd	B	2													2
	BOR #xx:3, @ERd	B		4												6
	BOR #xx:3, @aa:8	B				4										6
BIOR	BIOR #xx:3, Rd	B	2													2
	BIOR #xx:3, @ERd	B		4												6
	BIOR #xx:3, @aa:8	B				4										6
BXOR	BXOR #xx:3, Rd	B	2													2
	BXOR #xx:3, @ERd	B		4												6
	BXOR #xx:3, @aa:8	B				4										6
BIXOR	BIXOR #xx:3, Rd	B	2													2
	BIXOR #xx:3, @ERd	B		4												6
	BIXOR #xx:3, @aa:8	B				4										6

ニーモニック	サイズ		アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行サイクル数*
	#xx	Rn	@(d, ERn)	@(d, ERn)+	@Rn	@(d, PC)	@aa	I		H	N	Z	V	C	F	DP	
Bcc																	4
	BGE d:8						2										
	BGE d:16						4										6
	BLT d:8						2										4
	BLT d:16						4										6
	BGT d:8						2										4
	BGT d:16						4										6
	BLE d:8						2										4
BLE d:16						4										6	
JMP	JMP @ERn		2														4
	JMP @aa:24					4											6
	JMP @aa:8																4
BSR	BSR d:8																8
	BSR d:16						2										10
JSR	JSR @ERn		2														8
	JSR @aa:24					4											10
	JSR @aa:8																8
RTS	RTS																8
							2										10

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード					実行回数 *1 / 7-7H / 7-7H	
		#xx @ERn	@(d, ERn)	@ERn/ERn+	@aa @(d, PC)		I	H	N	Z	V		C
EEPMOV	EEPMOV, B					4	if R4L 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;						8+4n *2
EEPMOV, W						4	if R4 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4-1 R4 Until R4=0 else next;						8+4n *2

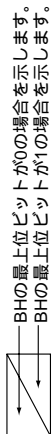
【注】 *1 実行ステータスは、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステータス」を参照してください。

*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) Eクロック同期転送命令の実行ステータスは一定ではありませぬ。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ



第1バイト	第2バイト
AH AL	BH BL

命令コード：

AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AH	0	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	表A.2(2)	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)		
	1	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	表A.2(2)	表A.2(2)	CMP	CMP	SUBX	表A.2(2)		
	2	MOV. B															
	3	MOV. B															
	4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
	6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	BIS							
	7					BOR	BXOR	BAND	BLD	BILD	MOV	表A.2(2)	EEMOV				表A.2(3)
	8	ADD															
	9	ADDX															
	A	CMP															
	B	SUBX															
	C	OR															
	D	XOR															
	E	AND															
	F	MOV															

命令コード：

第1/バイト	第2/バイト
AH AL	BH BL

BH/AHAL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV			LDC/STC					SLEEP				表A.2 (3)	表A.2 (3)		表A.2 (3)
0A	INC												ADD			
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA															
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT		EXTU		EXTU	NEG			NEG			EXTS	EXTS
1A	DEC															
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS															
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

命令コード： 第1バイト 第2バイト 第3バイト 第4バイト

AH	AL	BH	BL	CH	CL	DH	DL
----	----	----	----	----	----	----	----



命令コード	CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AHALBHLC												LDC	STC		LDC	STC	LDC	STC
01406																		
01C05	MULXS			MULXS														
01D05		DIVXS			DIVXS													
01F06							OR	XOR	AND									
7C06 *1																		
7C07 *1					BTST													
					BTST	BOR	BIOR	BAND	BIAND	BLD	BILD							
										BST	BIST							
7D06 *1	BSET		BNOT															
7D07 *1	BSET		BNOT															
7Eaa6 *2					BTST													
7Eaa7 *2					BTST	BOR	BIOR	BAND	BIAND	BLD	BILD							
										BST	BIST							
7Faa6 *2	BSET		BNOT															
7Faa7 *2	BSET		BNOT															

【注】 *1 rはレジスタ指定部

*2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_1 + J \cdot S_2 + K \cdot S_3 + L \cdot S_4 + M \cdot S_5 + N \cdot S_6$$

実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET #0, @FFFFC7:8

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_1 = 4, S_2 = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表A.4より

$$I = J = K = 2, L = M = N = 0$$

表A.3より

$$S_1 = S_2 = S_3 = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺モジュール		外部デバイス			
		8ビット バス	16ビット バス	8ビットバス		16ビットバス	
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_1	2	6	3	4	6+2m	2	3+m
分岐アドレスリード S_2							
スタック操作 S_3							
バイトデータアクセス S_4		3		2	3+m		
ワードデータアクセス S_5		6		4	6+2m		
内部動作 S_6	1						

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	ノーマル*1		1			
		アドバンスト		2			
	BSR d:16	ノーマル*1		1			2
		アドバンスト		2			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作	
		I	J	K	L	M	N	
BXOR	BXOR #xx:3, Rd	1						
	BXOR #xx:3, @ERd	2			1			
	BXOR #xx:3, @aa:8	2			1			
CMP	CMP.B #xx:8, Rd	1						
	CMP.B Rs, Rd	1						
	CMP.W #xx:16, Rd	2						
	CMP.W Rs, Rd	1						
	CMP.L #xx:32, ERd	3						
	CMP.L ERs, ERd	1						
DAA	DAA Rd	1						
DAS	DAS Rd	1						
DEC	DEC.B Rd	1						
	DEC.W #1/2, Rd	1						
	DEC.L #1/2, ERd	1						
DIVXS	DIVXS.B Rs, Rd	2					12	
	DIVXS.W Rs, ERd	2					20	
DIVXU	DIVXU.B Rs, Rd	1					12	
	DIVXU.W Rs, ERd	1					20	
EEPMOV	EEPMOV.B	2			$2n+2^{*2}$			
	EEPMOV.W	2			$2n+2^{*2}$			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2, Rd	1						
	INC.L #1/2, ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					2	
	JMP @aa:8	ノーマル ^{*1}	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル ^{*1}	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル ^{*1}	2		1			2

命令	ニーモニック		命令 フェッ チ	分岐 アドレ ス リード	スタック 操 作	バイト デー タ ア ク セ ス	ワード デー タ ア ク セ ス	内部動作
			I	J	K	L	M	N
JSR	JSR @aa:24	アドバンスト	2		2			2
	JSR @aa:8	ノーマル*1	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @ (d:16, ERs) , CCR		3				1	
	LDC @ (d:24, ERs) , CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	
MOV	MOV.B #xx:8, Rd		1					
	MOV.B Rs, Rd		1					
	MOV.B @ERs, Rd		1			1		
	MOV.B @ (d:16, ERs) , Rd		2			1		
	MOV.B @ (d:24, ERs) , Rd		4			1		
	MOV.B @ERs+, Rd		1			1		2
	MOV.B @aa:8, Rd		1			1		
	MOV.B @aa:16, Rd		2			1		
	MOV.B @aa:24, Rd		3			1		
	MOV.B Rs, @ERd		1			1		
	MOV.B Rs, @ (d:16, ERd)		2			1		
	MOV.B Rs, @ (d:24, ERd)		4			1		
	MOV.B Rs, @-ERd		1			1		2
	MOV.B Rs, @aa:8		1			1		
	MOV.B Rs, @aa:16		2			1		
	MOV.B Rs, @aa:24		3			1		
	MOV.W #xx:16, Rd		2					
	MOV.W Rs, Rd		1					
	MOV.W @ERs, Rd		1				1	
	MOV.W @ (d:16, ERs) , Rd		2				1	
	MOV.W @ (d:24, ERs) , Rd		4				1	
	MOV.W @ERs+, Rd		1				1	2
	MOV.W @aa:16, Rd		2				1	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @ (d:16, ERd)	2				1	
	MOV.W Rs, @ (d:24, ERd)	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @ (d:16, ERs) , ERd	3				2	
	MOV.L @ (d:24, ERs) , ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @ (d:16, ERd)	3				2	
	MOV.L ERs, @ (d:24, ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFPPE	MOVFPPE @aa:16, Rd* ¹	2			1		
MOVTPPE	MOVTPPE Rs, @aa:16* ¹	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

付録

命令	ニーモニック		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
OR	OR.B #xx:8, Rd		1					
	OR.B Rs, Rd		1					
	OR.W #xx:16, Rd		2					
	OR.W Rs, Rd		1					
	OR.L #xx:32, ERd		3					
	OR.L ERs, ERd		2					
ORC	ORC #xx:8, CCR		1					
POP	POP.W Rn		1				1	2
	POP.L ERn		2				2	2
PUSH	PUSH.W Rn		1				1	2
	PUSH.L ERn		2				2	2
ROTL	ROTL.B Rd		1					
	ROTL.W Rd		1					
	ROTL.L ERd		1					
ROTR	ROTR.B Rd		1					
	ROTR.W Rd		1					
	ROTR.L ERd		1					
ROTXL	ROTXL.B Rd		1					
	ROTXL.W Rd		1					
	ROTXL.L ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.W Rd		1					
	ROTXR.L ERd		1					
RTE	RTE		2		2			2
RTS	RTS	ノーマル*1	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					

命令	二ーモニク	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLL	SHLL.L ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @ (d:16, ERd)	3				1	
	STC CCR, @ (d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル*1	2	1	2		4
		アドバンスト	2	2	2		4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 本 LSI では使用できません。

*2 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

下位 アド レス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'1C	リザーブ領域 (アクセス禁止)										
H'1D											
H'1E											
H'1F											
H'20	MAR0AR	8									
H'21	MAR0AE	8									
H'22	MAR0AH	8									
H'23	MAR0AL	8									
H'24	ETCR0AH	8									
H'25	ETCR0AL	8									
H'26	IOAR0A	8									
H'27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショー トアド レスモ ード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルア ドレス モード
H'28	MAR0BR	8									DMAC チャンネル 0B
H'29	MAR0BE	8									
H'2A	MAR0BH	8									
H'2B	MAR0BL	8									
H'2C	ETCR0BH	8									
H'2D	ETCR0BL	8									
H'2E	IOAR0B	8									
H'2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショー トアド レスモ ード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルア ドレス モード
H'30	MAR1AR	8									DMAC チャンネル 1A
H'31	MAR1AE	8									
H'32	MAR1AH	8									
H'33	MAR1AL	8									
H'34	ETCR1AH	8									
H'35	ETCR1AL	8									
H'36	IOAR1A	8									
H'37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショー トアド レスモ ード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルア ドレス モード

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'38	MAR1BR	8									DMAC チャンネル 1B
H'39	MAR1BE	8									
H'3A	MAR1BH	8									
H'3B	MAR1BL	8									
H'3C	ETCR1B H	8									
H'3D	ETCR1B L	8									
H'3E	IOAR1B	8									
H'3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルア ドレス モード
H'40	FLMCR1	8	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	フラッシュ メモリ
H'41	FLMCR2	8	FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2	
H'42	EBR1	8	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'43	EBR2	8	EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8	
H'44	リザーブ領域（アクセス禁止）										
H'45											
H'46											
H'47	RAMCR	8					RAMS	RAM2	RAM1	RAM0	
H'48	リザーブ領域（アクセス禁止）										
H'49											
H'4A											
H'4B											
H'4C											
H'4D											
H'4E											
H'4F											

付録

下位 アド レス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'50	リザーブ領域 (アクセス禁止)										
H'51											
H'52											
H'53											
H'54											
H'55											
H'56											
H'57											
H'58											
H'59											
H'5A											
H'5B											
H'5C	DASTCR	8								DASTE	D/A 変換器
H'5D	DIVCR	8							DIV1	DIV0	システム 制御
H'5E	MSTCR	8	PSTOP		MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0	
H'5F	CSCR	8	CS7E	CS6E	CS5E	CS4E					バスコント ローラ
H'60	TSTR	8				STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8				SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8		MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8			CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'64	TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル 0
H'65	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'66	TIER0	8						OVIE	IMIEB	IMIEA	
H'67	TSR0	8						OVF	IMFB	IMFA	
H'68	TCNT0H	16									
H'69	TCNT0L										
H'6A	GRA0H	16									
H'6B	GRA0L										
H'6C	GRB0H	16									
H'6D	GRB0L										
H'6E	TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル 1
H'6F	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'70	TIER1	8						OVIE	IMIEB	IMIEA	
H'71	TSR1	8						OVF	IMFB	IMFA	
H'72	TCNT1H	16									
H'73	TCNT1L										

下位 アド レス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'74	GRA1H	16									ITU チャンネル1
H'75	GRA1L										
H'76	GRB1H	16									
H'77	GRB1L										
H'78	TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル2
H'79	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'7A	TIER2	8						OVIE	IMIEB	IMIEA	
H'7B	TSR2	8						OVF	IMFB	IMFA	
H'7C	TCNT2H	16									
H'7D	TCNT2L										
H'7E	GRA2H	16									
H'7F	GRA2L										
H'80	GRB2H	16									
H'81	GRB2L										
H'82	TCR3	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'83	TIOR3	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'84	TIER3	8						OVIE	IMIEB	IMIEA	
H'85	TSR3	8						OVF	IMFB	IMFA	
H'86	TCNT3H	16									
H'87	TCNT3L										
H'88	GRA3H	16									
H'89	GRA3L										
H'8A	GRB3H	16									
H'8B	GRB3L										
H'8C	BRA3H	16									
H'8D	BRA3L										
H'8E	BRB3H	16									
H'8F	BRB3L										
H'90	TOER	8			EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共通
H'91	TOCR	8				XTGD			OLS4	OLS3	
H'92	TCR4	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル4
H'93	TIOR4	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'94	TIER4	8						OVIE	IMIEB	IMIEA	
H'95	TSR4	8						OVF	IMFB	IMFA	
H'96	TCNT4H	16									
H'97	TCNT4L										
H'98	GRA4H	16									
H'99	GRA4L										

付録

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'9A	GRB4H	16										ITU チャンネル4
H'9B	GRB4L											
H'9C	BRA4H	16										
H'9D	BRA4L											
H'9E	BRB4H	16										
H'9F	BRB4L											
H'A0	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV	TPC	
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'A4	NDRB* ¹	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8		
		8	NDR15	NDR14	NDR13	NDR12						
H'A5	NDRA* ¹	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
		8	NDR7	NDR6	NDR5	NDR4						
H'A6	NDRB* ¹	8										
		8					NDR11	NDR10	NDR9	NDR8		
H'A7	NDRA* ¹	8										
		8					NDR3	NDR2	NDR1	NDR0		
H'A8	TCSR* ²	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0		WDT
H'A9	TCNT* ²	8										
H'AA												
H'AB	RSTCSR* ²	8	WRST									
H'AC	RFSHCR	8	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	RFSHE		RCYCE		
H'AD	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0				リフレッシュ コントローラ	
H'AE	RTCNT	8										
H'AF	RTCOR	8										
H'B0	SMR	8	C/A GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0		
H'B1	BRR	8									SCI チャンネル0	
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'B3	TDR	8										
H'B4	SSR	8	TDRE	RDRF	ORER	FER/ ERS	PER	TEND	MPB	MPBT		
H'B5	RDR	8										
H'B6	SCMR	8					SDIR	SINV		SMIF		
H'B7	リザーブ領域 (アクセス禁止)											

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'B8	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI チャンネル1
H'B9	BRR	8									
H'BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'BB	TDR	8									
H'BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'BD	RDR	8									
H'BE	リザーブ領域 (アクセス禁止)										
H'BF											
H'C0	P1DDR	8	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート1
H'C1	P2DDR	8	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート2
H'C2	P1DR	8	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート1
H'C3	P2DR	8	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート2
H'C4	P3DDR	8	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート3
H'C5	P4DDR	8	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート4
H'C6	P3DR	8	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート3
H'C7	P4DR	8	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート4
H'C8	P5DDR	8					P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR	ポート5
H'C9	P6DDR	8		P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート6
H'CA	P5DR	8					P5 ₃	P5 ₂	P5 ₁	P5 ₀	ポート5
H'CB	P6DR	8		P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート6
H'CC											
H'CD	P8DDR	8				P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR	ポート8
H'CE	P7DR	8	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート7
H'CF	P8DR	8				P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート8
H'D0	P9DDR	8			P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート9
H'D1	PADDR	8	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR	ポートA
H'D2	P9DR	8			P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	ポート9
H'D3	PADR	8	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポートA
H'D4	PBDDR	8	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR	ポートB
H'D5											
H'D6	PBDR	8	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	ポートB
H'D7											
H'D8	P2PCR	8	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート2
H'D9											
H'DA	P4PCR	8	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR	ポート4
H'DB	P5PCR	8					P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR	ポート5
H'DC	DADR0	8									D/A 変換器
H'DD	DADR1	8									
H'DE	DACR	8	DAOE1	DAOE0	DAE						
H'DF	リザーブ領域 (アクセス禁止)										

下位 アド レス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'E1	ADDRAL	8	AD1	AD0							
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0							
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0							
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0							
H'E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	8	TRGE								
H'EA	リザーブ領域 (アクセス禁止)										
H'EB											
H'EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコント ローラ
H'ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE	WCR	8					WMS1	WMS0	WC1	WC0	
H'EF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	
H'F0	リザーブ領域 (アクセス禁止)										
H'F1	MDCR	8						MDS2	MDS1	MDS0	システム 制御
H'F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME	
H'F3	BRCR	8	A23E	A22E	A21E					BRLE	バスコント ローラ
H'F4	ISCR	8			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割込みコン トローラ
H'F5	IER	8			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'F6	ISR	8			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'F7	リザーブ領域 (アクセス禁止)										
H'F8	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'F9	IPRB	8	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1		
H'FA	リザーブ領域 (アクセス禁止)										
H'FB											
H'FC											
H'FD											
H'FE											
H'FF											

【注】 *1 出力トリガの設定によりアドレスが変化します。

*2 TCSR、TCNT、RSTCSR のライトについては「12.2.4 レジスタ書換え時の注意」を参照してく
ださい。

【記号説明】

DMC : DMA コントローラ

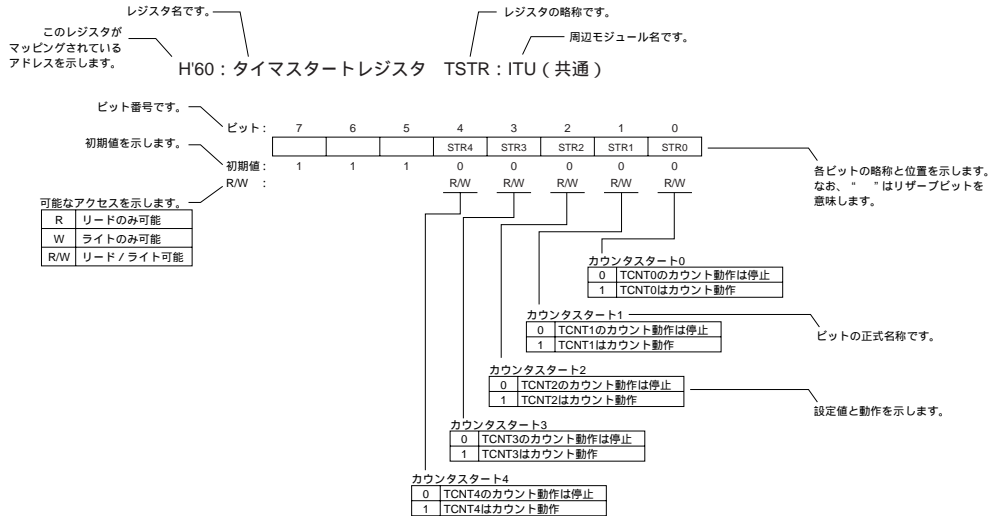
ITU : 16 ビットインテグレートドタイマユニット

TPC : プログラマブルタイミングパターンコントローラ

WDT : ウォッチドッグタイマ

SCI : シリアルコミュニケーションインターフェース

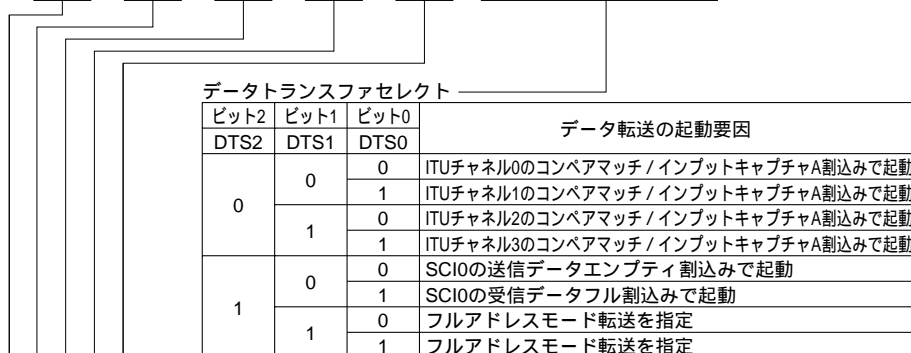
B.2 機能一覧



H'27 : データトランスファコントロールレジスタ 0A DTCCR0A : DMAC0

ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント/デクリメント

0	インクリメント : DTSZ = 0のとき、転送後MARを + 1
	DTSZ = 1のとき、転送後MARを + 2
1	デクリメント : DTSZ = 0のとき、転送後MARを - 1
	DTSZ = 1のとき、転送後MARを - 2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファインタラプトイネーブル

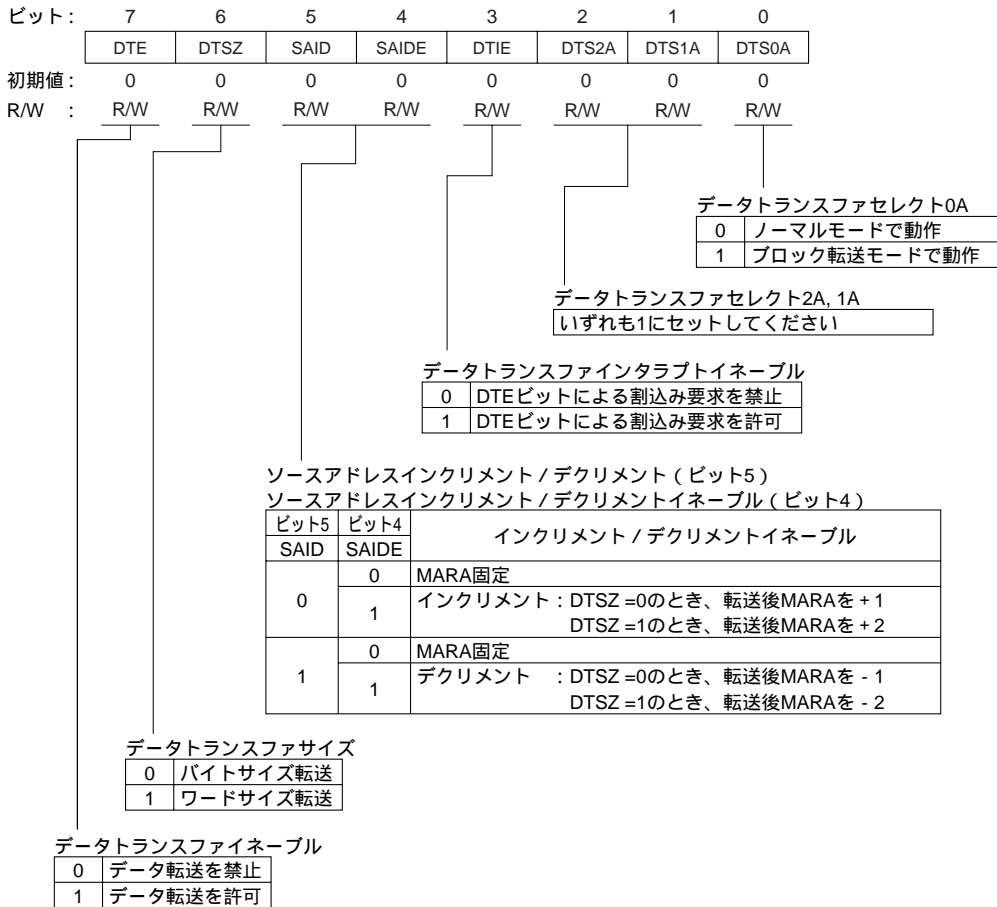
0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

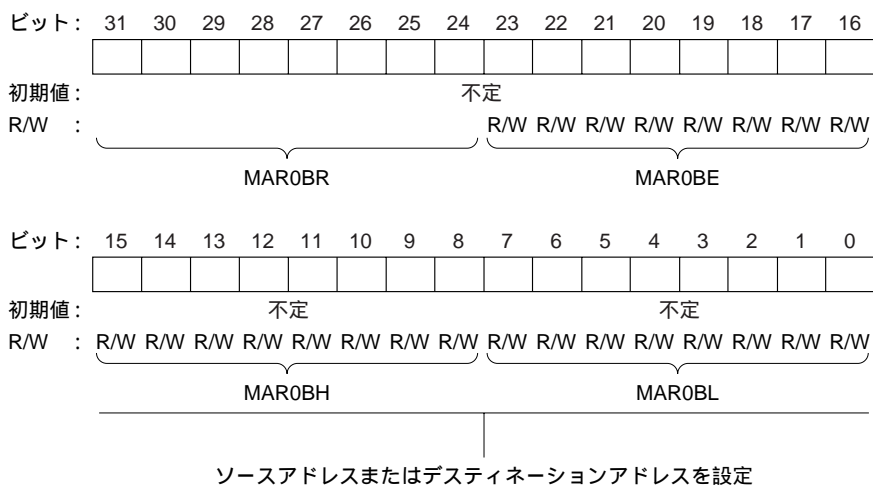
H'27 : データトランスファコントロールレジスタ 0A DTCCR0A : DMAC0

(前頁より続く)

フルアドレスモード



H'28、H'29、H'2A、H'2B : メモリアドレスレジスタ 0B R、E、H、L
 MAR0B R、E、H、L : DMAC0



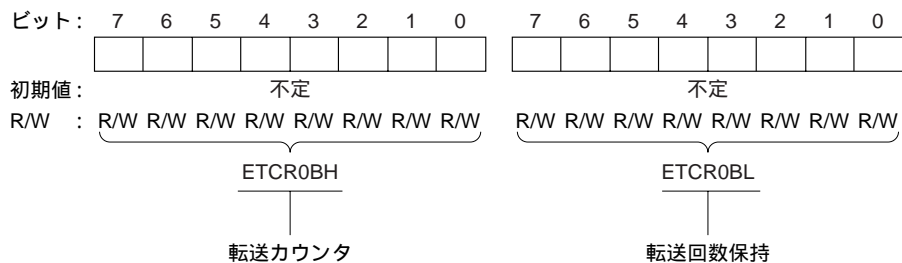
H'2C、H'2D : 転送カウントレジスタ 0B H、L ETCR0B H、L : DMAC0

ショートアドレスモード

(1) I/O モードまたはアイドルモード



(2) リピートモード



(次頁に続く)

H'2C、H'2D : 転送カウントレジスタ 0B H、L ETCR0B H、L : DMAC0

(前頁より続く)

フルアドレスモード

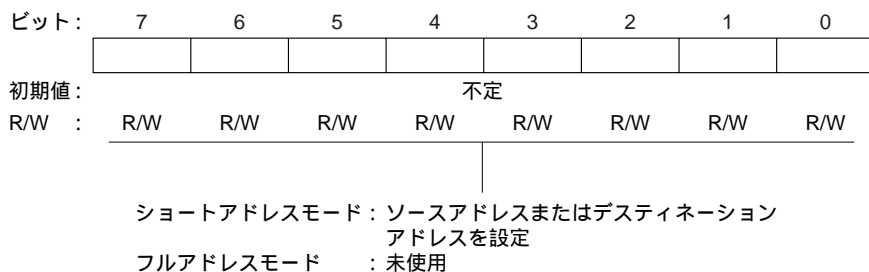
(1) ノーマルモード



(2) ブロック転送モード



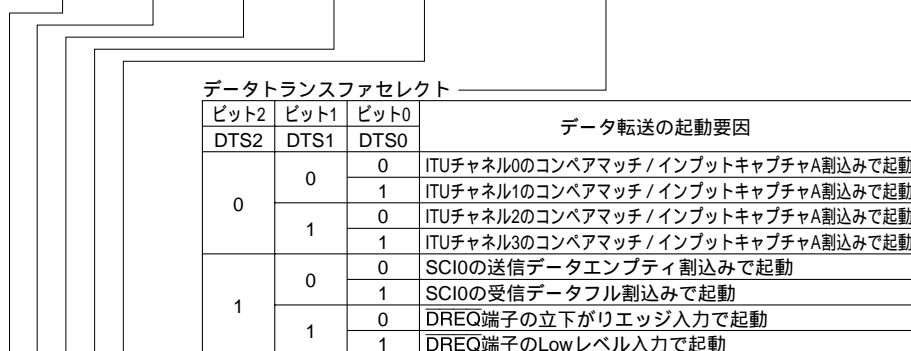
H'2E : I/O アドレスレジスタ 0B IOAR0B : DMAC0



H'2F : データトランスファコントロールレジスタ 0B DTCR0B : DMAC0

ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可 DTEビット = 0のとき、CPUに割込みを要求

リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント / デクリメント

0	インクリメント : DTSZ = 0のとき、転送後MARを +1 DTSZ = 1のとき、転送後MARを +2
1	デクリメント : DTSZ = 0のとき、転送後MARを -1 DTSZ = 1のとき、転送後MARを -2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

H'2F : データトランスファコントロールレジスタ 0B DTCR0B : DMAC0

(前頁より続く)

フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト2B~0B

ビット2	ビット1	ビット0	データ転送の起動要因	
DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード
0	0	0	オートリクエスト (バーストモード)	ITUチャンネル0のコンペアマッチ / インพุットキャプチャA割込みで起動
		1	使用できません	ITUチャンネル1のコンペアマッチ / インพุットキャプチャA割込みで起動
	1	0	オートリクエスト (サイクルスチールモード)	ITUチャンネル2のコンペアマッチ / インพุットキャプチャA割込みで起動
		1	使用できません	ITUチャンネル3のコンペアマッチ / インพุットキャプチャA割込みで起動
1	0	0	使用できません	使用できません
		1	使用できません	使用できません
	1	0	DREQ端子の立下がり で起動	DREQ端子の立下がり で起動
		1	DREQ端子のLowレベルで起動	使用できません

トランスファモードセレクト

0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送
1	ブロック転送モード時、ソース側をブロックエリアとして転送

デスティネーションアドレスインクリメント/デクリメント (ビット5)

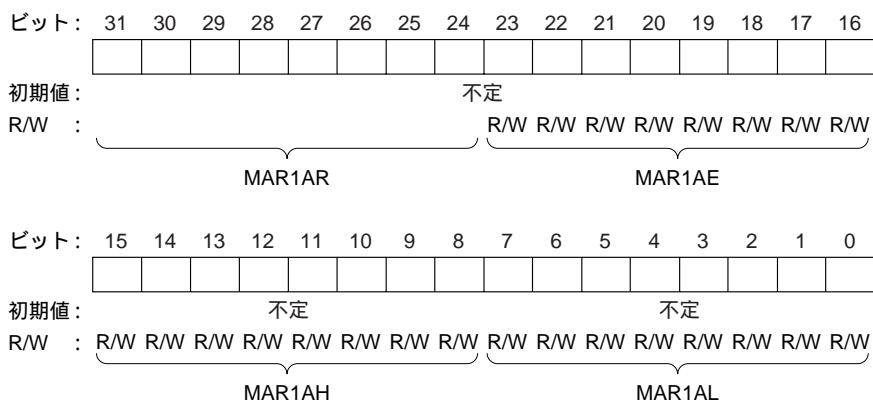
デスティネーションアドレスインクリメント/デクリメントイネーブル (ビット4)

ビット5	ビット4	インクリメント/デクリメントイネーブル
DAID	DAIDE	
0	0	MARB固定
	1	インクリメント : DTSZ = 0のとき、転送後MARBを +1 DTSZ = 1のとき、転送後MARBを +2
1	0	MARB固定
	1	デクリメント : DTSZ = 0のとき、転送後MARBを -1 DTSZ = 1のとき、転送後MARBを -2

データトランスファマスタイネーブル

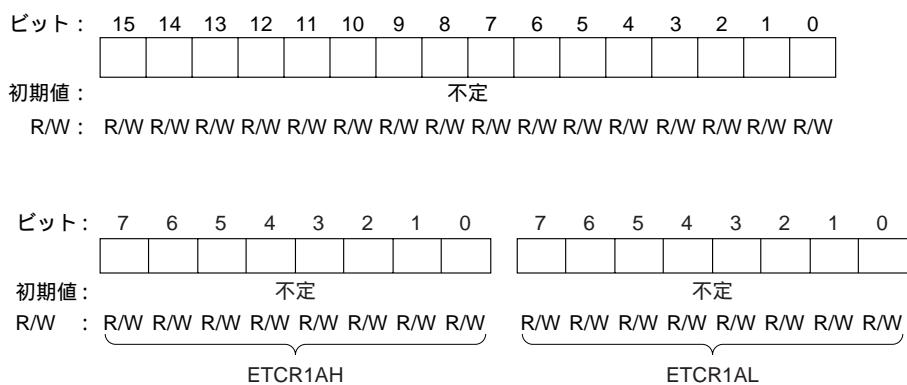
0	データ転送を禁止
1	データ転送を許可

H'30、H'31、H'32、H'33 : メモリアドレスレジスタ 1A R、E、H、L MAR1A R、E、H、L : DMAC1



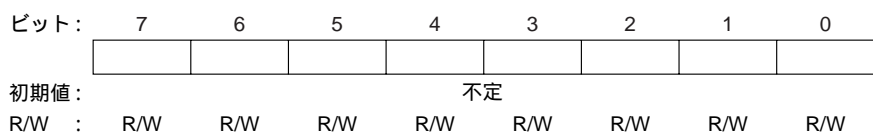
機能はDMAC0と同じです。

H'34、H'35 : 転送カウントレジスタ 1A H、L ETCR1A H、L : DMAC1



機能はDMAC0と同じです。

H'36 : I/O アドレスレジスタ 1A IOAR1A : DMAC1



機能はDMAC0と同じです。

H'37 : データトランスファコントロールレジスタ 1A DTCCR1A : DMAC1

ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はDMAC0と同じです。

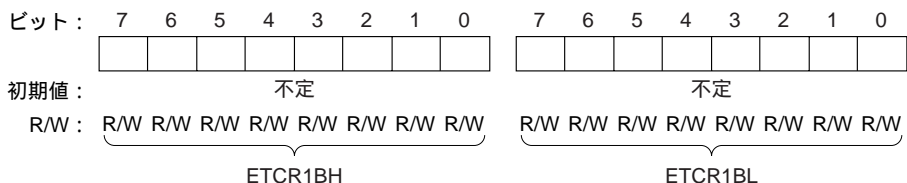
H'38、H'39、H'3A、H'3B : メモリアドレスレジスタ 1B R、E、H、L MAR1B R、E、H、L : DMAC1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定															
R/W :	MAR1BR								MAR1BE							

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定								不定							
R/W :	MAR1BH								MAR1BL							

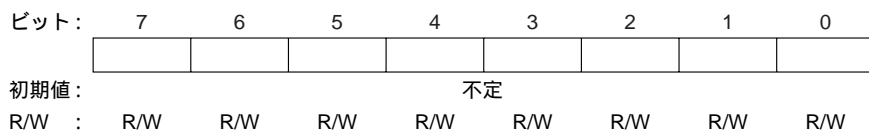
機能はDMAC0と同じです。

H'3C、H'3D : 転送カウントレジスタ 1B H、L ETCR1B H、L : DMAC1



機能はDMAC0と同じです。

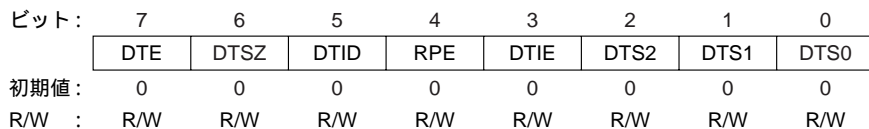
H'3E : I/O アドレスレジスタ 1B IOAR1B : DMAC1



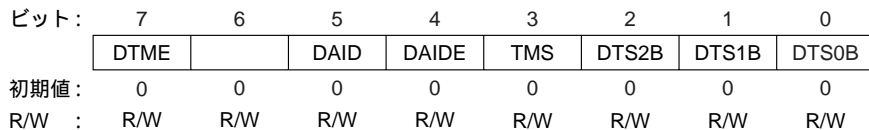
機能はDMAC0と同じです。

H'3F : データトランスファコントロールレジスタ 1B DTCR1B : DMAC1

ショートアドレスモード

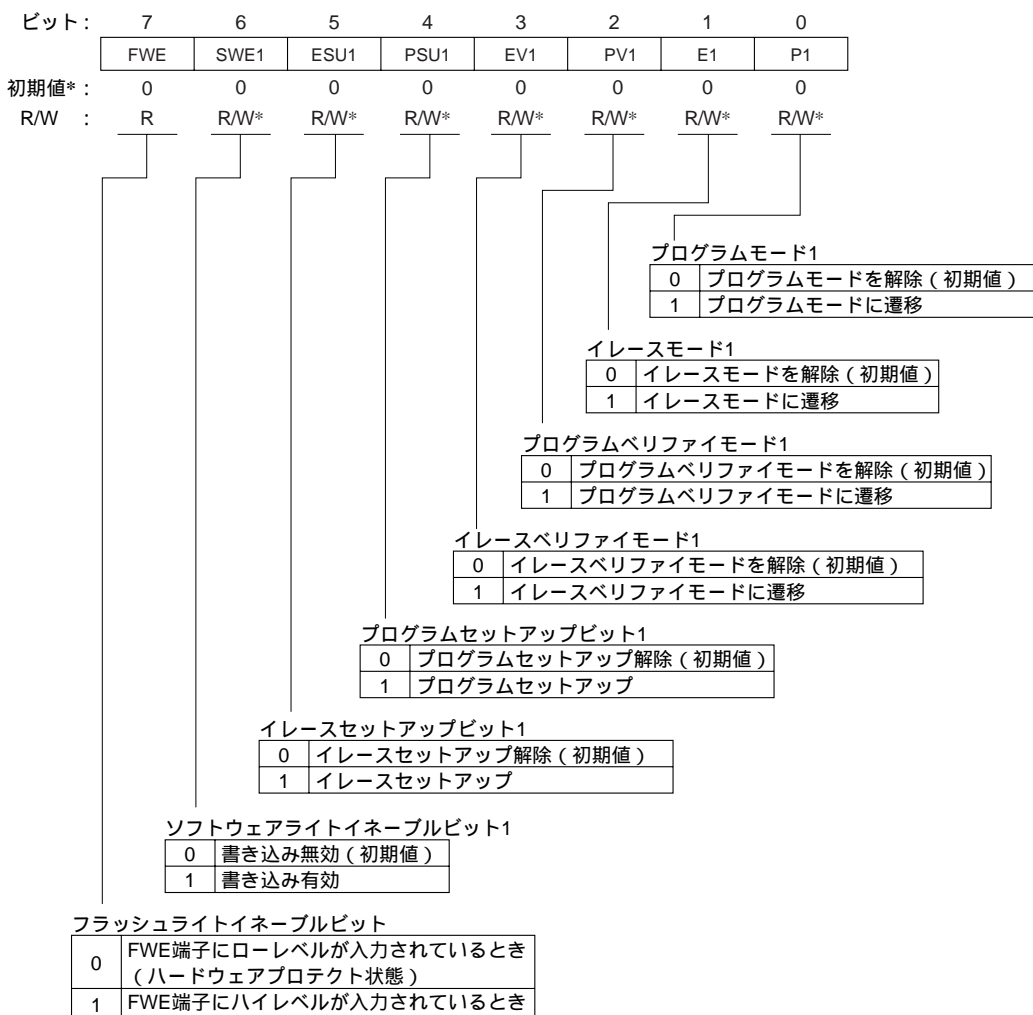


フルアドレスモード



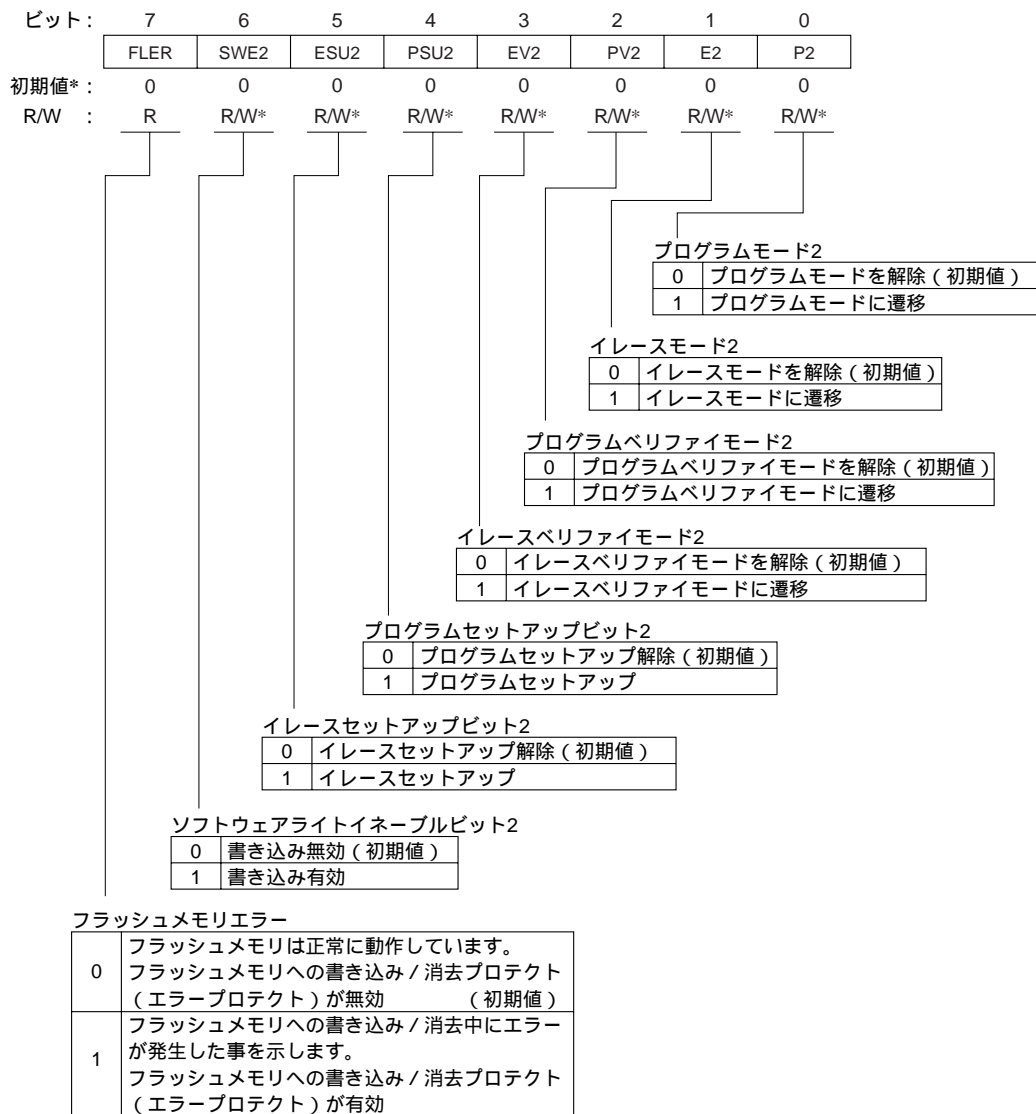
機能はDMAC0と同じです。

H'40 : フラッシュメモリコントロールレジスタ1 FLMCR1 : フラッシュメモリ



【注】 * モード5、6、7 (内蔵フラッシュメモリが有効) のとき初期値はH'00になります。
 モード1、2、3、4 (内蔵フラッシュメモリが無効) のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

H'41 : フラッシュメモリコントロールレジスタ2 FLMCR2 : フラッシュメモリ



【注】 * モード5、6、7 (内蔵フラッシュメモリが有効) のとき初期値はH'00になります。
 モード1、2、3、4 (内蔵フラッシュメモリが無効) のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

H'42 : 消去ブロック指定レジスタ 1 EBR1 : フラッシュメモリ

ビット:	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値*:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

消去ブロック指定ビット1

0	消去プロテクト状態
1	消去可能状態

【注】 * モード5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。
 モード1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、
 ライトも無効となります。

H'43 : 消去ブロック指定レジスタ 2 EBR2 : フラッシュメモリ

ビット:	7	6	5	4	3	2	1	0
	EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8
初期値*:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

消去ブロック指定ビット2

0	消去プロテクト状態
1	消去可能状態

【注】 * モード5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。
 モード1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、
 ライトも無効となります。

H'47 : RAM コントロールレジスタ RAMCR : フラッシュメモリ

ビット:	7	6	5	4	3	2	1	0
					RAMS	RAM2	RAM1	RAM0
初期値:	1	1	1	1	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

RAMセレクト、RAM2~0

ビット3	ビット2	ビット1	ビット0	RAMエリア
RAMS	RAM2	RAM1	RAM0	
0	1/0	1/0	1/0	H'FFE000 ~ H'FFFEFF
1	0	0	0	H'000000 ~ H'000FFF
			1	H'001000 ~ H'001FFF
		1	0	H'002000 ~ H'002FFF
			1	H'003000 ~ H'003FFF
	1	0	0	H'004000 ~ H'004FFF
			1	H'005000 ~ H'005FFF
		1	0	H'006000 ~ H'006FFF
			1	H'007000 ~ H'007FFF

H'5C D/A スタンバイコントロールレジスタ DASTCR : システム制御

ビット:	7	6	5	4	3	2	1	0
								DASTE
初期値:	1	1	1	1	1	1	1	0
R/W :								R/W

D/Aスタンバイネーブル

0	ソフトウェアスタンバイモードでのD/A出力を禁止 (初期値)
1	ソフトウェアスタンバイモードでのD/A出力を許可

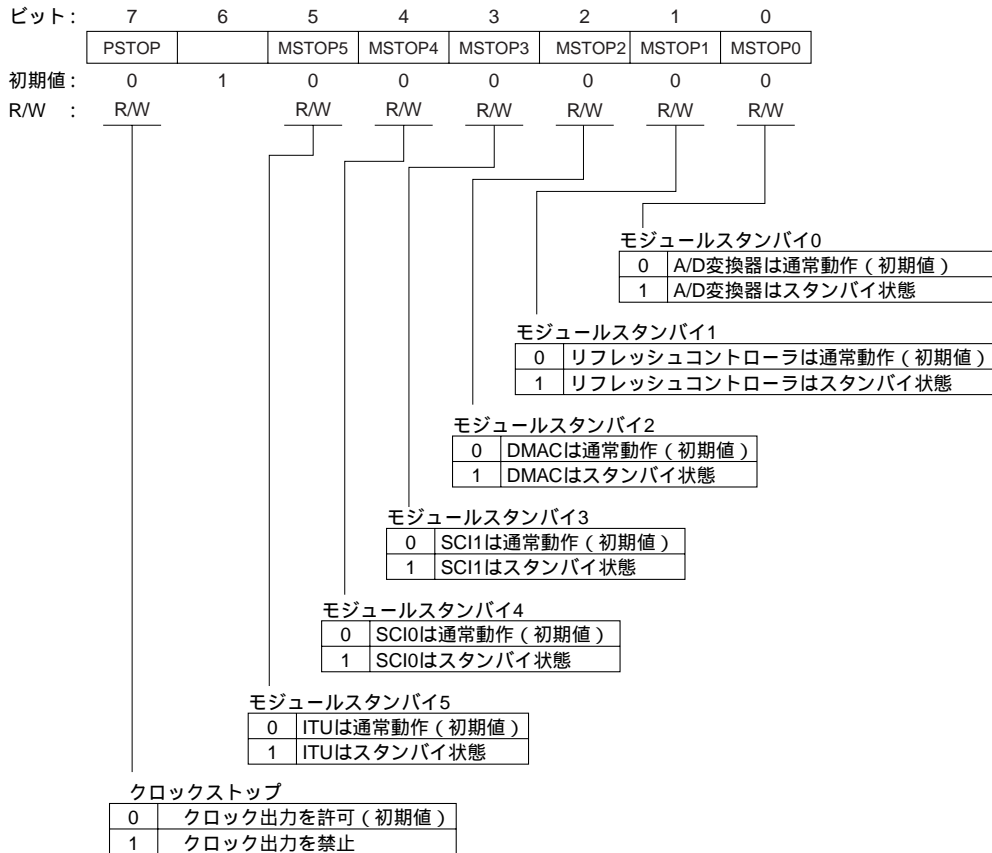
H'5D : 分周比コントロールレジスタ DIVCR : システム制御

ビット:	7	6	5	4	3	2	1	0
							DIV1	DIV0
初期値:	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

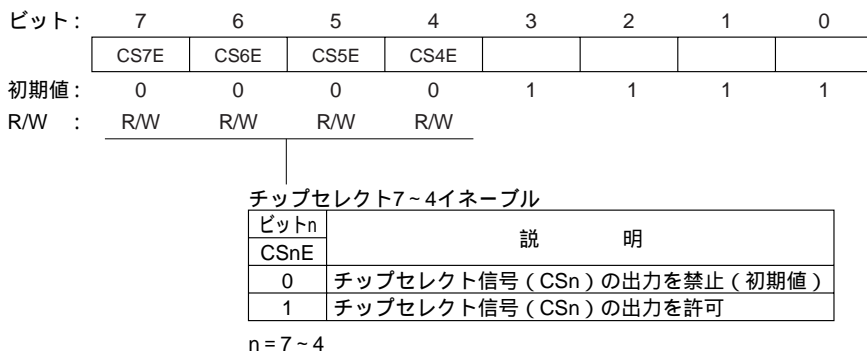
分周比1、0

ビット1	ビット0	分周比
DIV1	DIV0	
0	0	1/1 (初期値)
	1	1/2
1	0	1/4
	1	1/8

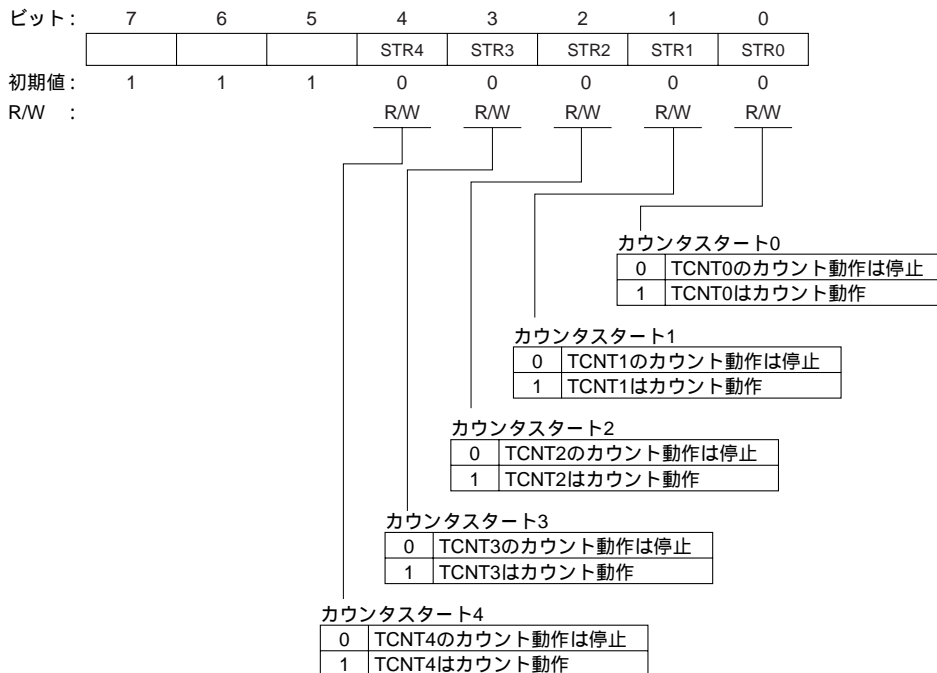
H'5E : モジュールスタンバイコントロールレジスタ MSTCR : システム制御



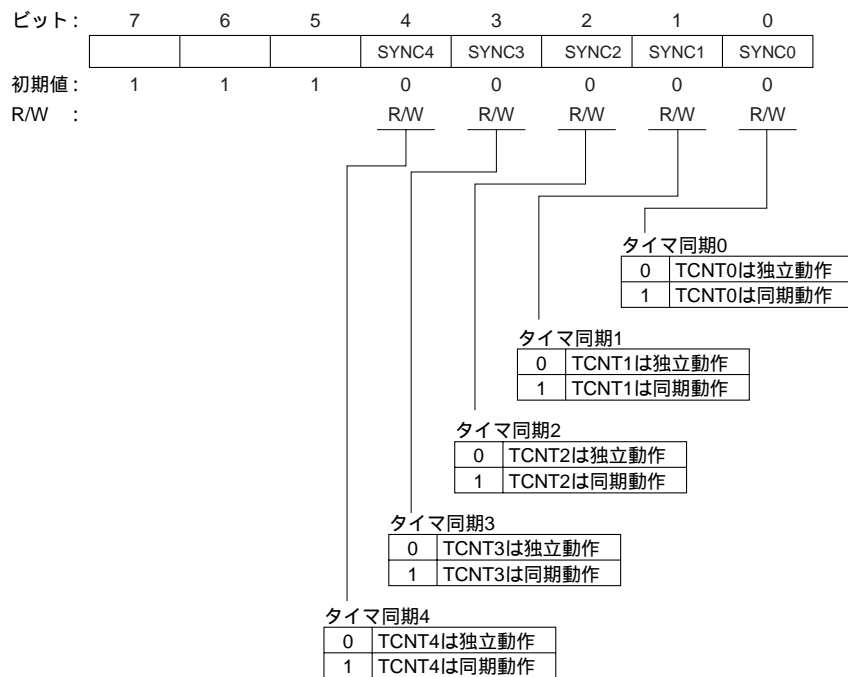
H'5F : チップセレクトコントロールレジスタ CSCR : システム制御



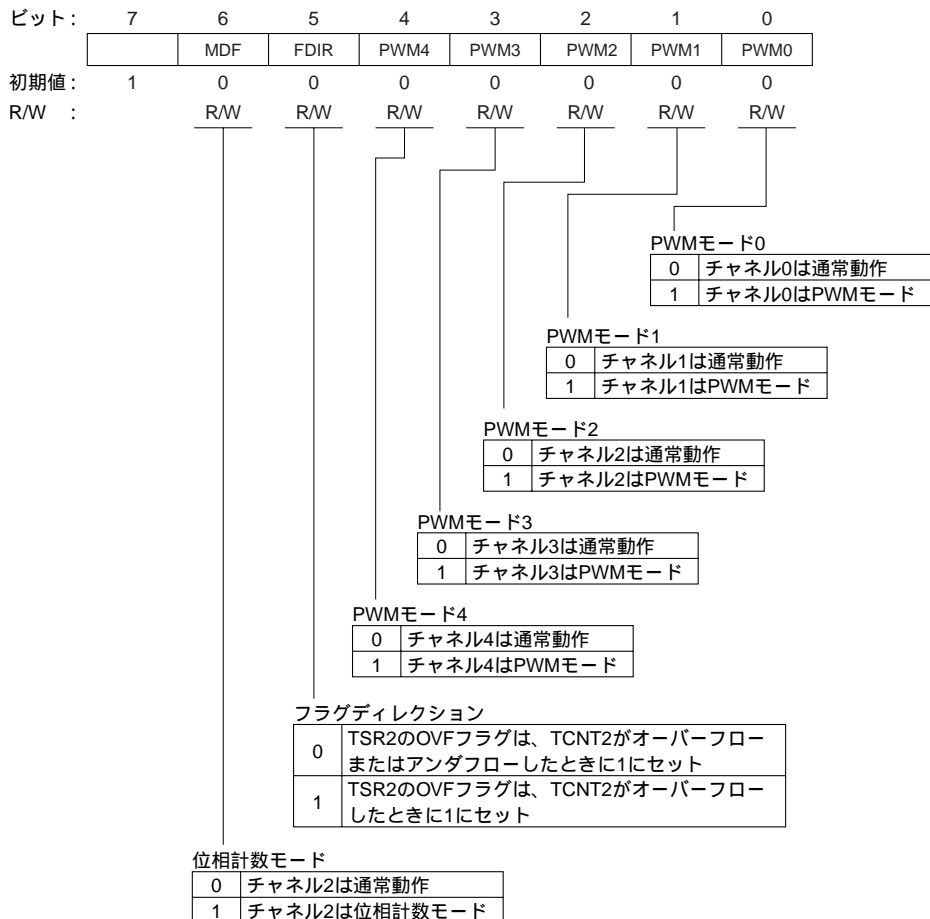
H'60 : タイマスタートレジスタ TSTR : ITU (共通)



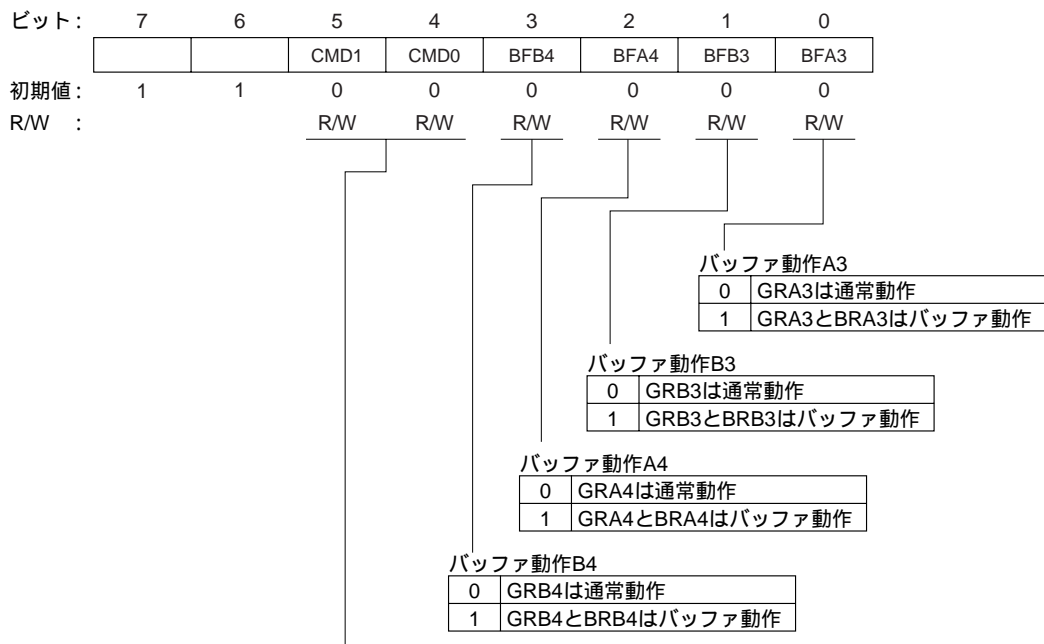
H'61 : タイマシンクロレジスタ TSNC : ITU (共通)



H'62 : タイマモードレジスタ TMDR : ITU (共通)



H'63 : タイマファンクションコントロールレジスタ TFCR : ITU (共通)



コンビネーションモード1、0

ビット5	ビット4	チャンネル3、4の動作モードの指定
CMD1	CMD0	
0	0	チャンネル3、4は通常動作
	1	チャンネル3、4は通常動作
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作

H'64 : タイマコントロールレジスタ 0 TCR0 : ITU0

ビット:	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ2-0

ビット2	ビット1	ビット0	TCNTのカウントクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック :
		1	内部クロック : /2
	1	0	内部クロック : /4
		1	内部クロック : /8
1	0	0	外部クロックA : TCLKA端子入力でカウント
		1	外部クロックB : TCLKB端子入力でカウント
	1	0	外部クロックC : TCLKC端子入力でカウント
		1	外部クロックD : TCLKD端子入力でカウント

クロックエッジ1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立上がりエッジでカウント
	1	立下がりエッジでカウント
1		立上がり / 立下がりの両エッジでカウント

カウンタクリア1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンペアマッチ / インพุットキャプチャでTCNTをクリア
1	0	GRBのコンペアマッチ / インพุットキャプチャでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

H'65 : タイマ I/O コントロールレジスタ TIOR0 : ITU0

ビット:	7	6	5	4	3	2	1	0
		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W :		R/W	R/W	R/W		R/W	R/W	R/W

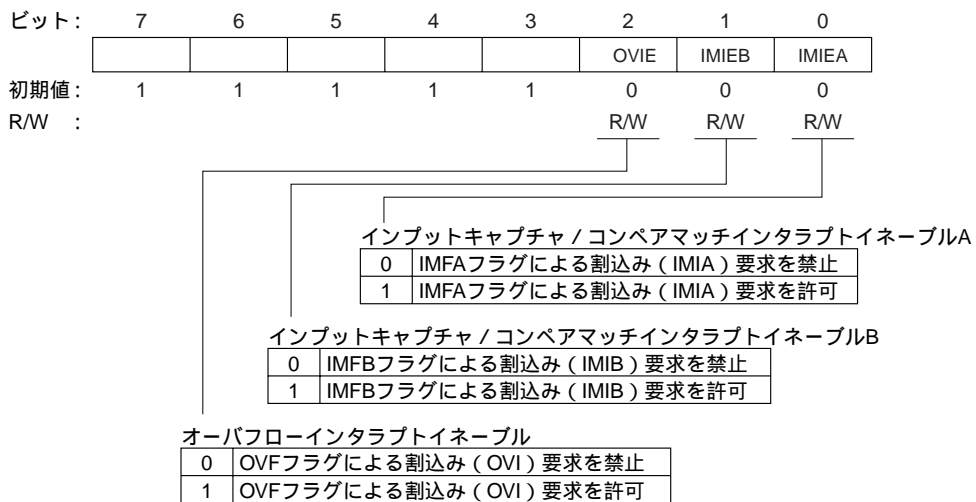
I/OコントロールA2~0

ビット2	ビット1	ビット0	GRAの機能の選択	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRAのコンペアマッチで0出力
	1	0		GRAのコンペアマッチで1出力
		1		GRAのコンペアマッチでトグル出力
1	0	0	GRAはインプット キャプチャレジスタ	立上がりエッジでGRAへインプットキャプチャ
		1		立下がりエッジでGRAへインプットキャプチャ
	1	0		立上がり / 立下がり両エッジでGRAへ
		1		インプットキャプチャ

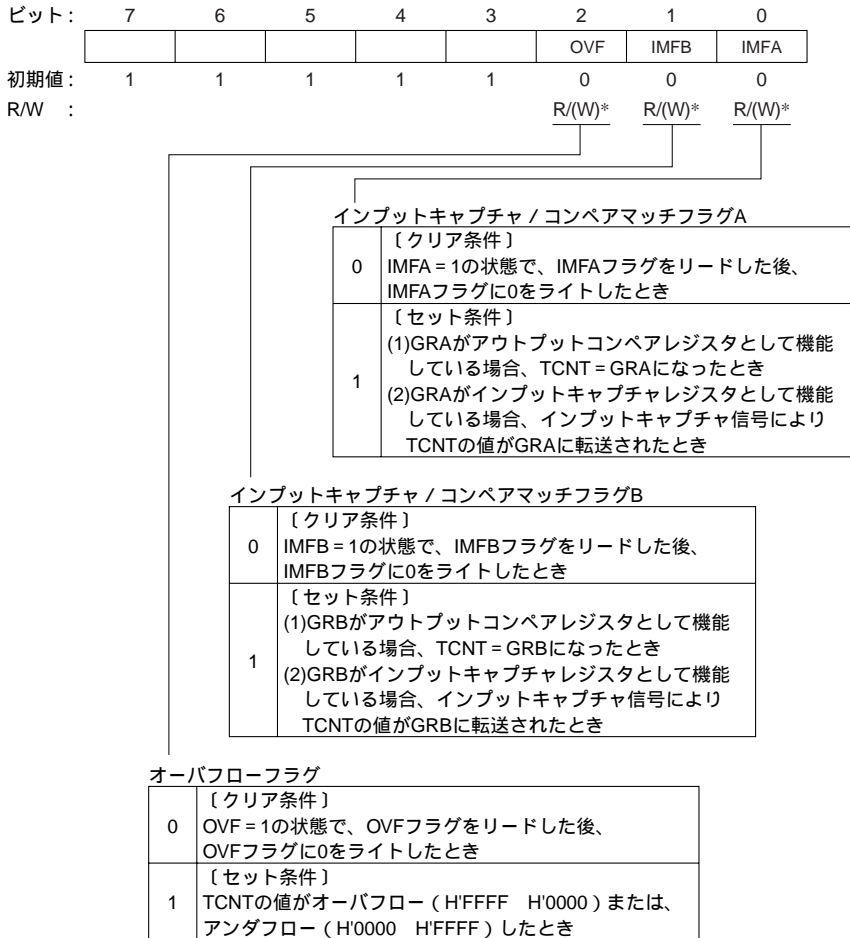
I/OコントロールB2~0

ビット6	ビット5	ビット4	GRBの機能の選択	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRBのコンペアマッチで0出力
	1	0		GRBのコンペアマッチで1出力
		1		GRBのコンペアマッチでトグル出力
1	0	0	GRBはインプット キャプチャレジスタ	立上がりエッジでGRBへインプットキャプチャ
		1		立下がりエッジでGRBへインプットキャプチャ
	1	0		立上がり / 立下がり両エッジでGRBへ
		1		インプットキャプチャ

H'66 : タイマインタラプトイネーブルレジスタ 0 TIER0 : ITU0



H'67 : タイマステータスレジスタ 0 TSR0 : ITU0



【注】* フラグクリアのための0ライトのみ可能です。

H'68、H'69 : タイマカウンタ 0 H、L TCNT0 H、L : ITU0



H'6A、H'6B : ジェネラルレジスタ A0 H、L GRA0 H、L : ITU0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑
アウトプットコンペア/インプットキャプチャ兼用レジスタ

H'6C、H'6D : ジェネラルレジスタ B0 H、L GRB0 H、L : ITU0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑
アウトプットコンペア/インプットキャプチャ兼用レジスタ

H'6E : タイマコントロールレジスタ 1 TCR1 : ITU1

ビット: 7 6 5 4 3 2 1 0

	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
--	-------	-------	-------	-------	-------	-------	-------

初期値: 1 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU0と同じです。

H'6F : タイマ I/O コントロールレジスタ 1 TIOR1 : ITU1

ビット: 7 6 5 4 3 2 1 0

	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
--	------	------	------	--	------	------	------

初期値: 1 0 0 0 1 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU0と同じです。

H'70 : タイマインタラプトイネーブルレジスタ 1 TIER1 : ITU1

ビット: 7 6 5 4 3 2 1 0

					OVIE	IMIEB	IMIEA
--	--	--	--	--	------	-------	-------

初期値: 1 1 1 1 1 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU0と同じです。

H'71 : タイマステータスレジスタ 1 TSR1 : ITU1

ビット:	7	6	5	4	3	2	1	0
						OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W :						R/(W)*	R/(W)*	R/(W)*

機能はITU0と同じです。

【注】* フラグクリアのための0ライトのみ可能です。

H'72、H'73 : タイマカウンタ 1 H、L TCNT1 H、L : ITU1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はITU0と同じです。

H'74、H'75 : ジェネラルレジスタ A1 H、L GRA1 H、L : ITU1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はITU0と同じです。

H'76、H'77 : ジェネラルレジスタ B1 H、L GRB1 H、L : ITU1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はITU0と同じです。

H'78 : タイマコントロールレジスタ 2 TCR2 : ITU2

ビット:	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はITU0と同じです。

【注】 チャンネル2を位相計数モードに設定したとき、TPSC2～TPSC0ビットによるカウントクロックの選択は無効となります。

H'79 : タイマ I/O コントロールレジスタ 2 TIOR2 : ITU2

ビット:	7	6	5	4	3	2	1	0
		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W :		R/W	R/W	R/W		R/W	R/W	R/W

機能はITU0と同じです。

H'7A : タイマインタラプトイネーブルレジスタ 2 TIER2 : ITU2

ビット:	7	6	5	4	3	2	1	0
						OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W :						R/W	R/W	R/W

機能はITU0と同じです。

H'7B : タイマステータスレジスタ 2 TSR2 : ITU2

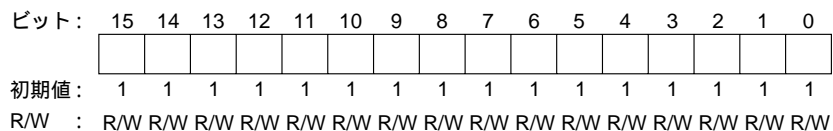


【注】* フラグクリアのための0ライトのみ可能です。

H'7C、H'7D : タイマカウンタ 2 H、L TCNT2 H、L : ITU2



H'7E、H'7F : ジェネラルレジスタ A2 H、L GRA2 H、L : ITU2



機能はITU0と同じです。

H'80、H'81 : ジェネラルレジスタ B2 H、 L GRB2 H、 L : ITU2

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU0と同じです。

H'82 : タイマコントロールレジスタ 3 TCR3 : ITU3

ビット: 7 6 5 4 3 2 1 0

	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
--	-------	-------	-------	-------	-------	-------	-------

初期値: 1 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W

機能はITU0と同じです。

H'83 : タイマ I/O コントロールレジスタ 3 TIOR3 : ITU3

ビット: 7 6 5 4 3 2 1 0

	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
--	------	------	------	--	------	------	------

初期値: 1 0 0 0 1 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W

機能はITU0と同じです。

H'84 : タイマインタラプトイネーブルレジスタ 3 TIER3 : ITU3

ビット: 7 6 5 4 3 2 1 0

					OVIE	IMIEB	IMIEA
--	--	--	--	--	------	-------	-------

初期値: 1 1 1 1 1 0 0 0

R/W : R/W R/W R/W

機能はITU0と同じです。

H'85 : タイマステータスレジスタ 3 TSR3 : ITU3

ビット:	7	6	5	4	3	2	1	0
						OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W :						R/(W)*	R/(W)*	R/(W)*

機能はITU0と同じです。

オーバーフローフラグ

0	〔クリア条件〕 OVF = 1の状態、OVFをリードした後、OVFに1を ライトしたとき
1	〔セット条件〕 TCNTの値がオーバーフロー (H'FFFF H'0000) または、 アンダフロー (H'0000 H'FFFF) したとき

【注】* フラグクリアのための0ライトのみ可能です。

H'86、H'87 : タイマカウンタ 3 H、L TCNT3 H、L : ITU3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

相補PWMモード時 : アップ/ダウンカウンタ
その他のモード時 : アップカウンタ

H'88、H'89 : ジェネラルレジスタ A3 H、L GRA3 H、L : ITU3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

H'8A、H'8B : ジェネラルレジスタ B3 H、L GRB3 H、L : ITU3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

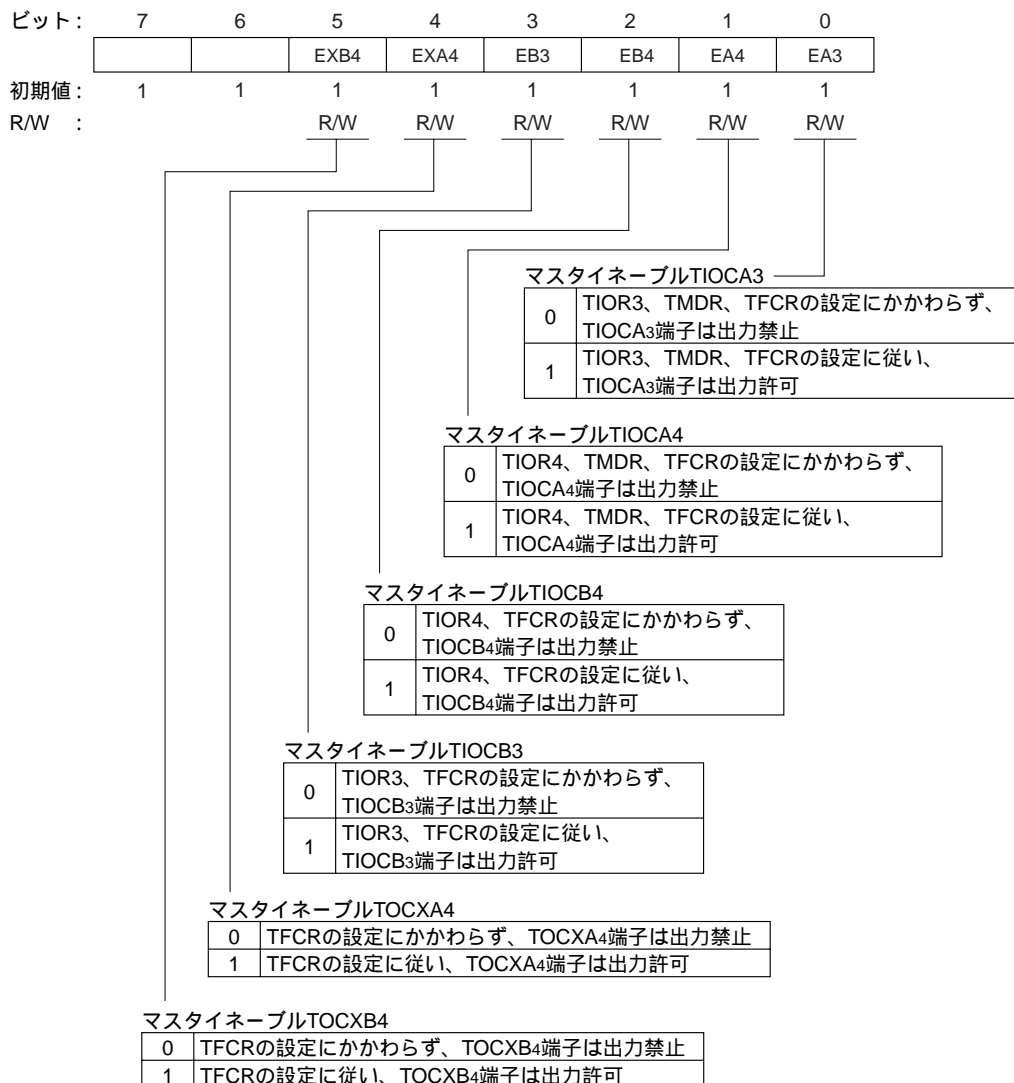
H'8C、H'8D : バッファレジスタ A3 H、 L BRA3 H、 L : ITU3



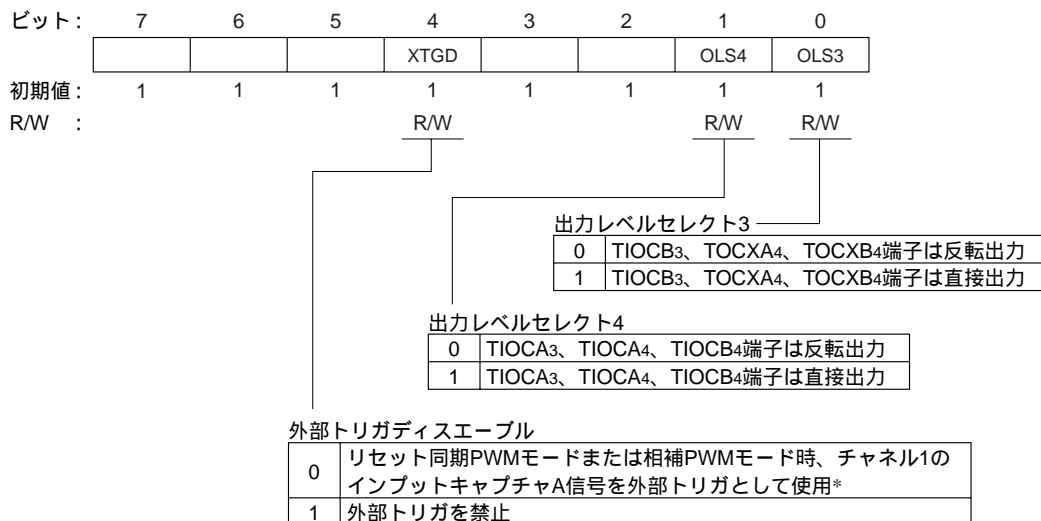
H'8E、H'8F : バッファレジスタ B3 H、 L BRB3 H、 L : ITU3



H'90 : タイマアウトプットマスタイネーブルレジスタ TOER : ITU (共通)

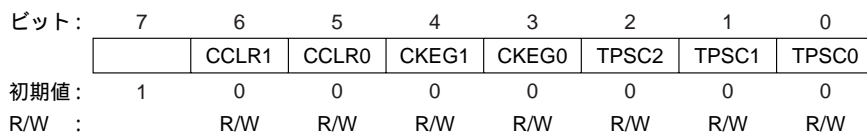


H'91 : タイマアウトプットコントロールレジスタ TOCR : ITU (共通)



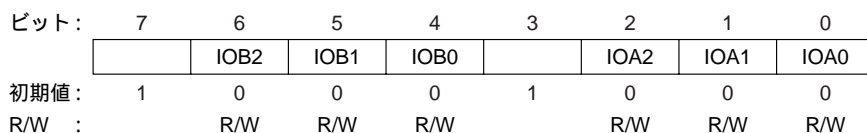
【注】* 外部トリガ発生時、TOERのビット5~0が0にクリアされ、ITU出力が禁止されます。

H'92 : タイマコントロールレジスタ 4 TCR4 : ITU4



機能はITU0と同じです。

H'93 : タイマ I/O コントロールレジスタ 4 TIOR4 : ITU4



機能はITU0と同じです。

H'94 : タイマインタラプトイネーブルレジスタ 4 TIER4 : ITU4

ビット:	7	6	5	4	3	2	1	0
						OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W :						R/W	R/W	R/W

機能はITU0と同じです。

H'95 : タイマステータスレジスタ 4 TSR4 : ITU4

ビット:	7	6	5	4	3	2	1	0
						OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W :						R/(W)*	R/(W)*	R/(W)*

機能はITU0と同じです。

【注】* フラグクリアのための0ライトのみ可能です。

H'96、H'97 : タイマカウンタ 4 H、L TCNT4 H、L : ITU4

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はITU3と同じです。

H'98、H'99 : ジェネラルレジスタ A4 H、L GRA4 H、L : ITU4

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はITU3と同じです。

H'9A、H'9B : ジェネラルレジスタ B4 H、 L GRB4 H、 L : ITU4

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU3と同じです。

H'9C、H'9D : バッファレジスタ A4 H、 L BRA4 H、 L : ITU4

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU3と同じです。

H'9E、H'9F : バッファレジスタ B4 H、 L BRB4 H、 L : ITU4

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

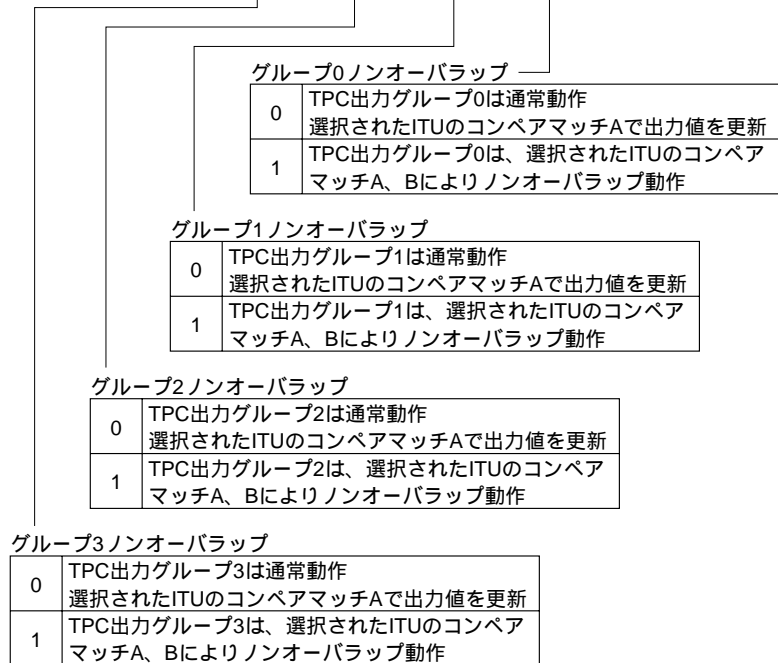
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

機能はITU3と同じです。

H'A0 : TPC 出力モードレジスタ TPMR : TPC

ビット:	7	6	5	4	3	2	1	0
					G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W



H'A1 : TPC 出力コントロールレジスタ TPCR : TPC

ビット: 7 6 5 4 3 2 1 0

G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値: 1 1 1 1 1 1 1 1							
R/W : R/W R/W R/W R/W R/W R/W R/W							

グループ0コンペアマッチセレクト1、0

ビット1	ビット0	出力トリガとなるITUのチャンネル選択
G0CMS1	G0CMS0	
0	0	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ1コンペアマッチセレクト1、0

ビット3	ビット2	出力トリガとなるITUのチャンネル選択
G1CMS1	G1CMS0	
0	0	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ2コンペアマッチセレクト1、0

ビット5	ビット4	出力トリガとなるITUのチャンネル選択
G2CMS1	G2CMS0	
0	0	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ3コンペアマッチセレクト1、0

ビット7	ビット6	出力トリガとなるITUのチャンネル選択
G3CMS1	G3CMS0	
0	0	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

H'A2 : ネクストデータインーブルレジスタ B NDERB : TPC

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータインーブル15~8

ビット7~0 NDER15 ~ NDER8	説 明
0	TPC出力TP ₁₅ ~ TP ₈ を禁止 (NDR ₁₅ ~ NDR ₈ からPB ₇ ~ PB ₀ への転送禁止)
1	TPC出力TP ₁₅ ~ TP ₈ を許可 (NDR ₁₅ ~ NDR ₈ からPB ₇ ~ PB ₀ への転送許可)

H'A3 : ネクストデータインーブルレジスタ A NDERA : TPC

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータインーブル7~0

ビット7~0 NDER7 ~ NDER0	説 明
0	TPC出力TP ₇ ~ TP ₀ を禁止 (NDR ₇ ~ NDR ₀ からPA ₇ ~ PA ₀ への転送禁止)
1	TPC出力TP ₇ ~ TP ₀ を許可 (NDR ₇ ~ NDR ₀ からPA ₇ ~ PA ₀ への転送許可)

H'A5/H'A7 : ネクストデータレジスタ A NDRA : TPC

TPC 出力グループ 0、1 の出力トリガが同一の場合

(1) アドレス : H'FFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPC出力グループ1の次の出力データを格納
TPC出力グループ0の次の出力データを格納

(2) アドレス : H'FFA7

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :								

TPC 出力グループ 0、1 の出力トリガが異なる場合

(1) アドレス : H'FFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4				
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W				

TPC出力グループ1の次の出力データを格納

(2) アドレス : H'FFA7

ビット:	7	6	5	4	3	2	1	0
					NDR3	NDR2	NDR1	NDR0
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

TPC出力グループ0の次の出力データを格納

H'A8 : タイマコントロール / ステータスレジスタ TCSR : WDT

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME			CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/(W)*	R/W	R/W			R/W	R/W	R/W

クロックセレクト2~0

0	0	0	/2
		1	/32
	1	0	/64
1		/128	
1	0	0	/256
		1	/512
	1	0	/2048
1		/4096	

タイマイネーブル

0	タイマディスエーブル ・ TCNTをH'00にイニシャライズし、 カウントアップを停止
1	タイマイネーブル ・ TCNTはカウントアップ開始 ・ CPUへの割込み要求を許可

タイマモードセレクト

0	インターバルタイマを選択 (インターバルタイマ割込み要求)
1	ウォッチドッグタイマを選択 (リセット信号を発生)

オーバーフローフラグ

0	[クリア条件] OVF = 1の状態ではOVFフラグをリードした後、 OVFフラグに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00に変化したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'A9 リード時、H'A8 ライト時：タイマカウンタ TCNT : WDT

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

|
カウント値

H'AB リード時、H'AA ライト時：

リセットコントロール/ステータスレジスタ RSTCSR : WDT

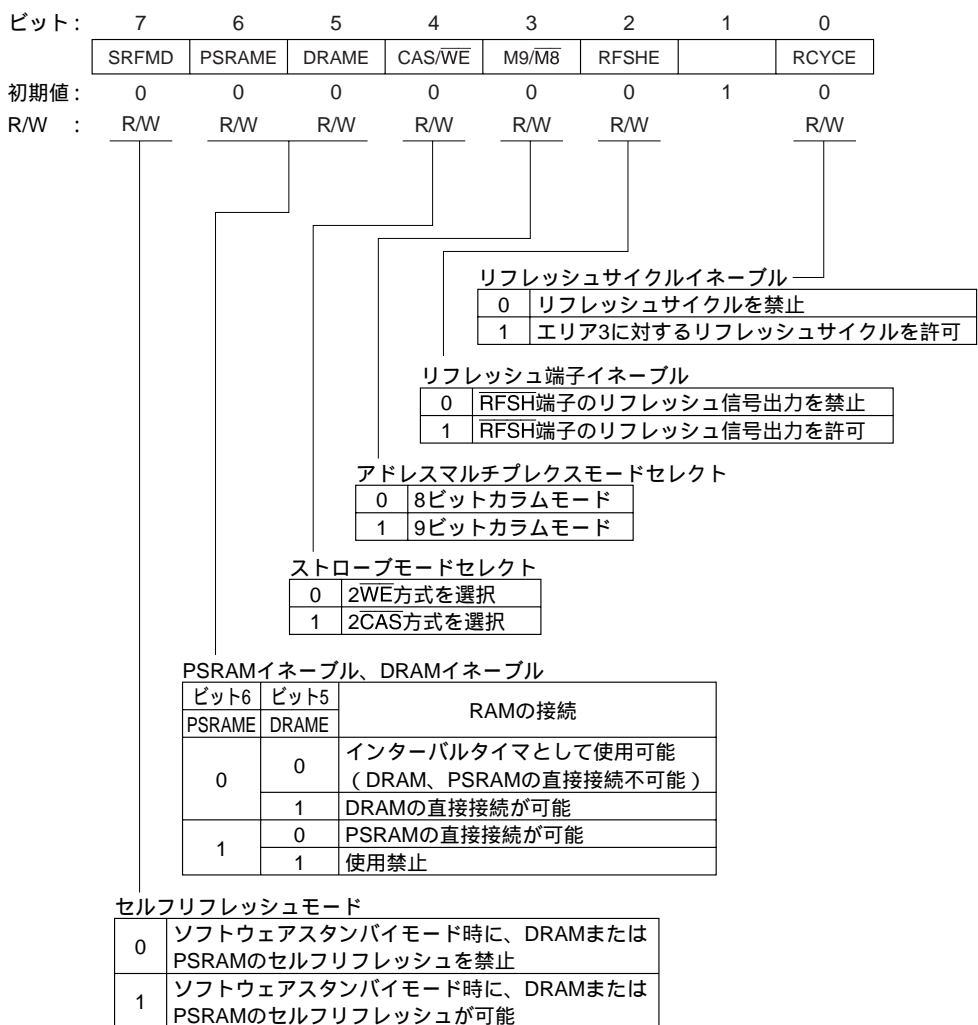
ビット:	7	6	5	4	3	2	1	0
	WRST							
初期値:	0	0	1	1	1	1	1	1
R/W :	R/(W)*	*						

ウォッチドッグタイマリセット

0	〔クリア条件〕 (1) RES端子によるリセット信号 (2) WRST = 1の状態、WRSTフラグをリード後0をライトしたとき
1	〔セット条件〕 TCNTがオーバーフローし、リセット信号が発生したとき

【注】* ビット7は、フラグをクリアする0ライトのみ可能です。
ビット6は、1セット禁止です。ライトするときは必ず0をライトしてください。

H'AC : リフレッシュコントロールレジスタ RFSHCR : リフレッシュコントローラ



H'AD : リフレッシュタイムコントロール/ステータスレジスタ RTMCSR : リフレッシュコントローラ

ビット:	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0			
初期値:	0	0	0	0	0	1	1	1
R/W :	R/(W)*	R/W	R/W	R/W	R/W			

クロックセレクト2~0

ビット5	ビット4	ビット3	カウントクロック
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止
		1	/2
	1	0	/8
1	0	1	/32
		0	/128
	1	0	/512
1	1	0	/2048
		1	/4096

コンペアマッチインタラプトイネーブル

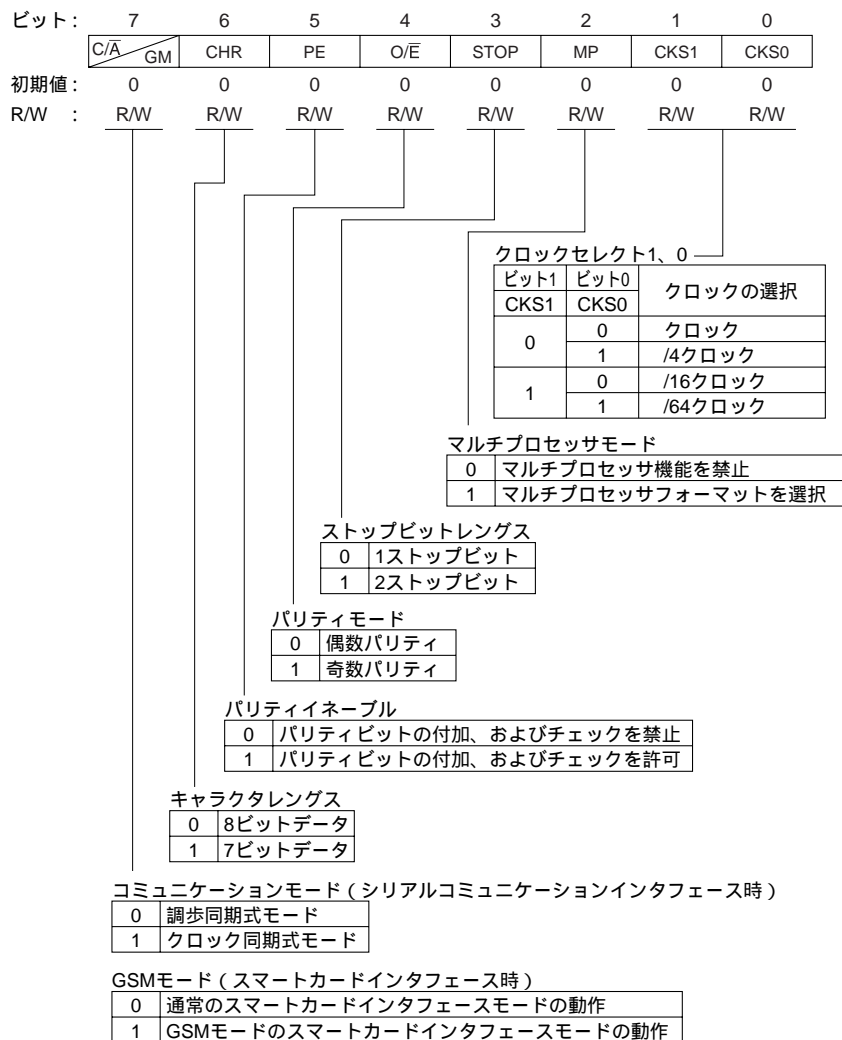
0	CMFフラグによる割込み (CMI) 要求を禁止
1	CMFフラグによる割込み (CMI) 要求を許可

コンペアマッチフラグ

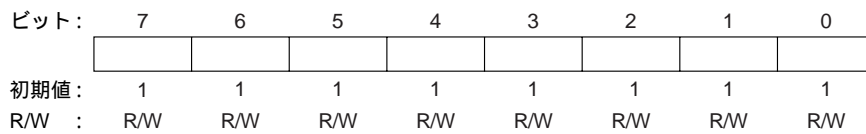
0	[クリア条件] CMF = 1の状態、CMFフラグをリードした後、 CMFフラグに0をライトしたとき
1	[セット条件] RTCNT = RTCORになったとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'B0 : シリアルモードレジスタ SMR : SCIO



H'B1 : ビットレートレジスタ BRR : SCIO



シリアル送信 / 受信のビットレートを設定

H'B2 : シリアルコントロールレジスタ SCR : SCI0

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0

ビット1	ビット0	クロックの選択、出力の許可	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
	1	クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	内部クロック / SCK端子はクロック出力
	1	クロック同期式モード	内部クロック / SCK端子は同期クロック出力
0	0	調歩同期式モード	外部クロック / SCK端子はクロック入力
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力
1	0	調歩同期式モード	外部クロック / SCK端子は同期クロック出力
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力

トランスミットエンドインタラプトイネーブル

0	送信終了割込み (TEI) 要求を禁止
1	送信終了割込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込みを禁止 (通常の受信動作を行う)
1	マルチプロセッサ割込みを許可

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

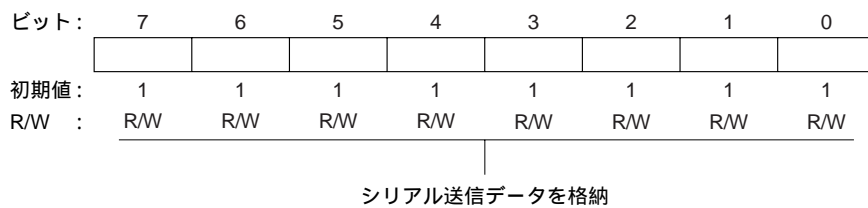
レシーブインタラプトイネーブル

0	受信データフル割込み (RXI) 要求、受信エラー割込み (ERI) 要求を禁止
1	受信データフル割込み (RXI) 要求、受信エラー割込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割込み (TXI) 要求を禁止
1	送信データエンプティ割込み (TXI) 要求を許可

H'B3 : トランスミットデータレジスタ TDR : SCI0



H'B4 : シリアルステータスレジスタ SSR : SCIO



H'B5 : レシーブデータレジスタ RDR : SCI0

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

シリアル受信データを格納

H'B6 : スマートカードモードレジスタ SCMR : SCI0

ビット:	7	6	5	4	3	2	1	0
					SDIR	SINV		SMIF
初期値:	1	1	1	1	0	0	1	0
R/W :					R/W	R/W		R/W

スマートカードインタフェースモードセレクト

0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

スマートカードデータインバート

0	TDRの内容をそのまま送信します。 (初期値) 受信したデータをそのままRDRに格納します。
1	TDRの内容を反転してデータを送信します。 受信したデータを反転してRDRに格納します。

スマートカードデータ転送方向

0	TDRの内容をLSBファーストとして送信します。 (初期値) 受信したデータをLSBファーストとしてRDRに格納します。
1	TDRの内容をMSBファーストとして送信します。 受信したデータをMSBファーストとしてRDRに格納します。

H'B8 : シリアルモードレジスタ SMR : SCI1

ビット:	7	6	5	4	3	2	1	0
	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はSCI0と同じです。

H'B9 : ビットレートレジスタ BRR : SCI1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はSCI0と同じです。

H'BA : シリアルコントロールレジスタ SCR : SCI1

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はSCI0と同じです。

H'BB : トランスミットデータレジスタ TDR : SCI1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

機能はSCI0と同じです。

H'BC : シリアルステータスレジスタ SSR : SCI1

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

機能はSCI0と同じです。

【注】* フラグをクリアするための0ライトのみ可能です。

H'BD : レシーブデータレジスタ RDR : SCI1

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

機能はSCI0と同じです。

H'C0 : ポート 1 データディレクションレジスタ P1DDR : ポート 1

ビット:	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
モード1~4 {	初期値:	1	1	1	1	1	1	1
	R/W :							
モード5~7 {	初期値:	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W

ポート1入出力選択

0	入力ポート
1	出力ポート

H'C1 : ポート 2 データディレクションレジスタ P2DDR : ポート 2

ビット:	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
モード1~4 {	初期値:	1	1	1	1	1	1	1
	R/W :							
モード5~7 {	初期値:	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W

ポート2入出力選択

0	入力ポート
1	出力ポート

H'C2 : ポート 1 データレジスタ P1DR : ポート 1

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1の各端子のデータを格納

H'C3 : ポート 2 データレジスタ P2DR : ポート 2

ビット:	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2の各端子のデータを格納

H'C4 : ポート 3 データディレクションレジスタ P3DDR : ポート 3

ビット:	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3入出力選択

0	入力ポート
1	出力ポート

H'C5 : ポート 4 データディレクションレジスタ P4DDR : ポート 4

ビット:	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4入出力選択

0	入力ポート
1	出力ポート

H'C6 : ポート 3 データレジスタ P3DR : ポート 3

ビット:	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子のデータを格納

H'C7 : ポート 4 データレジスタ P4DR : ポート 4

ビット:	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4の各端子のデータを格納

H'C8 : ポート 5 データディレクションレジスタ P5DDR : ポート 5

ビット:	7	6	5	4	3	2	1	0
					P53DDR	P52DDR	P51DDR	P50DDR
モード1~4 { 初期値:	1	1	1	1	1	1	1	1
{ R/W :								
モード5~7 { 初期値:	1	1	1	1	0	0	0	0
{ R/W :					W	W	W	W

ポート5入出力選択

0	入力ポート
1	出力ポート

H'C9 : ポート 6 データディレクションレジスタ P6DDR : ポート 6

ビット:	7	6	5	4	3	2	1	0
		P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値:	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	W	W

ポート6入出力選択

0	入力ポート
1	出力ポート

H'CA : ポート 5 データレジスタ P5DR : ポート 5

ビット:	7	6	5	4	3	2	1	0
					P53	P52	P51	P50
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

ポート5の各端子のデータを格納

H'CB : ポート 6 データレジスタ P6DR : ポート 6

ビット:	7	6	5	4	3	2	1	0
		P66	P65	P64	P63	P62	P61	P60
初期値:	1	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6の各端子のデータを格納

H'CD : ポート 8 データディレクションレジスタ P8DDR : ポート 8

ビット:	7	6	5	4	3	2	1	0	
				P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
モード1~4 {	初期値:	1	1	1	1	0	0	0	0
	R/W :				W	W	W	W	W
モード5~7 {	初期値:	1	1	1	0	0	0	0	0
	R/W :				W	W	W	W	W

ポート8入出力選択

0	入力ポート
1	出力ポート

ポート8入出力選択

0	入力ポート
1	CS出力端子

H'CE : ポート 7 データレジスタ P7DR : ポート 7

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

ポート7の各端子の状態を讀出す

【注】* P77~P70端子により決定されます。

H'CF : ポート 8 データレジスタ P8DR : ポート 8

ビット:	7	6	5	4	3	2	1	0
				P84	P83	P82	P81	P80
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

ポート8の各端子のデータを格納

H'D0 : ポート 9 データディレクションレジスタ P9DDR : ポート 9

ビット:	7	6	5	4	3	2	1	0
			P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

ポート9入出力選択

0	入力ポート
1	出力ポート

H'D1 : ポート A データディレクションレジスタ PADDR : ポート A

ビット:	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
モード3,4,6	初期値:	1	0	0	0	0	0	0
	R/W :		W	W	W	W	W	W
モード1,2,5,7	初期値:	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W

ポートA入出力選択

0	入力ポート
1	出力ポート

H'D2 : ポート 9 データレジスタ P9DR : ポート 9

ビット:	7	6	5	4	3	2	1	0
			P95	P94	P93	P92	P91	P90
初期値:	1	1	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

ポート9の各端子のデータを格納

H'D3 : ポート A データレジスタ PADR : ポート A

ビット:	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの各端子のデータを格納

H'D4 : ポート B データディレクションレジスタ PBDDR : ポート B

ビット:	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートB入出力選択

0	入力ポート
1	出力ポート

H'D6 : ポート B データレジスタ PBDR : ポート B

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの各端子のデータを格納

H'D8 : ポート 2 入力プルアップ MOS コントロールレジスタ P2PCR : ポート 2

ビット:	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

P2DDRを0に指定したとき（入力ポートに指定）

H'DA : ポート4 入力プルアップ MOS コントロールレジスタ P4PCR : ポート4

ビット:	7	6	5	4	3	2	1	0
	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

P4DDRを0に指定したとき(入力ポートに指定)

H'DB : ポート5 入力プルアップ MOS コントロールレジスタ P5PCR : ポート5

ビット:	7	6	5	4	3	2	1	0
					P53PCR	P52PCR	P51PCR	P50PCR
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

ポート5入力プルアップMOSコントロール3~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

P5DDRを0に指定したとき(入力ポートに指定)

H'DC : D/A データレジスタ0 DADR0 : D/A

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換データを格納

H'DD : D/A データレジスタ1 DADR1 : D/A

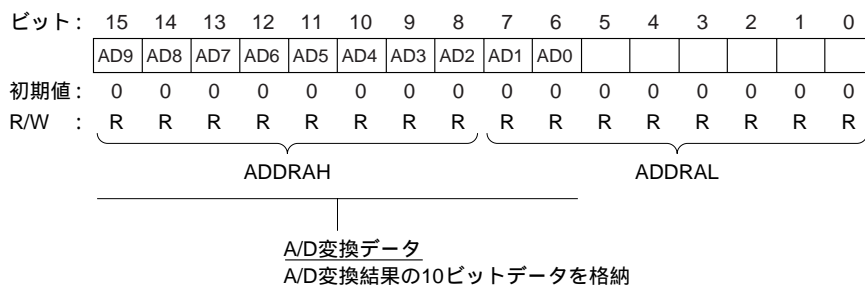
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換データを格納

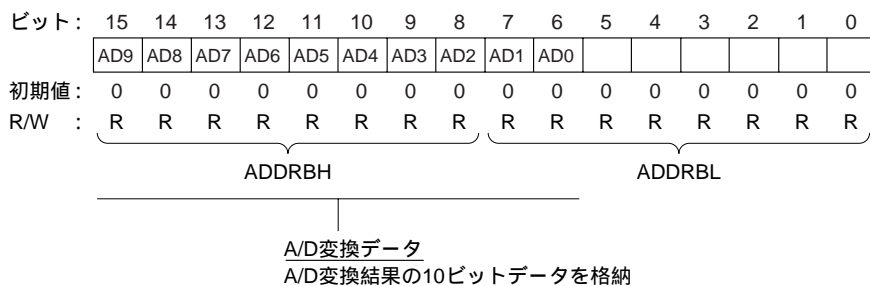
H'DE : D/A コントロールレジスタ DACR : D/A



H'E0、H'E1 : A/D データレジスタ A H、L ADDR A H、L : A/D



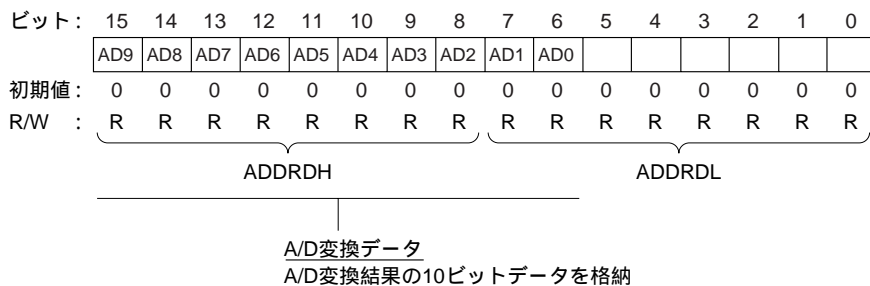
H'E2、H'E3 : A/D データレジスタ B H、 L ADDR B H、 L : A/D



H'E4、H'E5 : A/D データレジスタ C H、 L ADDR C H、 L : A/D



H'E6、H'E7 : A/D データレジスタ D H、 L ADDR D H、 L : A/D



H'E8 : A/D コントロール/ ステータスレジスタ ADCSR : A/D

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト

グループ 選択	チャンネル選択			説明	
CH2	CH1	CH0	単一モード	スキャンモード	
0	0	0	AN ₀	AN ₀	
		1	AN ₁	AN ₀ 、AN ₁	
	1	0	AN ₂	AN ₀ ~ AN ₂	
		1	AN ₃	AN ₀ ~ AN ₃	
1	0	0	AN ₄	AN ₄	
		1	AN ₅	AN ₄ 、AN ₅	
	1	0	AN ₆	AN ₄ ~ AN ₆	
		1	AN ₇	AN ₄ ~ AN ₇	

クロックセレクト

0	変換時間 = 266ステート (max)
1	変換時間 = 134ステート (max)

スキャンモード

0	単一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換終了による割り込み要求を禁止
1	A/D変換終了による割り込み要求を許可

A/Dエンドフラグ

0	〔クリア条件〕 ADF = 1の状態ADFフラグをリードした後、ADFフラグに0をライトしたとき
1	〔セット条件〕 (1) 単一モード: A/D変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'E9 : A/D コントロールレジスタ ADCR : A/D

ビット:	7	6	5	4	3	2	1	0
	TRGE							
初期値:	0	1	1	1	1	1	1	0
R/W :	R/W							*

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ端子 (ADTRG) の立下がり/A/D変換を開始

【注】* ビット0は、1セット禁止です。ライトするときは必ず0をライトしてください。

H'EC : バス幅コントロールレジスタ ABWCR : バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1,3,5,6 初期値:	1	1	1	1	1	1	1	1
モード2,4,7 初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0バス幅コントロール

ビット7~0	アクセス空間の指定
ABW7 ~ ABW0	
0	エリア7~0を16ビットアクセス空間に設定
1	エリア7~0を8ビットアクセス空間に設定

H'ED : アクセスステートコントロールレジスタ ASTCR : バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

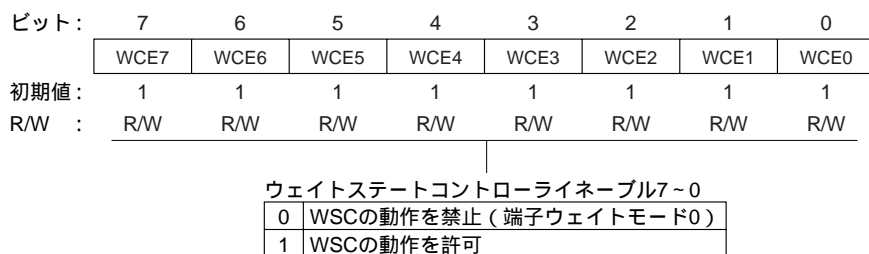
エリア7~0アクセスステートコントロール

ビット7~0	アクセスステート数の指定
AST7 ~ AST0	
0	エリア7~0を2ステートアクセス空間に設定
1	エリア7~0を3ステートアクセス空間に設定

H'EE : ウェイトコントロールレジスタ WCR : バスコントローラ



H'EF : ウェイトステートコントローライネーブルレジスタ WCER : バスコントローラ



H'F1 : モードコントロールレジスタ MDCR : システム制御

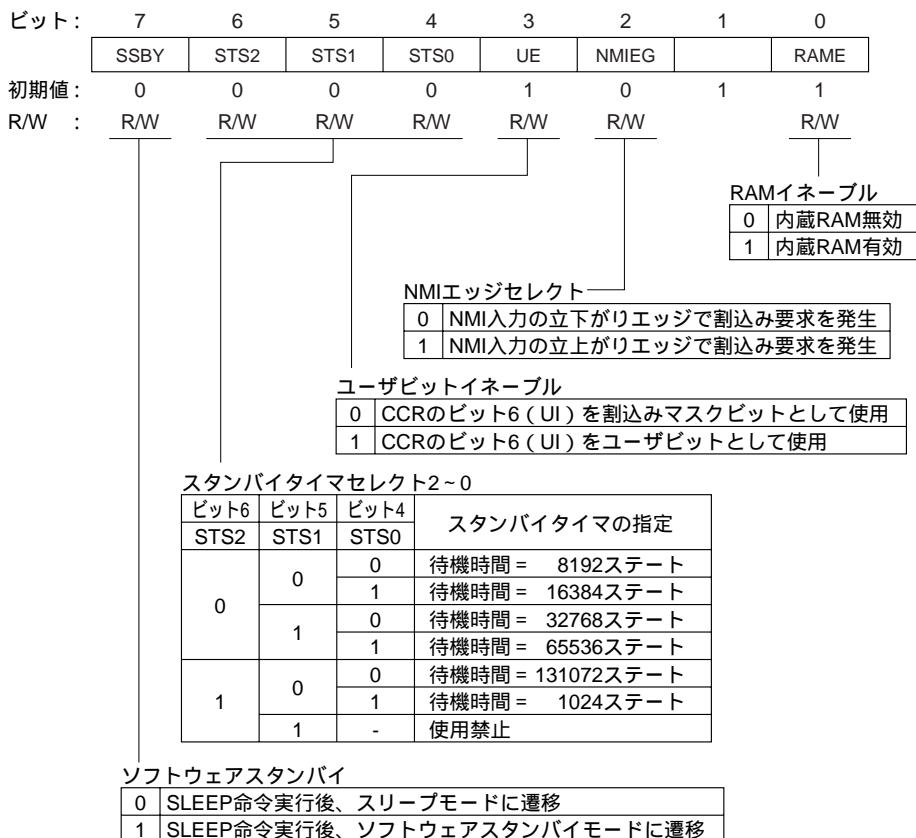
ビット:	7	6	5	4	3	2	1	0
						MDS2	MDS1	MDS0
初期値:	1	1	0	0	0	*	*	*
R/W :						R	R	R

モードセレクト2~0

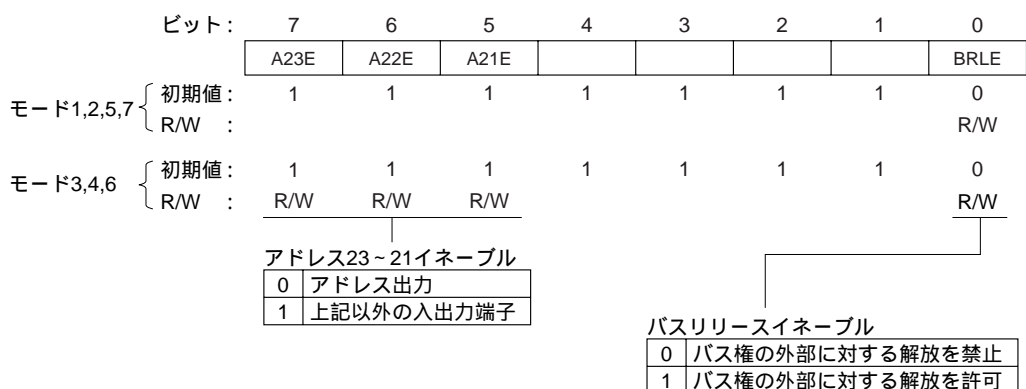
ビット2	ビット1	ビット0	動作モード
MD2	MD1	MD0	
0	0	0	
		1	モード1
	1	0	モード2
		1	モード3
1	0	0	モード4
		1	モード5
	1	0	モード6
		1	モード7

【注】* モード端子 (MD₂~MD₀) の状態により決定されます。

H'F2 : システムコントロールレジスタ SYSCR : システム制御



H'F3 : バスリリースコントロールレジスタ BRCLR : バスコントローラ



H'F4 : IRQ センスコントロールレジスタ ISCR : 割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5 ~ IRQ0 センスコントロール

0	IRQ5 ~ IRQ0 入力の Low レベルで割込み要求を発生
1	IRQ5 ~ IRQ0 入力の立下がりエッジで割込み要求を発生

H'F5 : IRQ イネーブルレジスタ IER : 割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5 ~ IRQ0 イネーブル

0	IRQ5 ~ IRQ0 割込みを禁止
1	IRQ5 ~ IRQ0 割込みを許可

H'F6 : IRQ ステータスレジスタ ISR : 割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W :			R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ5 ~ IRQ0 フラグ

ビット5~0	セット/クリア条件
IRQ5F ~ IRQ0F	
0	[クリア条件] (1) IRQnF = 1 の状態で IRQnF をリードした後、IRQnF に 0 をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQn}}$ 入力が High レベルの状態 割込み例外処理を実行したとき (3) IRQnSC = 1 の状態で IRQn 割込み例外処理 を実行したとき
1	[セット条件] (1) IRQnSC = 0 の状態で $\overline{\text{IRQn}}$ 入力が Low レベルに なったとき (2) IRQnSC = 1 の状態で $\overline{\text{IRQn}}$ 入りに立下がりエッジ が発生したとき

(n = 5 ~ 0)

【注】* フラグをクリアするための0ライトのみ可能です。

H'F8 : インタラプトプライオリティレジスタ A IPRA : 割り込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルA7 ~ A0

0	プライオリティレベル0 (非優先)
1	プライオリティレベル1 (優先)

割り込み要因と各ビットの対応

IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
	割り込み要因	IRQ0	IRQ1	IRQ2、 IRQ3	IRQ4、 IRQ5	WDT、 リフレッシュ コントローラ	ITU チャンネル0	ITU チャンネル1	ITU チャンネル2

H'F9 : インタラプトプライオリティレジスタ B IPRB : 割り込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1	
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルB7 ~ B5、B3 ~ B1

0	プライオリティレベル0 (非優先)
1	プライオリティレベル1 (優先)

割り込み要因と各ビットの対応

IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1	
	割り込み要因	ITU チャンネル3	ITU チャンネル4	DMAC		SCI チャンネル0	SCI チャンネル1	A/D 変換器	

C.2 ポート2ブロック図

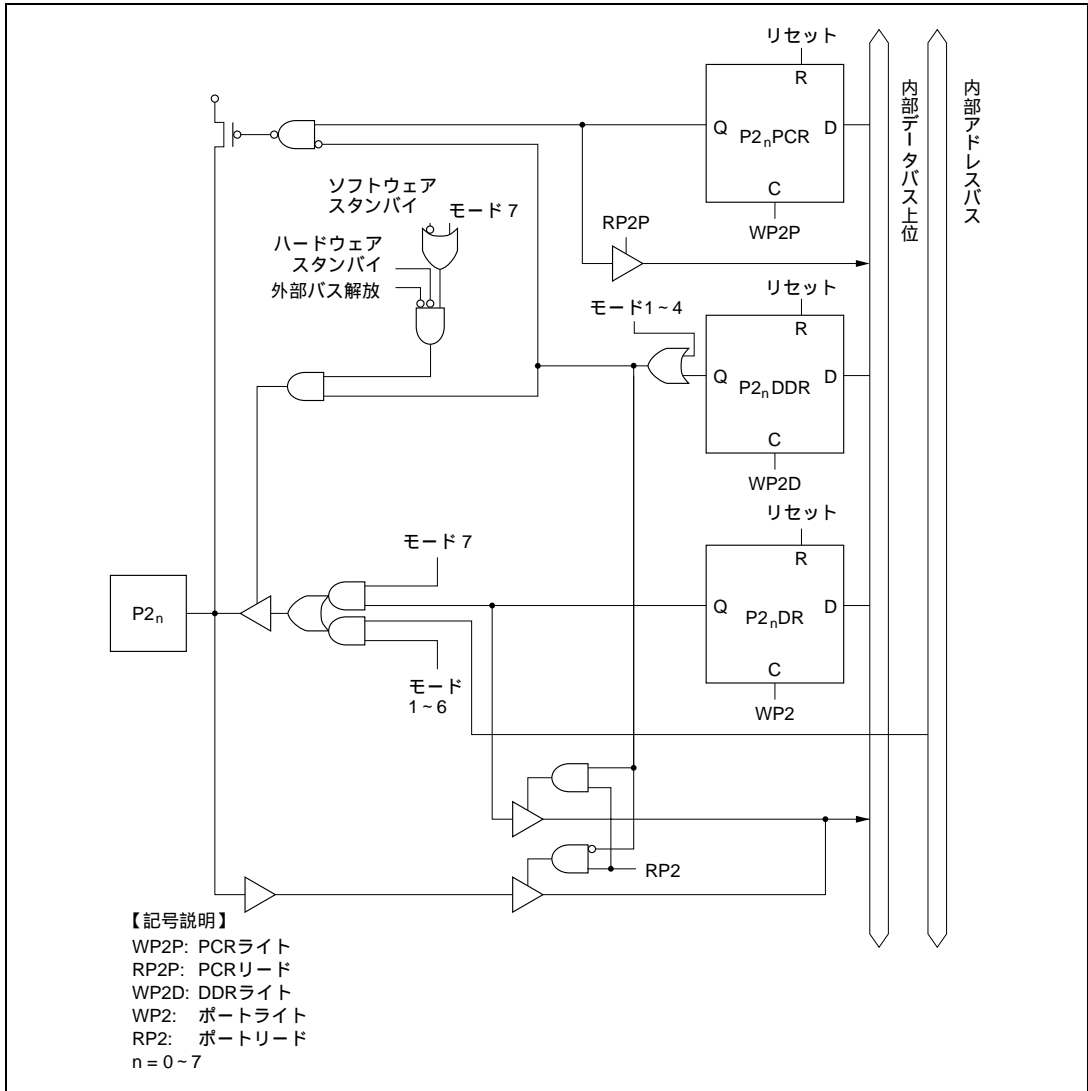


図 C.2 ポート 2 ブロック図

C.3 ポート3ブロック図

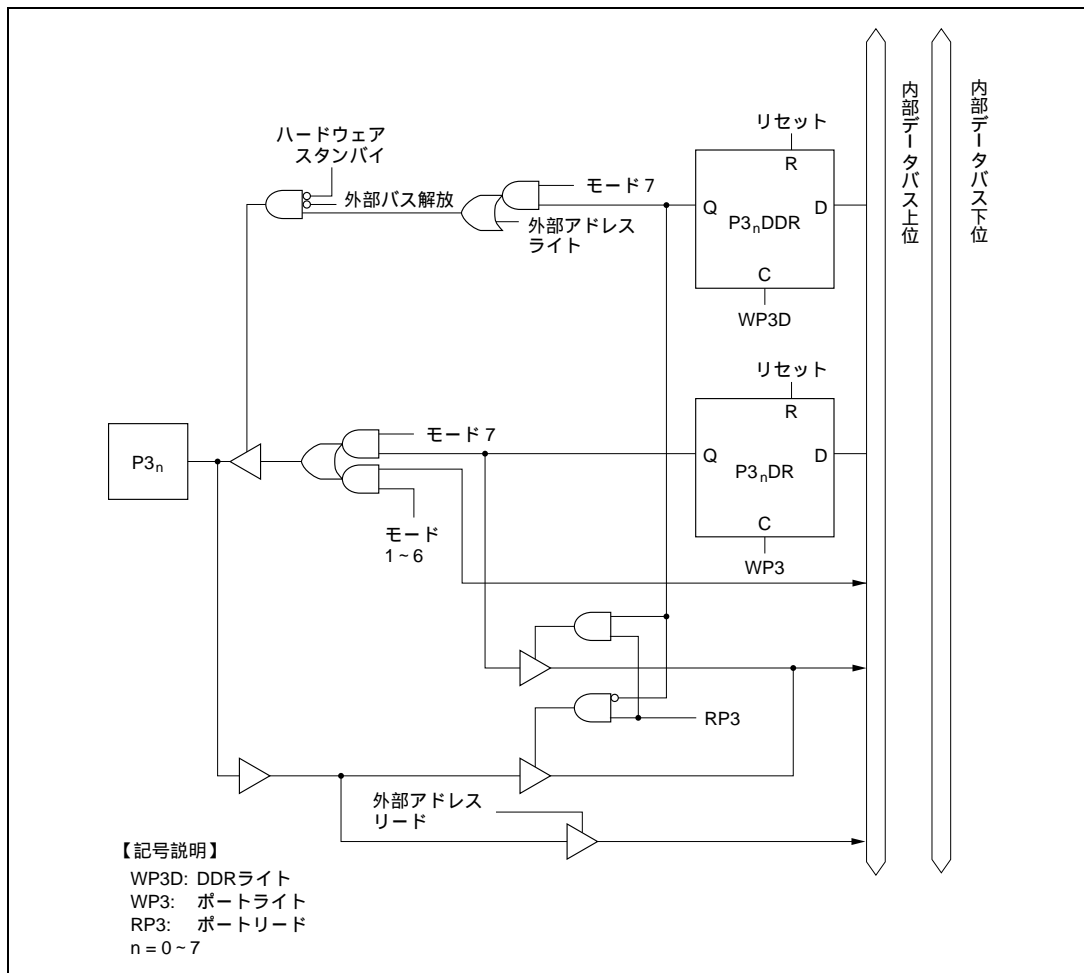


図 C.3 ポート3ブロック図

C.4 ポート4ブロック図

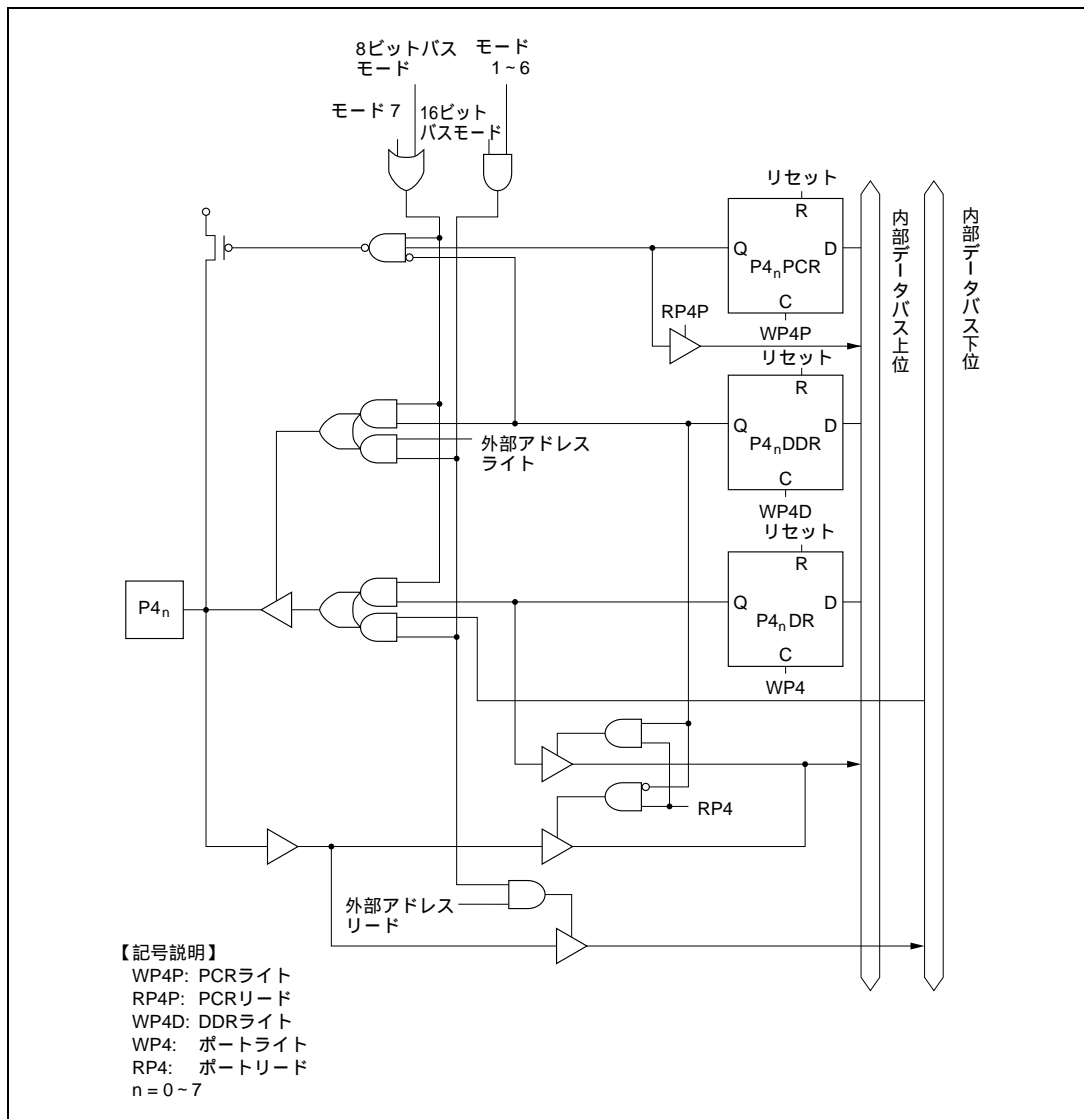


図 C.4 ポート4ブロック図

C.5 ポート5ブロック図

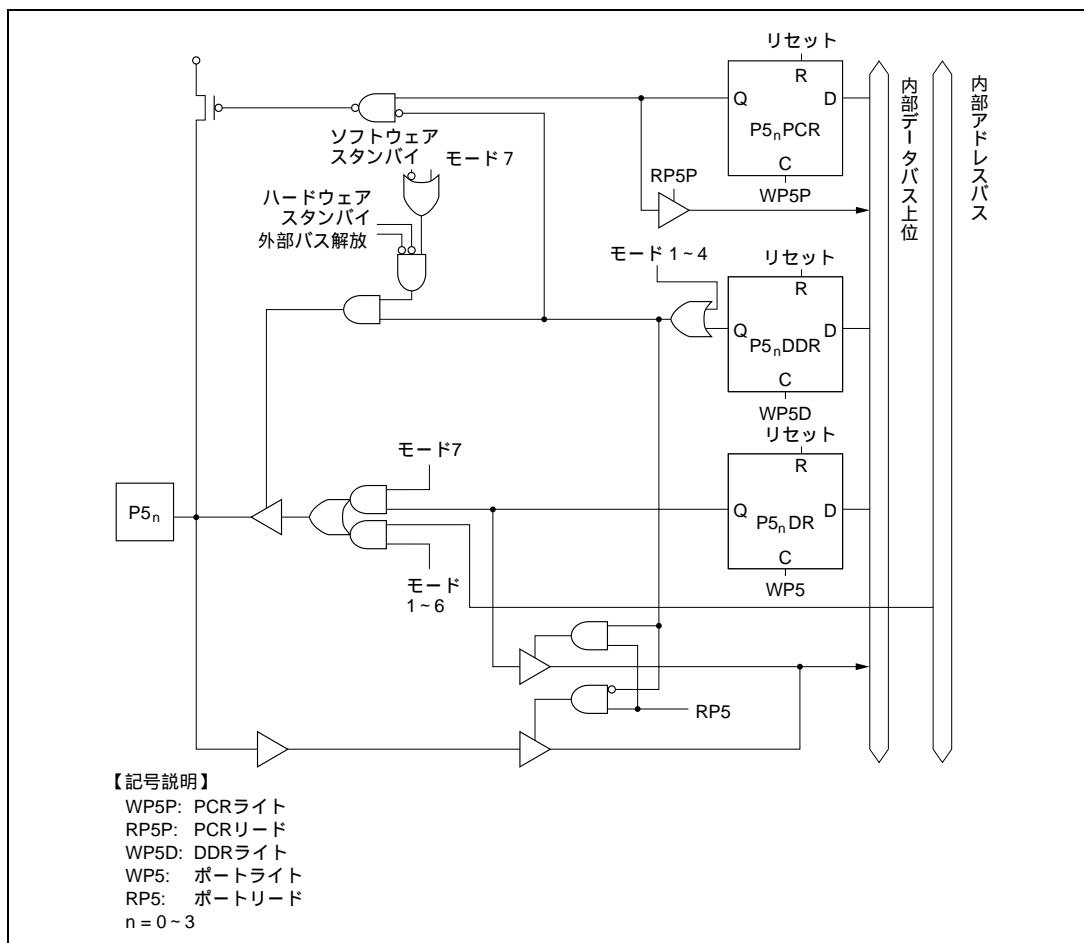


図 C.5 ポート5ブロック図

C.6 ポート6ブロック図

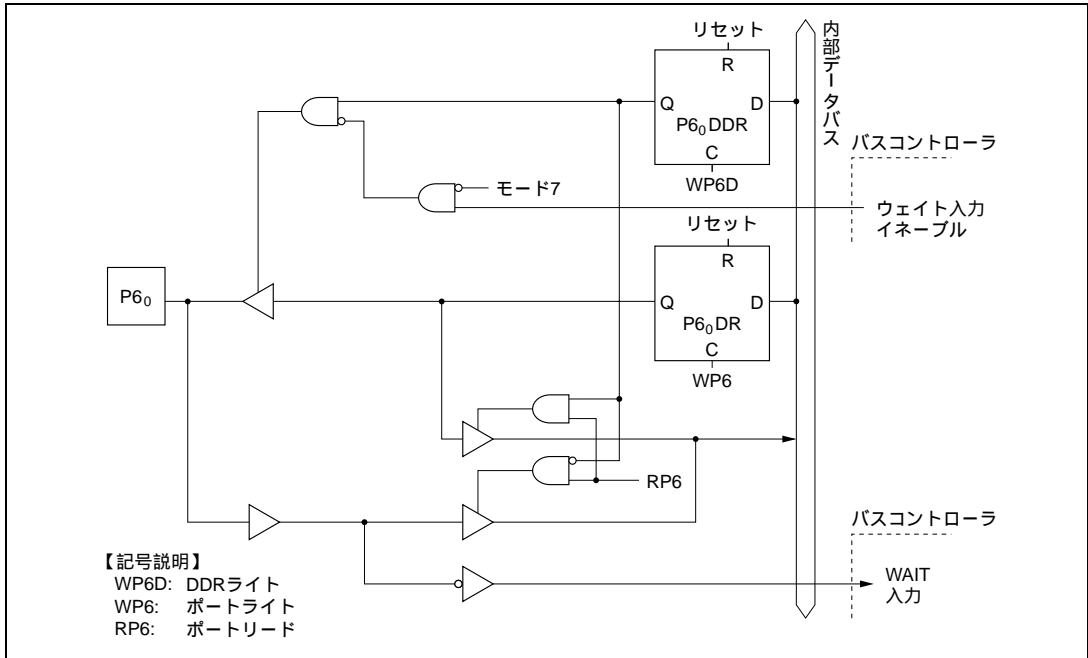


図 C.6 (a) ポート6ブロック図 (P6₀端子)

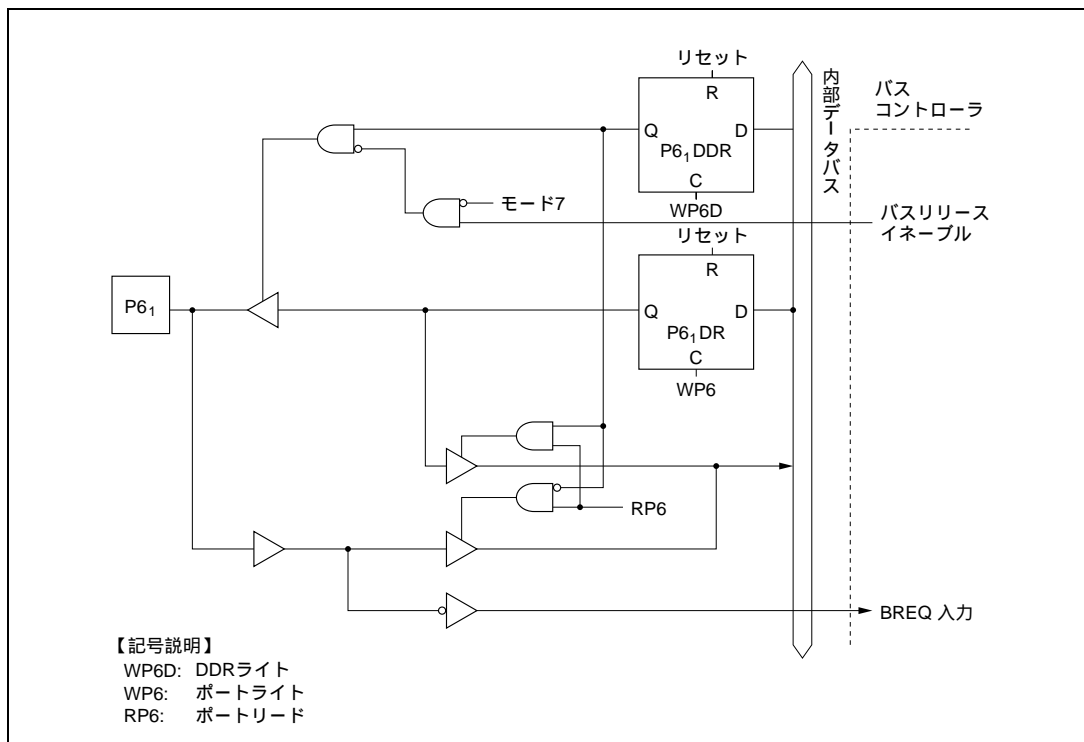


図 C.6 (b) ポート 6 ブロック図 (P6₁端子)

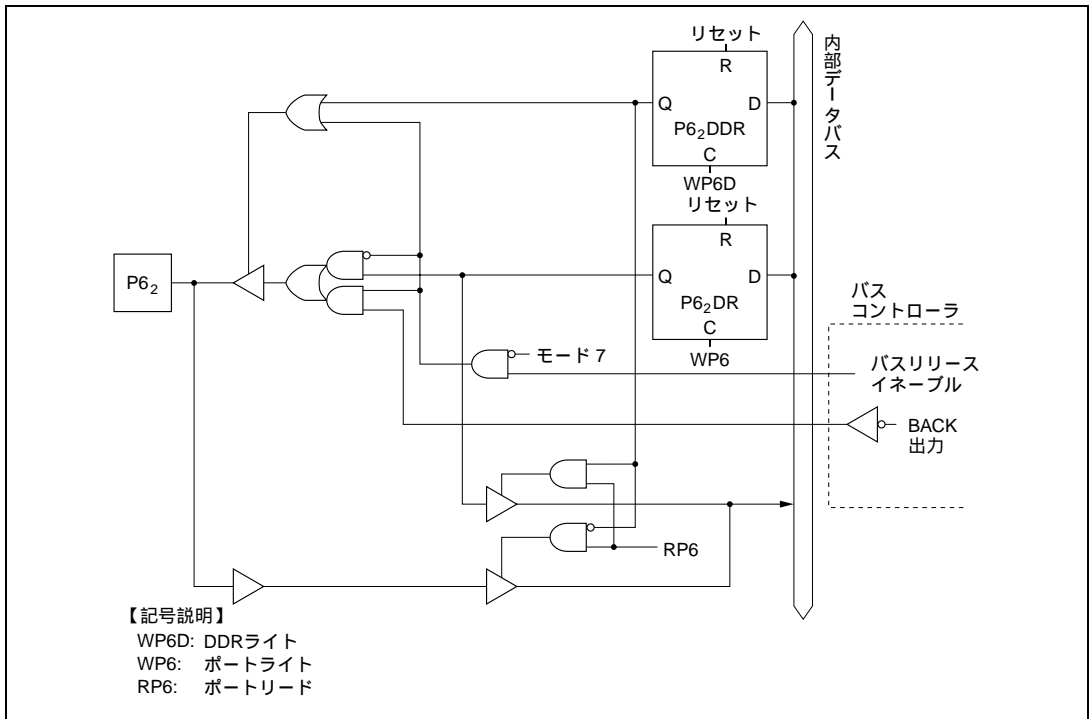
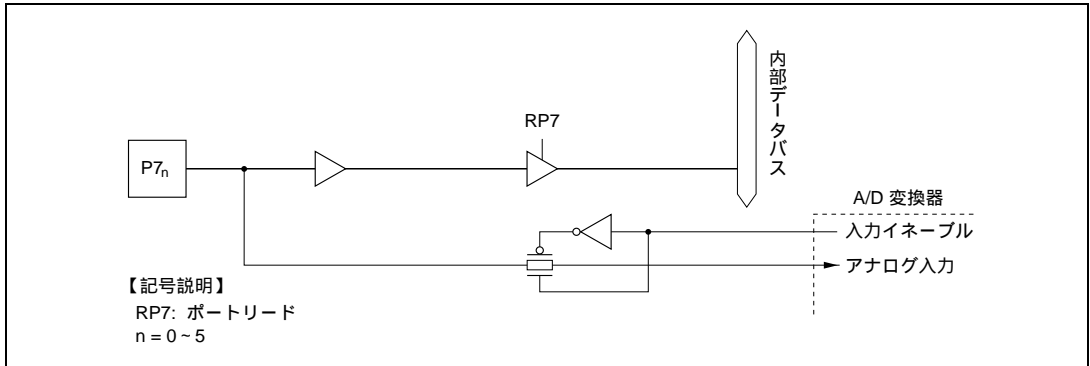
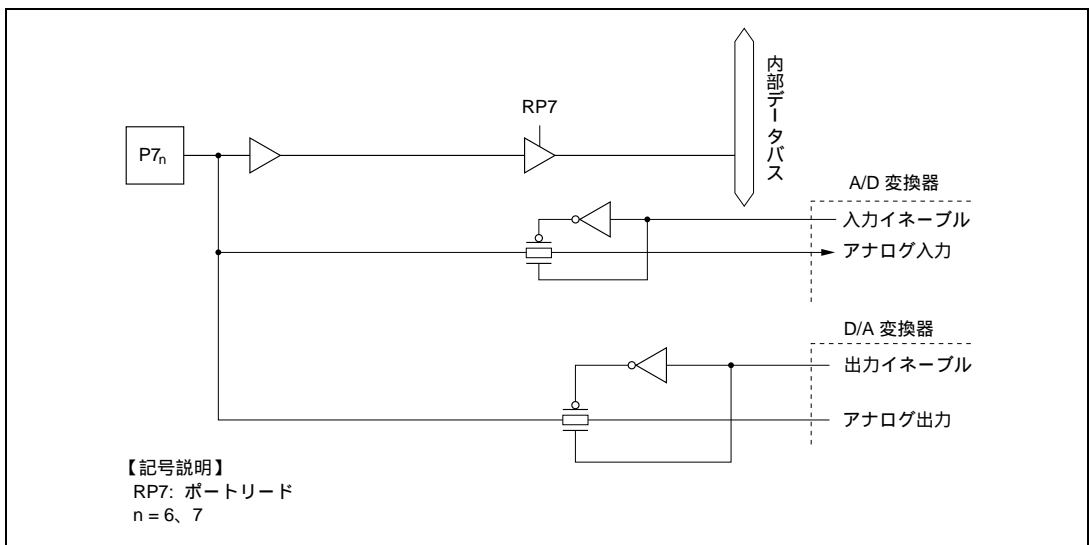


図 C.6 (c) ポート 6 ブロック図 (P6₂端子)

C.7 ポート7ブロック図



C.7 (a) ポート7ブロック図 (P7₀ ~ P7₅端子)



C.7 (b) ポート7ブロック図 (P7₆ ~ P7₇端子)

C.8 ポート 8 ブロック図

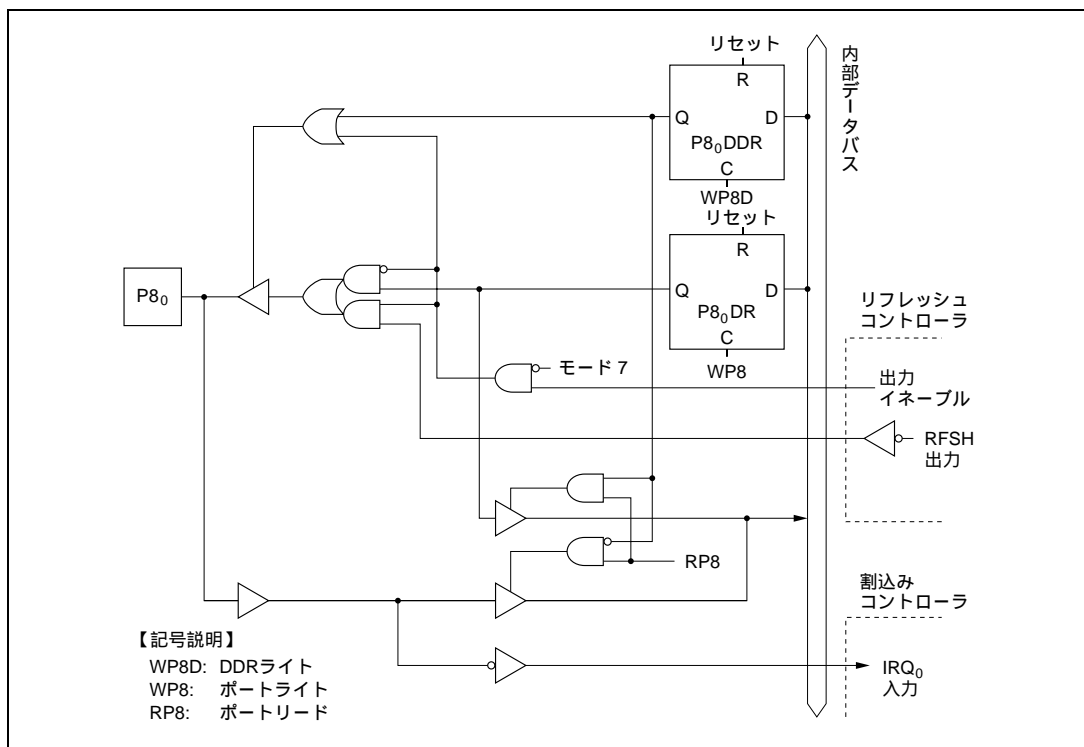


図 C.8 (a) ポート 8 ブロック図 (P8₀端子)

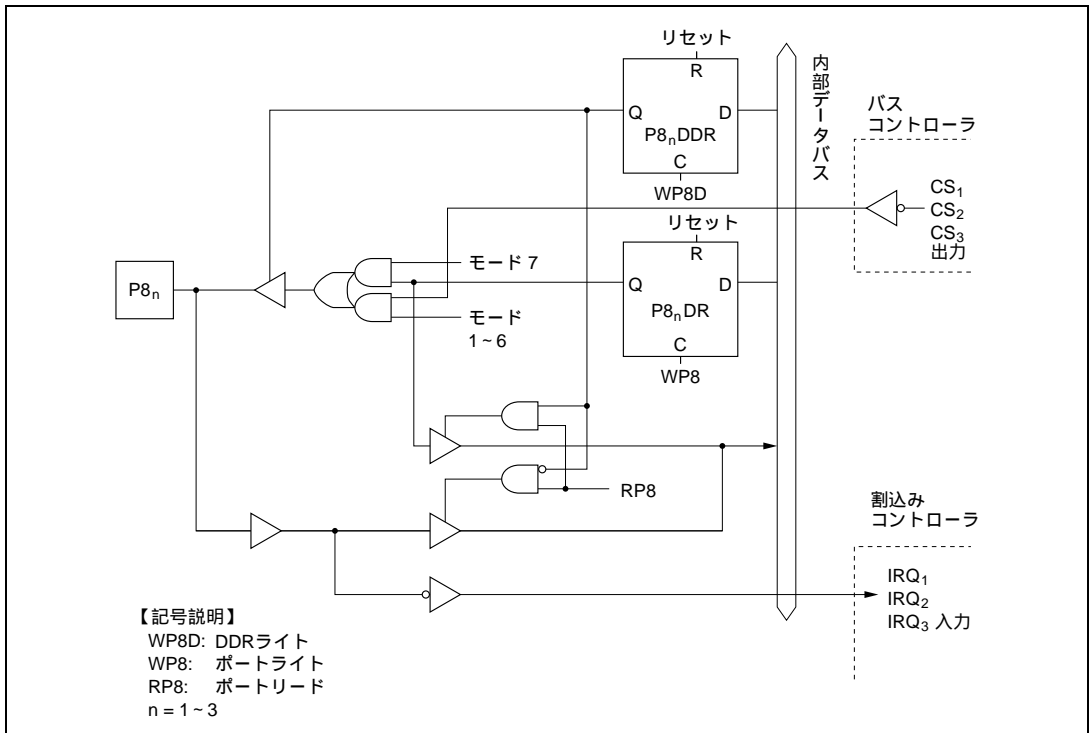


図 C.8 (b) ポート 8 ブロック図 (P8₁、P8₂、P8₃端子)

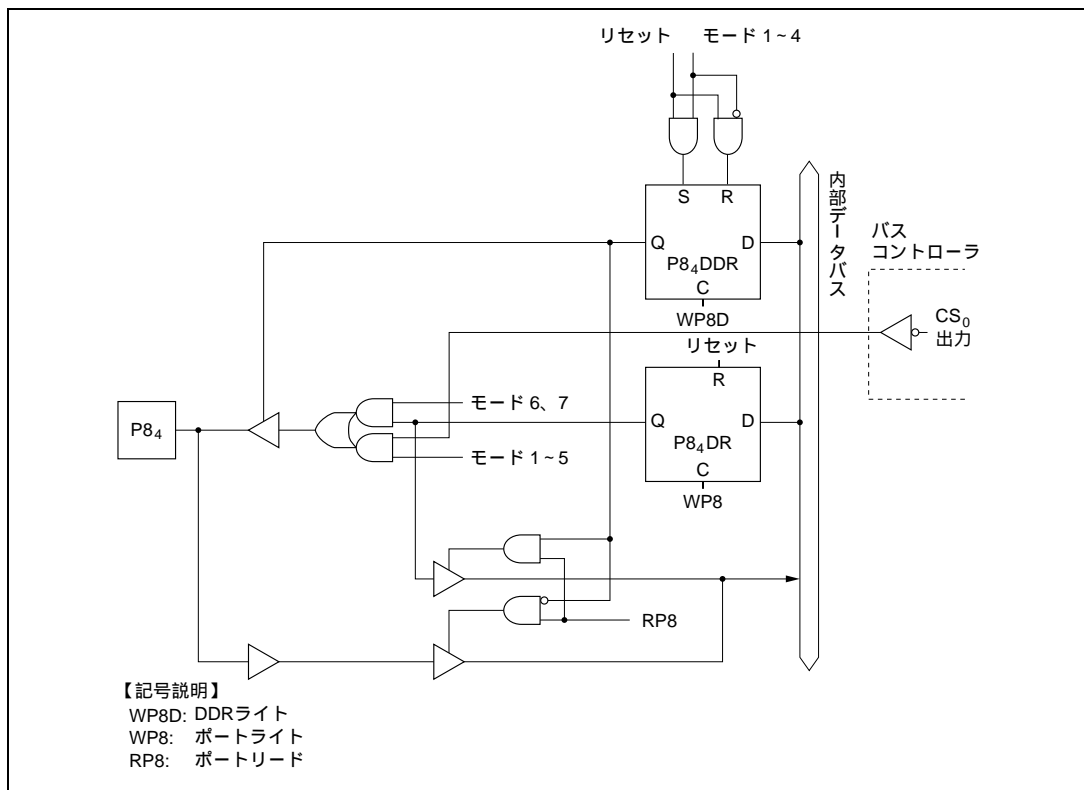


図 C.8 (c) ポート 8 ブロック図 (P8₄端子)

C.9 ポート9ブロック図

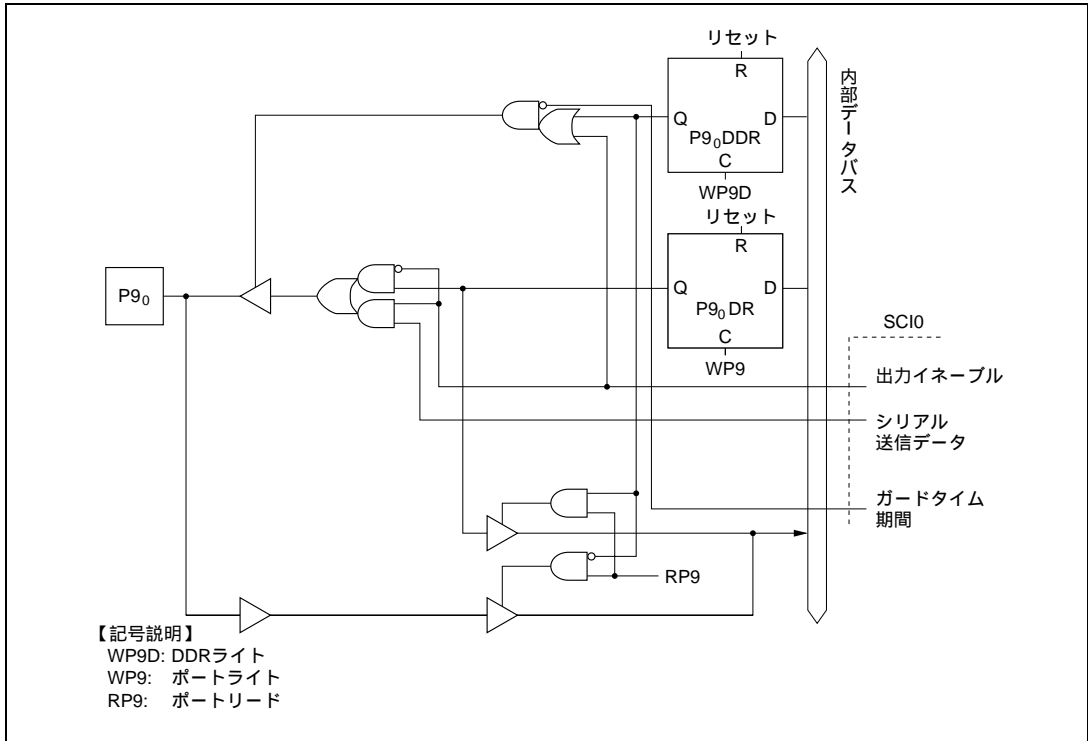


図 C.9 (a) ポート9ブロック図 (P9₀端子)

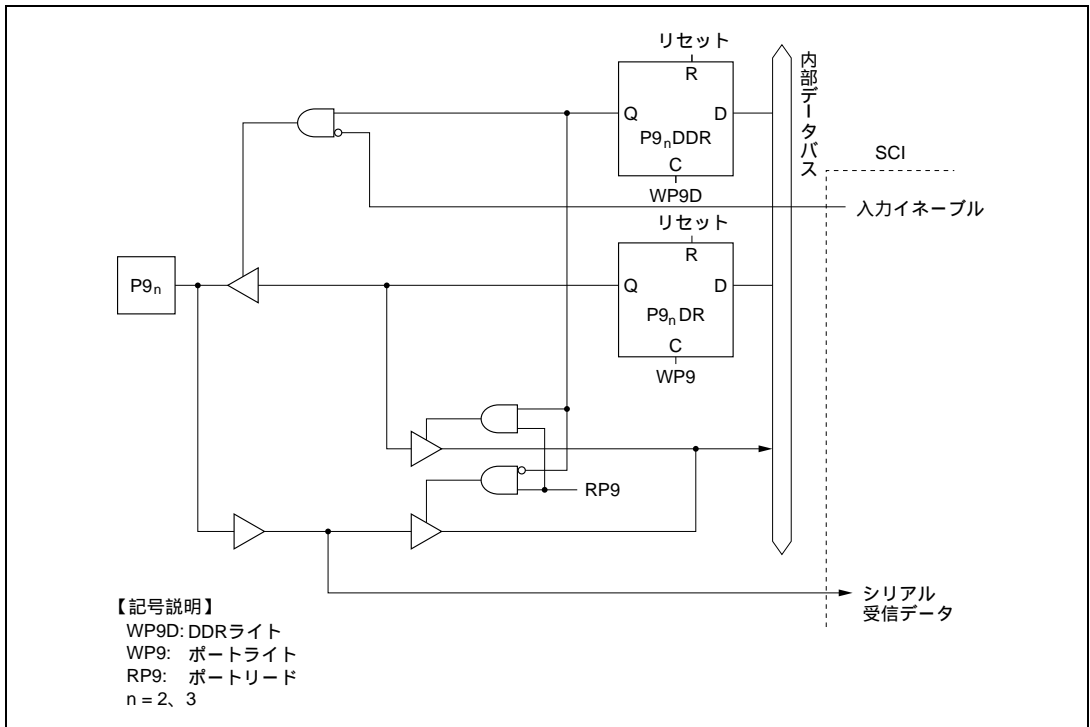


図 C.9 (c) ポート 9 ブロック図 (P9₂、P9₃ 端子)

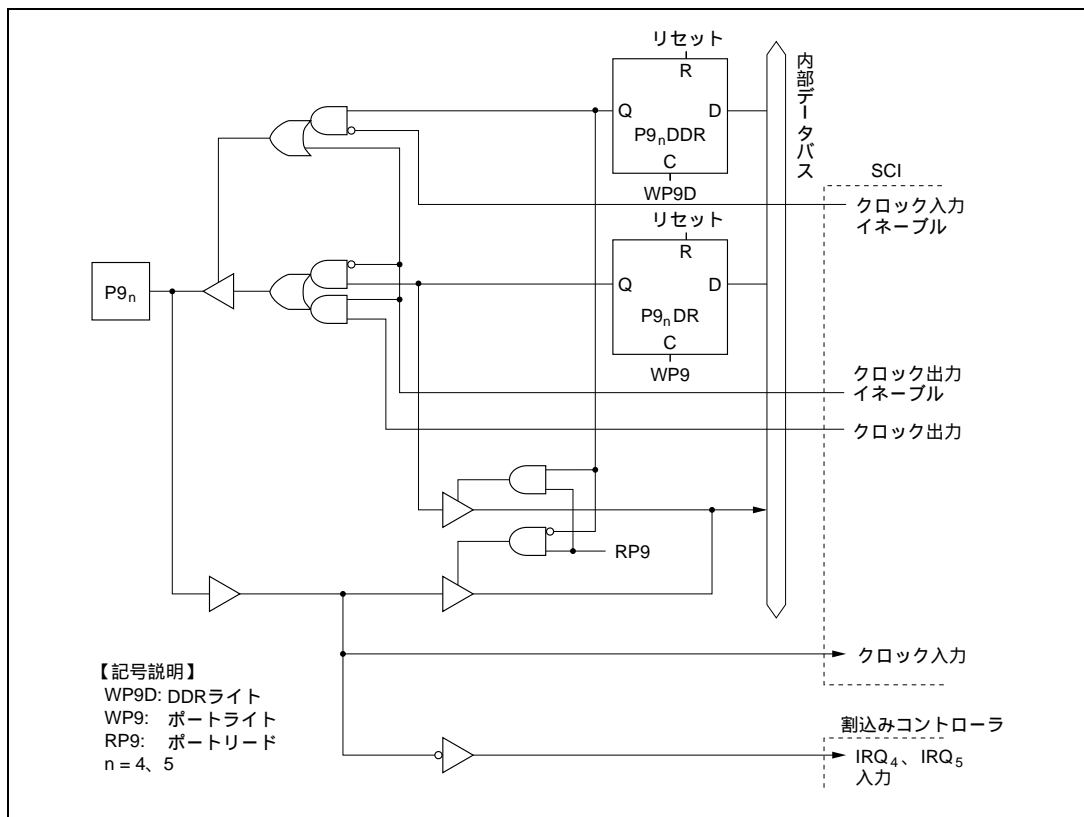


図 C.9 (d) ポート9 ブロック図 (P9₄、P9₅端子)

C.10 ポート A ブロック図

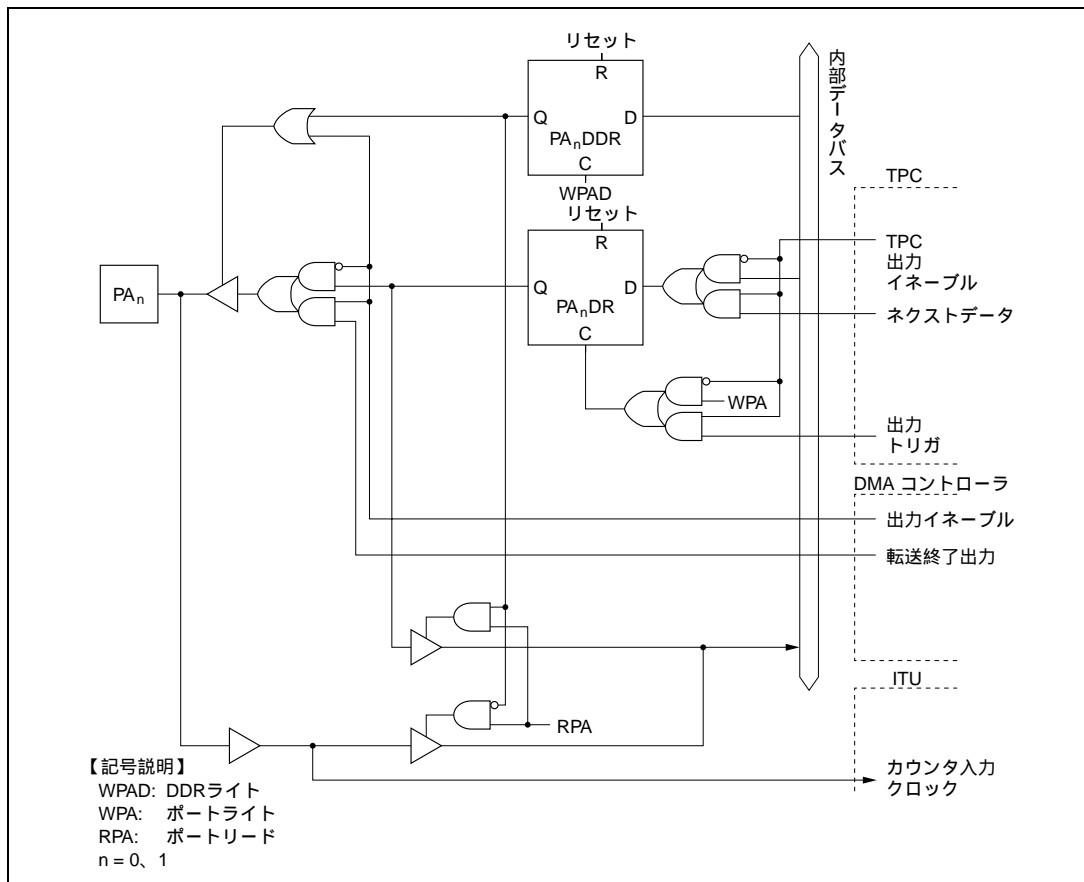


図 C.10 (a) ポート A ブロック図 (PA₀、PA₁ 端子)

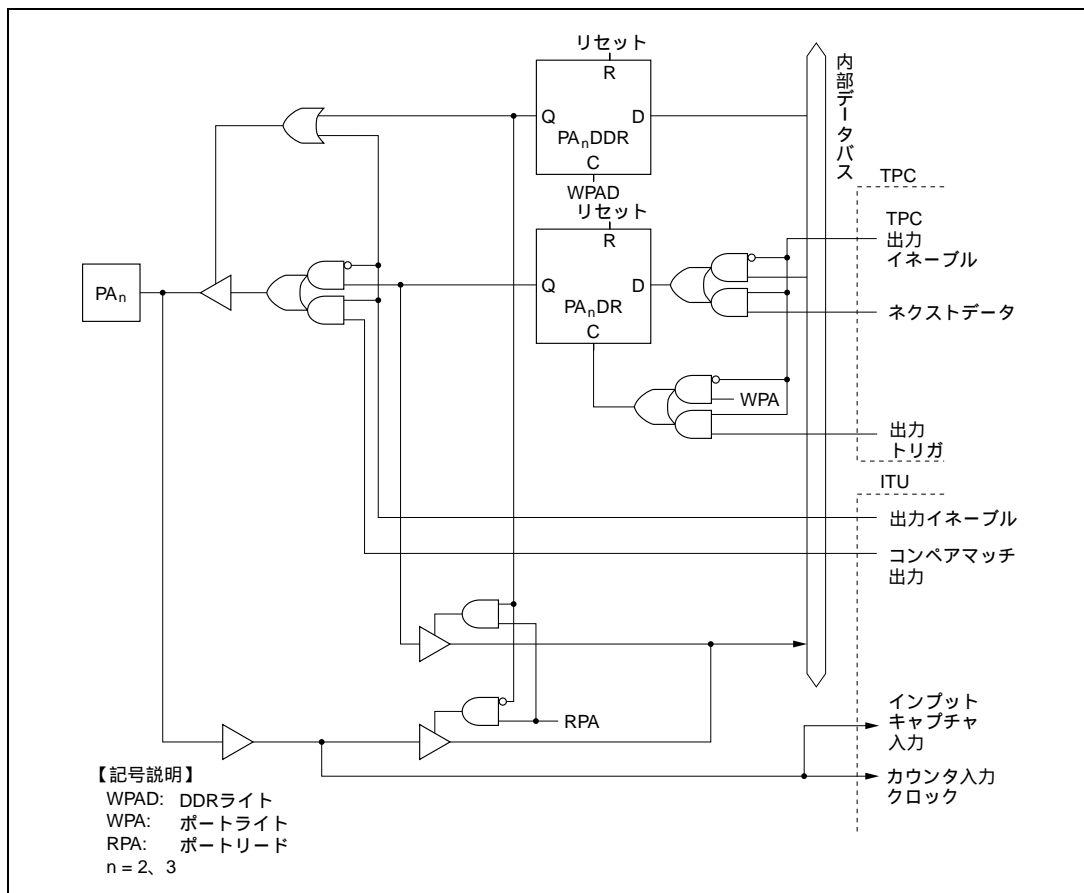


図 C.10 (b) ポート A ブロック図 (PA₂、PA₃端子)

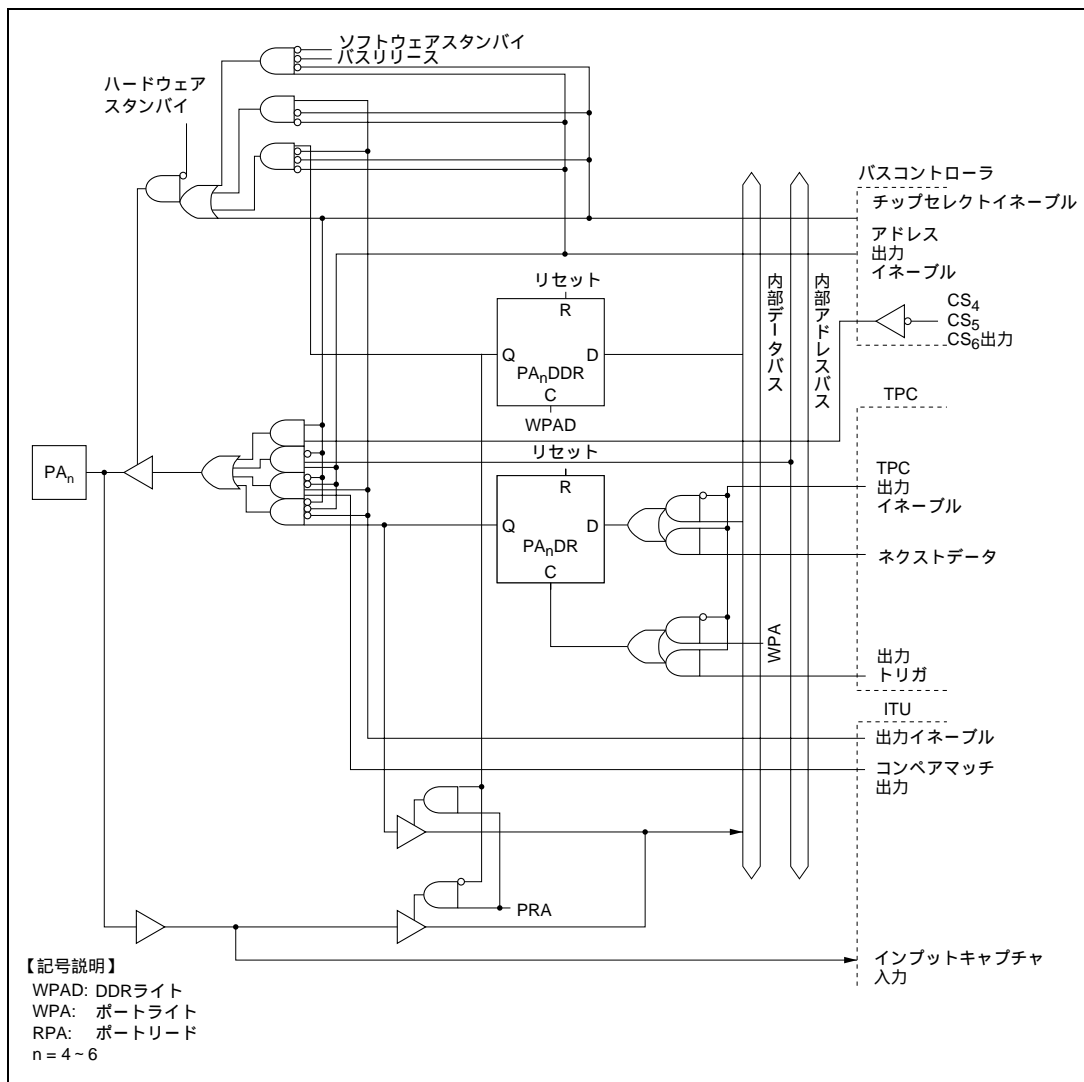


図 C.10 (c) ポート A ブロック図 (PA₄ ~ PA₆ 端子)

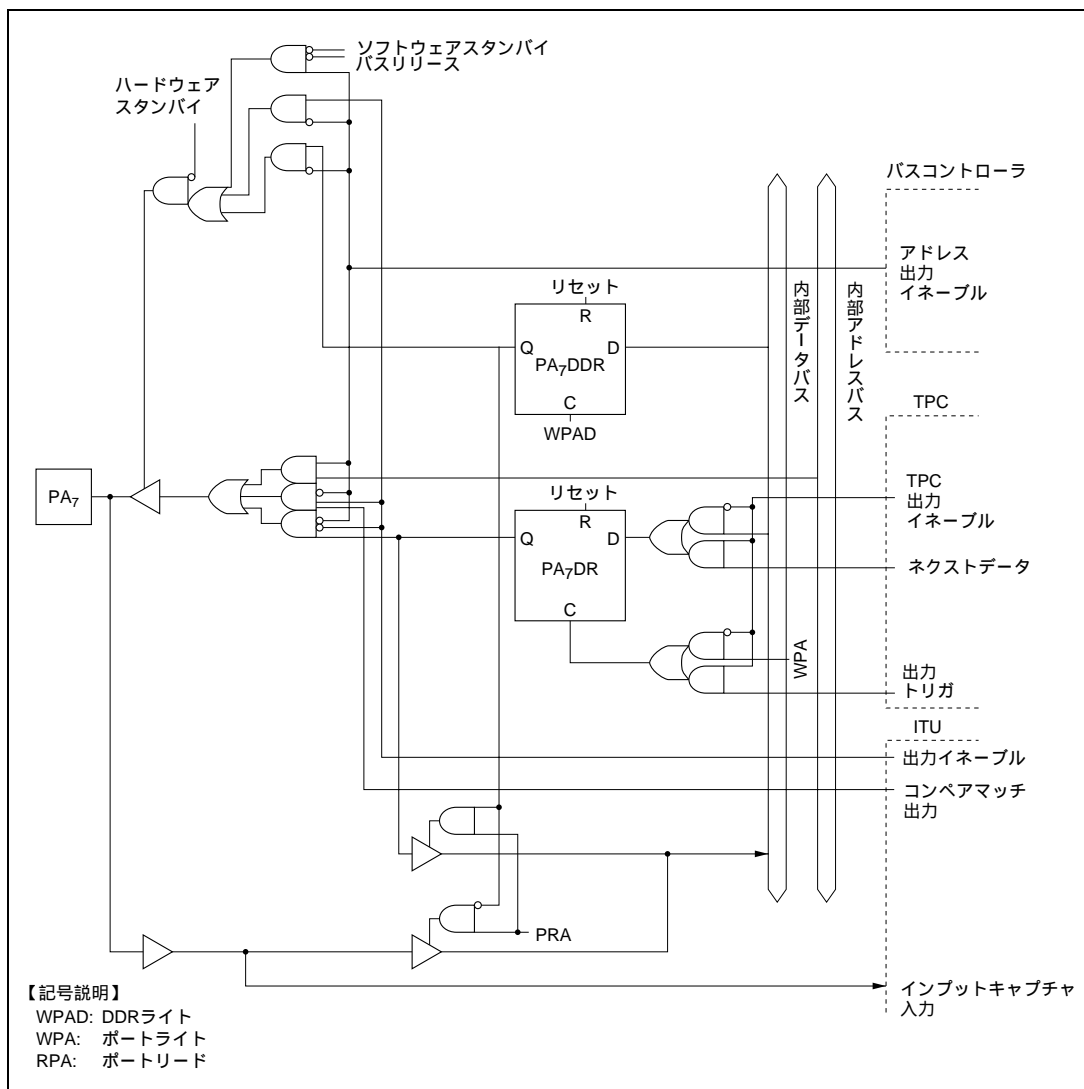


図 C.10 (d) ポート A ブロック図 (PA₇端子)

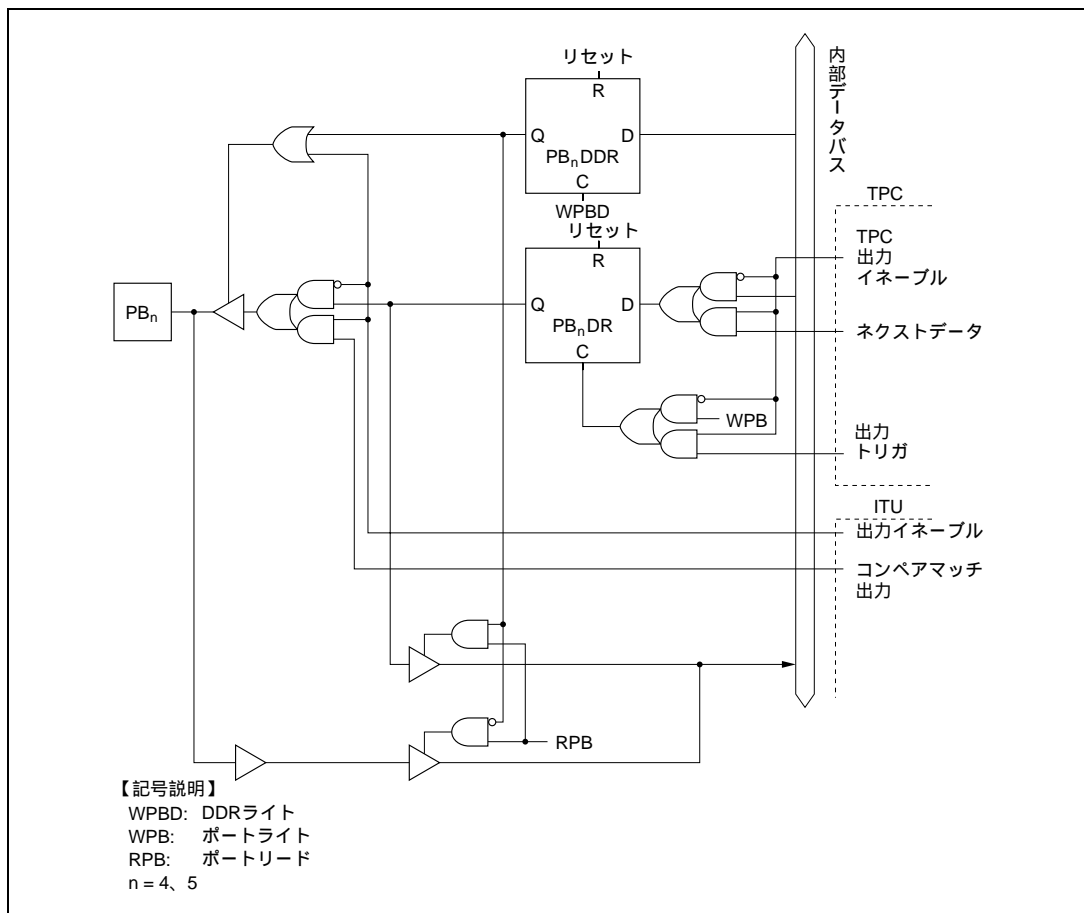


図 C.11 (b) ポート B ブロック図 (PB₄、PB₅ 端子)

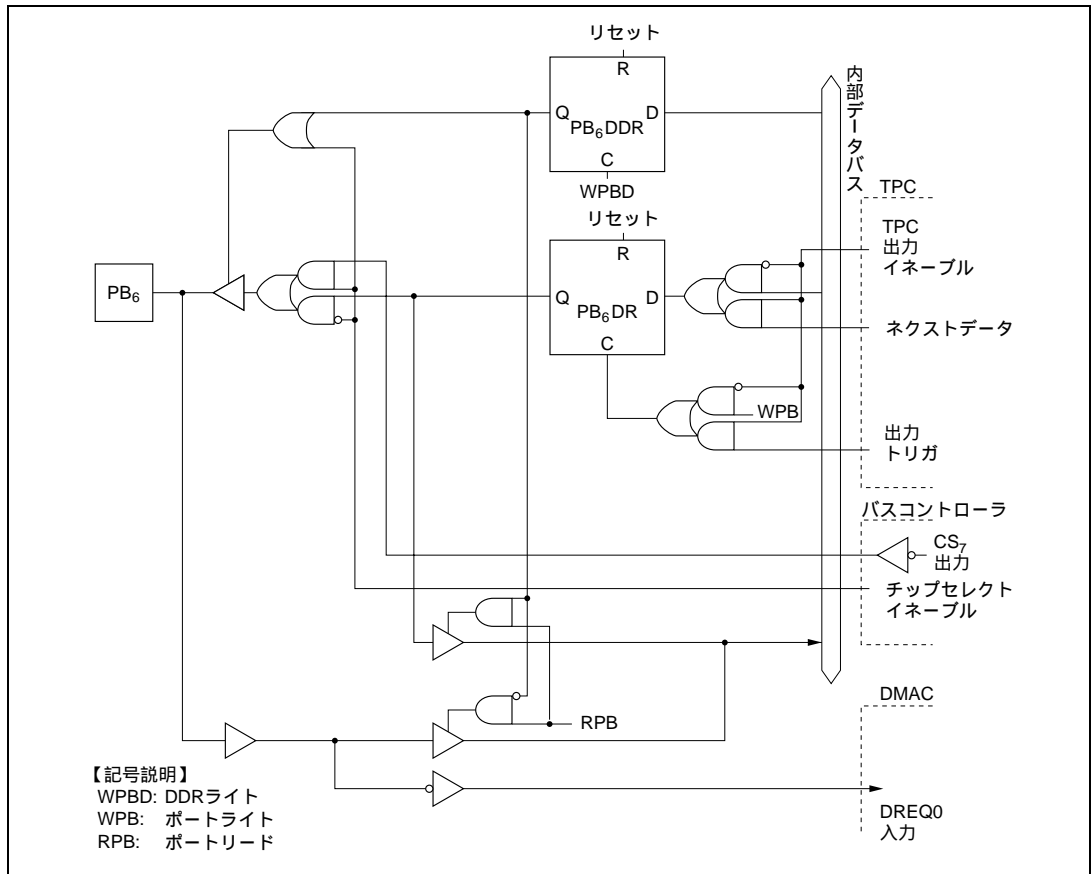


図 C.11 (c) ポート B ブロック図 (PB₆ 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権解放状態	プログラム 実行状態 スリープモード
	-	クロック 出力	T	H	クロック出力	クロック出力
P1 ₇ ~P1 ₀	1~4	L	T	T	T	A ₇ ~A ₀
	5、6	T	T	keep	T	[DDR=0] 入力ポート
				T	T	[DDR=1] A ₇ ~A ₀
7	T	T	keep	-	入出力ポート	
P2 ₇ ~P2 ₀	1~4	L	T	T	T	A ₁₅ ~A ₈
	5、6	T	T	keep	T	[DDR=0] 入力ポート
				T	T	[DDR=1] A ₁₅ ~A ₈
7	T	T	keep	-	入出力ポート	
P3 ₇ ~P3 ₀	1~6	T	T	T	T	D ₁₅ ~D ₈
	7	T	T	keep	-	入出力ポート
P4 ₇ ~P4 ₀	1~6	T	T	keep	keep	入出力ポート
				8ビット バス	T	T
	16ビット バス	T	T	T	T	D ₇ ~D ₀
	7	T	T	keep	-	入出力ポート
P5 ₃ ~P5 ₀	1~4	L	T	T	T	A ₁₉ ~A ₁₆
	5、6	T	T	keep	T	[DDR=0] 入力ポート
				T	T	[DDR=1] A ₁₉ ~A ₁₆
7	T	T	keep	-	入出力ポート	
P6 ₀	1~6	T	T	keep	keep	入出力ポート WAIT
	7	T	T	keep	-	入出力ポート
P6 ₁	1~6	T	T	[BRLE=0] keep	T	入出力ポート BREQ
				[BRLE=1] T		
	7	T	T	keep	-	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権解放状態	プログラム 実行状態 スリープモード
P6 ₂	1~6	T	T	[BRLE=0] keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] BACK
	7	T	T	keep	-	入出力ポート
P6 ₆ ~P6 ₃	1~6	H* ²	T	T	T	AS、RD、HWR、 LWR
	7	T	T	keep	-	入出力ポート
P7 ₇ ~P7 ₀	1~7	T	T	T	T* ¹	入力ポート
P8 ₀	1~6	T	T	[RFSHE=0] keep [RFSHE=1] RFSH	[RFSHE=0] keep [RFSHE=1] H	[RFSHE=0] 入出力ポート [RFSHE=1] RFSH
	7	T	T	keep	-	入出力ポート
P8 ₃ ~P8 ₁	1~6	T	T	[DDR=0] T [DDR=1] H	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] CS ₃ ~ CS ₁
	7	T	T	keep	-	入出力ポート
P8 ₄	1~6	L	T	[DDR=0] T [DDR=1] L	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] CS ₀
	7	T	T	keep	-	入出力ポート
P9 ₆ ~P9 ₀	1~7	T	T	keep	keep* ¹	入出力ポート
PA ₃ ~PA ₀	1~7	T	T	keep	keep* ¹	入出力ポート
PA ₆ ~PA ₄	3、4、6	T* ³	T	[CS出力時] H [アドレス出力時] T [上記以外] keep	[CS出力時] H [アドレス出力時] T [上記以外] keep	[CS出力時] CS ₆ ~CS ₄ [アドレス出力時] A ₂₃ ~A ₂₁ [上記以外] 入出力ポート
	1、2、5、7	T* ³	T	keep	keep* ¹	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモード	バス権解放状態	プログラム 実行状態スリープ モード
PA ₇	3、4、6	L* ³	T	T	T	A ₂₀
	1、2、5、7	T* ³	T	keep	keep* ¹	入出力ポート
PB ₇ PB ₅ ~ PB ₀	1~7	T	T	keep	keep* ¹	入出力ポート
PB ₆	3、4、6	T	T	[CS 出力時] H [上記以外] keep	[CS 出力時] H [上記以外] keep	[CS 出力時] CS ₇ [上記以外] 入出力ポート
	1、2、5、7	T	T	keep	keep* ¹	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

【注】

- *1 モード7ではバス解放状態は存在しません。
- *2 電源投入時は、発振安定時間までは、HまたはTとなります。
- *3 電源投入時は、発振安定時間までは、H、L、Tのいずれかになります。

D.2 リセット時の端子状態

(1) T1 ステートでのリセット

外部メモリアクセス中の T1 ステートで、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.1 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。

また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が High レベル、データバスはハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリング（の立下がりでのサンプリング）してから、0.5 ステート後にイニシャライズされアドレスバスは Low レベル出力となります。

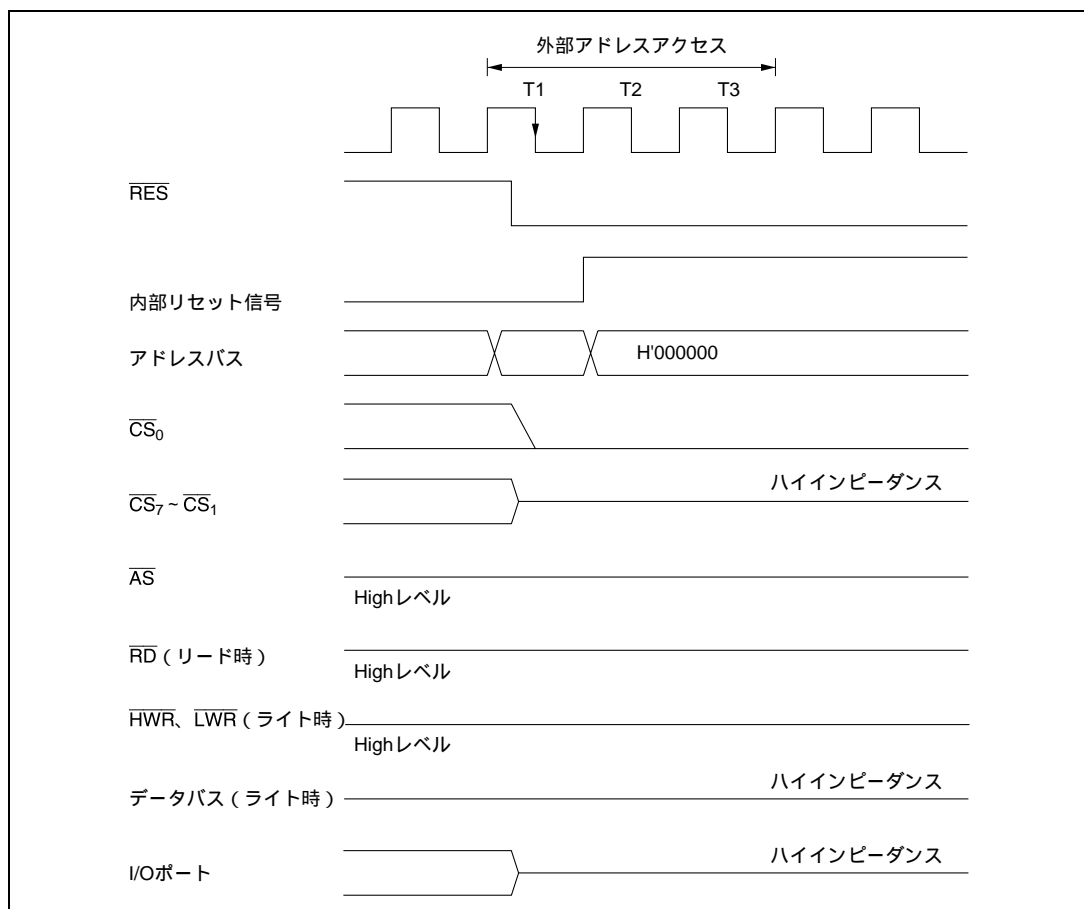


図 D.1 メモリアクセス中のリセット (T1 ステートでのリセット)

(2) T2 ステートでのリセット

外部メモリアクセス中の T2 ステートで、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.2 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。

また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が High レベルになると、データバスはハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリングしてから、0.5 ステート後にイニシャライズされアドレスバスは Low レベルとなります。

T_w サイクルでのリセットについても同様です。

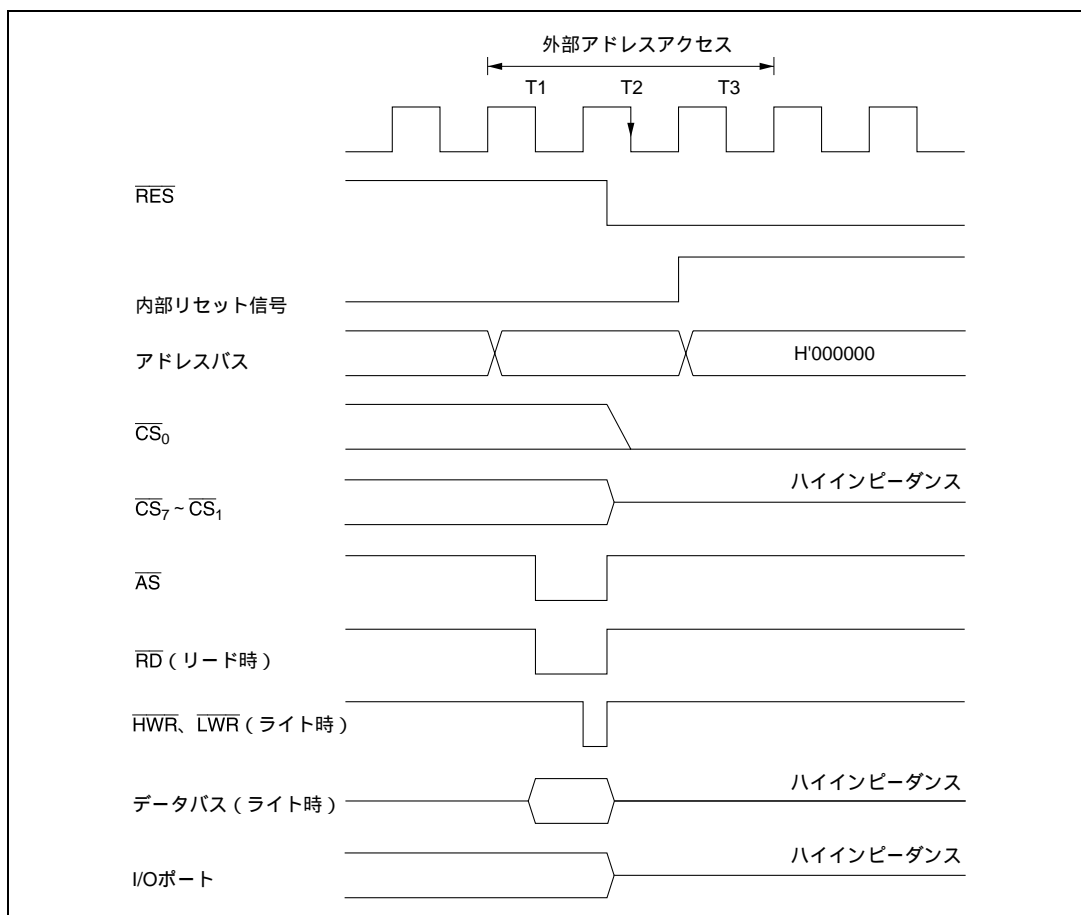


図 D.2 メモリアクセス中のリセット (T2 ステートでのリセット)

(3) T3 ステートでのリセット

外部 3 ステート空間アクセス中の T3 ステートで、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.3 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が High レベル、データバスはハイインピーダンスになります。

アドレスバスは T3 ステート中保持されます。

2 ステートアクセス空間の T2 ステートでのリセットについても同様です。

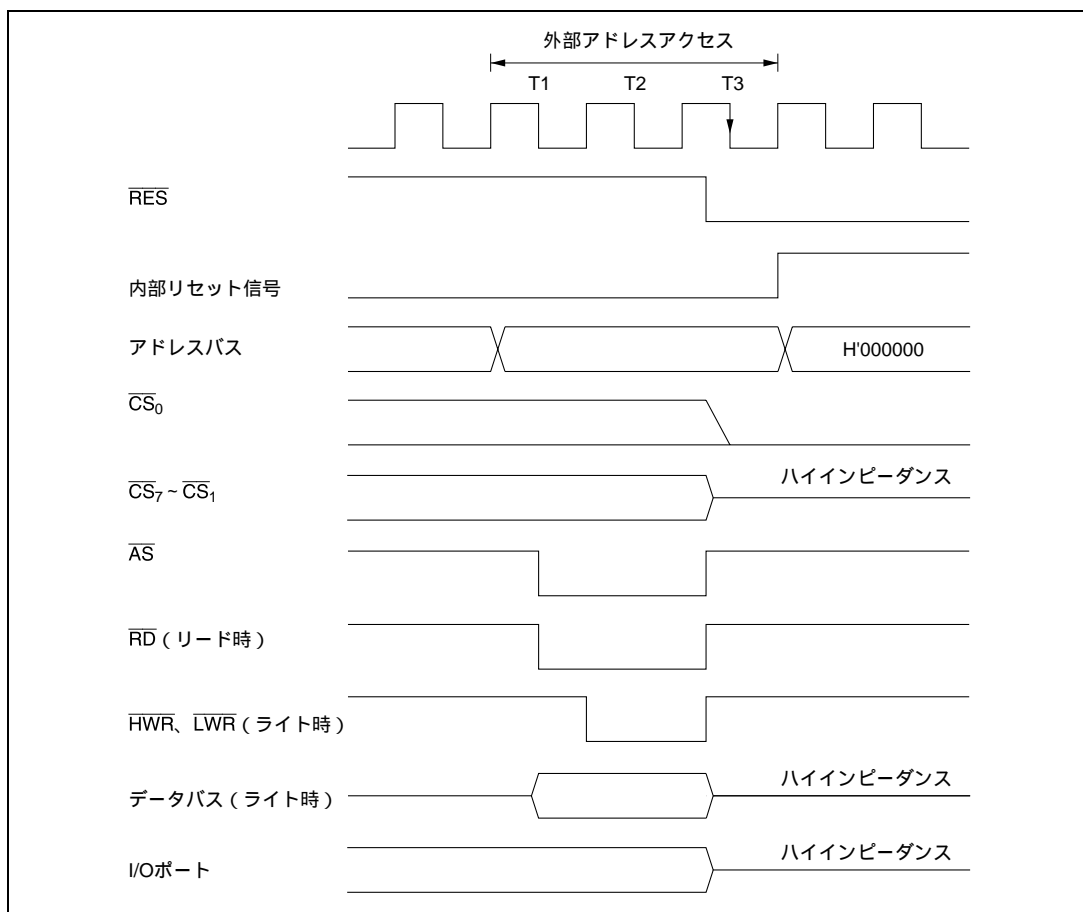


図 D.3 メモリアクセス中のリセット (T3 ステートでのリセット)

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

下記に示すように $\overline{\text{STBY}}$ 信号の立下がりに対し、 10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立上がりは、 $\overline{\text{STBY}}$ 信号の立下がりに対し、 $\text{min } 0\text{ns}$ です。

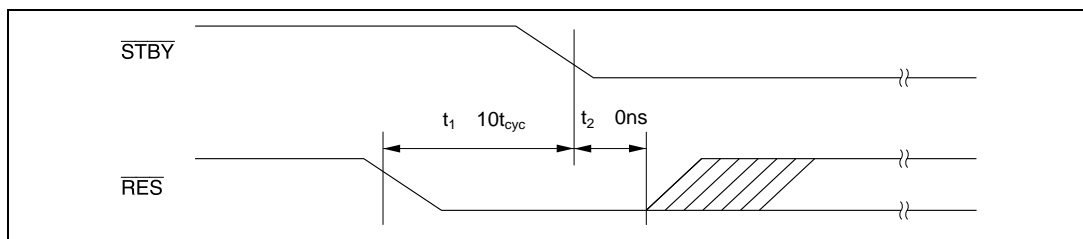


図 E.1 ハードウェアスタンバイモードからの復帰タイミング (1)

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を Low としてください。

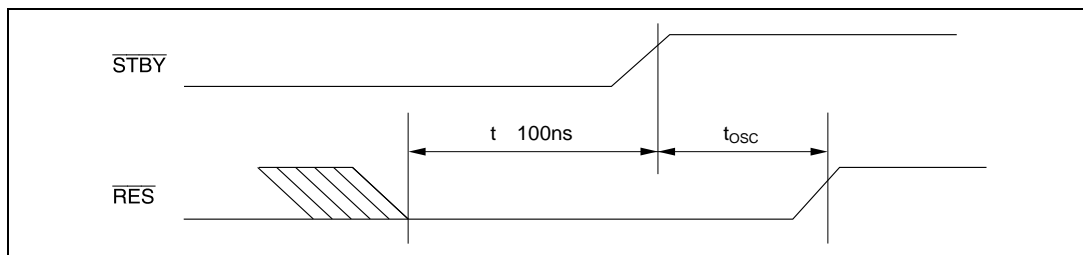


図 E.2 ハードウェアスタンバイモードからの復帰タイミング (2)

F. 型名一覧

表 F.1 H8/3052F-ZTAT 型名一覧

製品分類		製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3052F-ZTAT	5V 版	HD64F3052TE	HD64F3052TE	100 ピン TQFP (TFP-100B)
		HD64F3052F	HD64F3052F	100 ピン QFP (FP-100B)
H8/3052F-ZTAT B マスク品	5V 版	HD64F3052BTE	HD64F3052BTE	100 ピン TQFP (TFP-100B)
		HD64F3052BF	HD64F3052BF	100 ピン QFP (FP-100B)
	3V 版	HD64F3052BVTE	HD64F3052BVTE	100 ピン TQFP (TFP-100B)
		HD64F3052BVF	HD64F3052BVF	100 ピン QFP (FP-100B)

G. 外形寸法図

本 LSI の外形寸法図 FP-100B を図 G.1、TFP-100B を図 G.2 に示します。

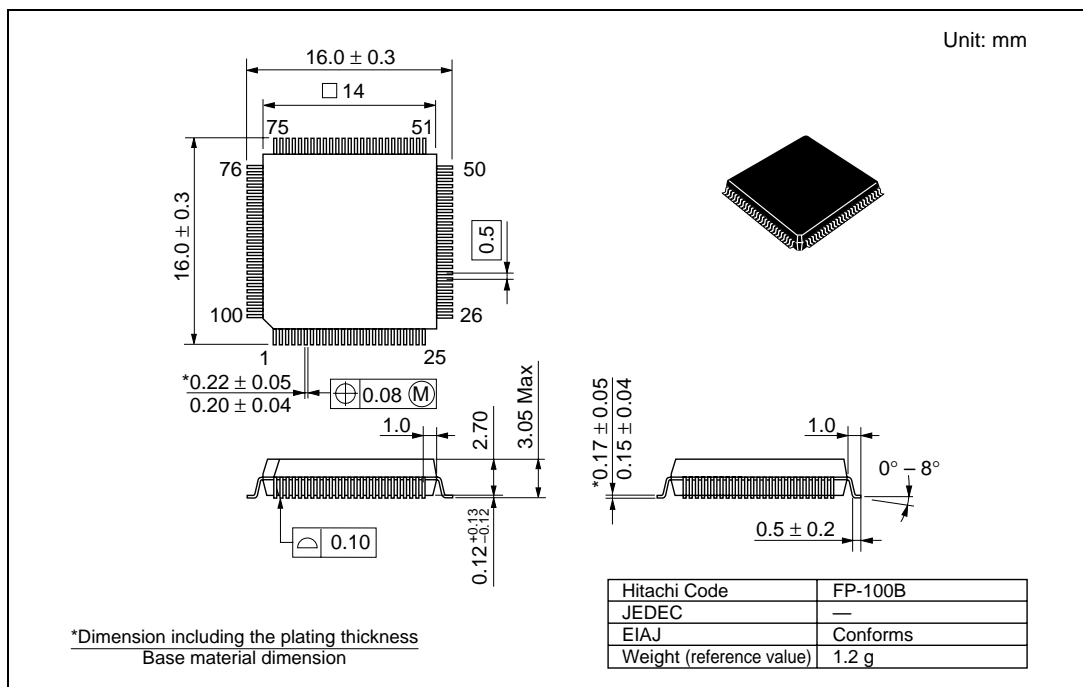


図 G.1 外形寸法図 (FP-100B)

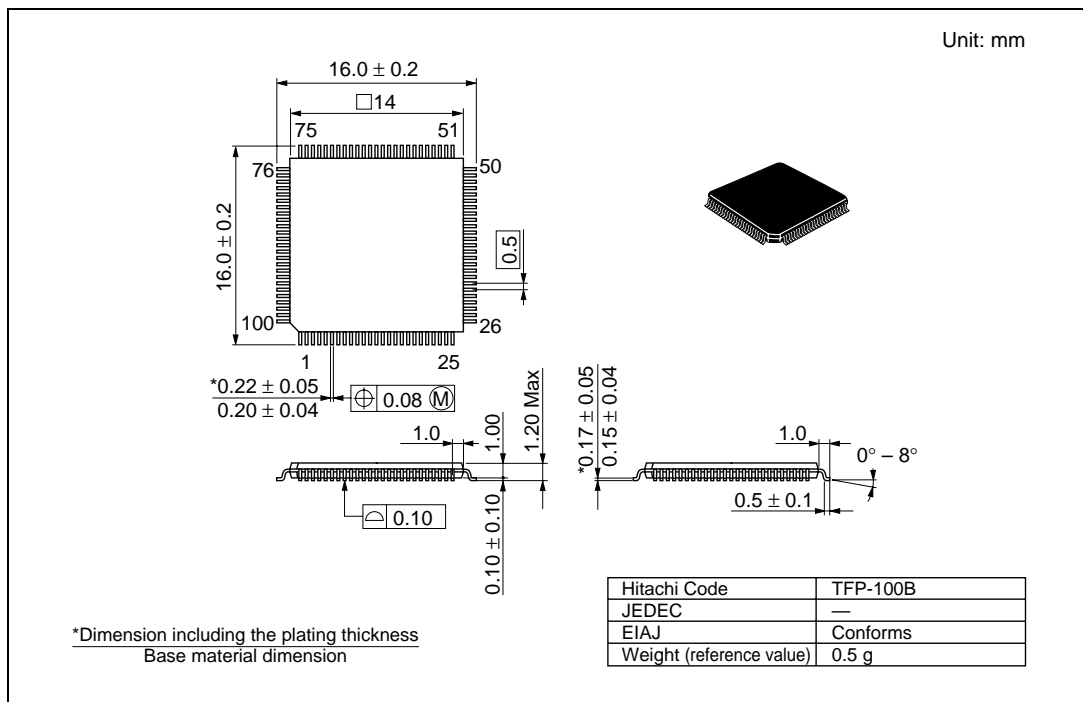


図 G.2 外形寸法図 (TFP-100B)

H. H8/3052F-ZTAT と H8/3048F-ZTAT との相違点

項目	H8/3048F-ZTAT	H8/3052F-ZTAT																																
端子仕様	1ピン V_{CC}	5V 動作品 1ピン V_{CL} 外付け容量 0.1 μF を付けて V_{SS} に接続																																
	10ピン V_{PP}/\overline{RESO}	3V 動作品 1ピン V_{CC} 電源電圧に接続																																
ROM / RAM	FLASH メモリ 128k バイト 2 電源方式 RAM4k バイト	FLASH メモリ 512k バイト 単一電源方式 RAM8k バイト																																
書き込み消去電圧	12V 印加	V_{CC} 単一電源																																
V_{PP} 端子機能	RESO 端子とマルチプレクス	FWE 機能のみ (RESO 機能削除)																																
ブートモード設定方法	RESO = 12V <table border="1"> <thead> <tr> <th></th> <th>MD2</th> <th>MD1</th> <th>MD0</th> </tr> </thead> <tbody> <tr> <td>モード5</td> <td>12V</td> <td>0</td> <td>1</td> </tr> <tr> <td>モード6</td> <td>12V</td> <td>1</td> <td>0</td> </tr> <tr> <td>モード7</td> <td>12V</td> <td>1</td> <td>1</td> </tr> </tbody> </table> リセット解除		MD2	MD1	MD0	モード5	12V	0	1	モード6	12V	1	0	モード7	12V	1	1	FWE = 1 <table border="1"> <thead> <tr> <th></th> <th>MD2</th> <th>MD1</th> <th>MD0</th> </tr> </thead> <tbody> <tr> <td>モード5</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>モード6</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>モード7</td> <td>0</td> <td>1</td> <td>1</td> </tr> </tbody> </table> モード5のときモード1 モード6のときモード2 モード7のときモード3に設定 リセット解除		MD2	MD1	MD0	モード5	0	0	1	モード6	0	1	0	モード7	0	1	1
	MD2	MD1	MD0																															
モード5	12V	0	1																															
モード6	12V	1	0																															
モード7	12V	1	1																															
	MD2	MD1	MD0																															
モード5	0	0	1																															
モード6	0	1	0																															
モード7	0	1	1																															
ユーザプログラムモード設定方法	RESO = 12V <table border="1"> <thead> <tr> <th></th> <th>MD2</th> <th>MD1</th> <th>MD0</th> </tr> </thead> <tbody> <tr> <td>モード5</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>モード6</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>モード7</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table> リセット解除		MD2	MD1	MD0	モード5	1	0	1	モード6	1	1	0	モード7	1	1	1	FWE = 1 <table border="1"> <thead> <tr> <th></th> <th>MD2</th> <th>MD1</th> <th>MD0</th> </tr> </thead> <tbody> <tr> <td>モード5</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>モード6</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>モード7</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table> リセット解除		MD2	MD1	MD0	モード5	1	0	1	モード6	1	1	0	モード7	1	1	1
	MD2	MD1	MD0																															
モード5	1	0	1																															
モード6	1	1	0																															
モード7	1	1	1																															
	MD2	MD1	MD0																															
モード5	1	0	1																															
モード6	1	1	0																															
モード7	1	1	1																															
書き込み処理	書き込み前に書き込み対象アドレスに相当するブロックを EBR1/EBR2 に設定	設定なし																																
FLMCR	FLMCR(H'FF40) <table border="1"> <tr> <td>V_{PP}</td> <td>$V_{PP}E$</td> <td></td> <td></td> <td>EV</td> <td>PV</td> <td>E</td> <td>P</td> </tr> </table>	V_{PP}	$V_{PP}E$			EV	PV	E	P	FLMCR1(H'FF40) <table border="1"> <tr> <td>FWE</td> <td>SWE1</td> <td>ESU1</td> <td>PSU1</td> <td>EV1</td> <td>PV1</td> <td>E1</td> <td>P1</td> </tr> </table> FLMCR2(H'FF41) <table border="1"> <tr> <td>FLER</td> <td>SWE2</td> <td>ESU2</td> <td>PSU2</td> <td>EV2</td> <td>PV2</td> <td>E2</td> <td>P2</td> </tr> </table>	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2								
V_{PP}	$V_{PP}E$			EV	PV	E	P																											
FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1																											
FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2																											
EBR	EBR1(H'FF42) <table border="1"> <tr> <td>LB7</td> <td>LB6</td> <td>LB5</td> <td>LB4</td> <td>LB3</td> <td>LB2</td> <td>LB1</td> <td>LB0</td> </tr> </table> EBR2(H'FF43) <table border="1"> <tr> <td>SB7</td> <td>SB6</td> <td>SB5</td> <td>SB4</td> <td>SB3</td> <td>SB2</td> <td>SB1</td> <td>SB0</td> </tr> </table> 複数ビット選択可 (書き込み / 消去時設定)	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	EBR1(H'FF42) <table border="1"> <tr> <td>EB7</td> <td>EB6</td> <td>EB5</td> <td>EB4</td> <td>EB3</td> <td>EB2</td> <td>EB1</td> <td>EB0</td> </tr> </table> EBR2(H'FF43) <table border="1"> <tr> <td>EB15</td> <td>EB14</td> <td>EB13</td> <td>EB12</td> <td>EB11</td> <td>EB10</td> <td>EB9</td> <td>EB8</td> </tr> </table> 1ビットのみ選択 (消去時設定)	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8
LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0																											
SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0																											
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0																											
EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8																											
RAMCR	RAMCR(H'FF48) <table border="1"> <tr> <td>FLER</td> <td></td> <td></td> <td></td> <td>RAMS</td> <td>RAM2</td> <td>RAM1</td> <td>RAM0</td> </tr> </table>	FLER				RAMS	RAM2	RAM1	RAM0	RAMCR(H'FF47) <table border="1"> <tr> <td></td> <td></td> <td></td> <td></td> <td>RAMS</td> <td>RAM2</td> <td>RAM1</td> <td>RAM0</td> </tr> </table>					RAMS	RAM2	RAM1	RAM0																
FLER				RAMS	RAM2	RAM1	RAM0																											
				RAMS	RAM2	RAM1	RAM0																											

項目	H8/3048F-ZTAT	H8/3052F-ZTAT
FLASH メモリブロック 分割	<p>16ブロック分割 16kバイト×8:LB0～LB6 12kバイト×1:LB7 512kバイト×8:SB0～SB7</p> <p>FLASHメモリ</p> <p>H'00000</p> <p>H'1FFFF</p>	<p>16ブロック分割 4kバイト×8:EB0～EB7 32kバイト×1:EB8 64kバイト×7:EB9～EB15</p> <p>FLASHメモリ</p> <p>H'00000</p> <p>H'7FFFF</p>
RAM エミュレーション ブロック分割	<p>内蔵RAM</p> <p>H'FE10 H'F000 H'F1FF H'FF0F</p> <p>FLASHメモリ</p> <p>H'00000</p> <p>H'1EFFF H'1F000 H'1F200 H'1F400 H'1F600 H'1F800 H'1FA00 H'1FC00 H'1FE00 H'1FFFF</p>	<p>内蔵RAM</p> <p>H'FD10 H'E000 H'FFFF H'FF0F</p> <p>FLASHメモリ</p> <p>H'00000 H'01000 H'02000 H'03000 H'04000 H'05000 H'06000 H'07000 H'08000 H'7FFFF</p>
リフレッシュ コントローラ	モード 1、2、3、4、5、6 時、 エリア 3 に DRAM もしくは PSRAM を 直接接続可。	モード 1、2、3、4、6 時、 エリア 3 に DRAM もしくは PSRAM を 直接接続可。 モード 5 の時使用不可。(エリア 3 に FLASH エリアが重なるため)
DMAC の MAR0AR、MAR0BR、 MAR1AR、MAR1BR	MAR0AR(H'FF20)、MAR0BR(H'FF28)、 MAR1AR(H'FF30)、MAR1BR(H'FF38) 全ビットリザーブビットでリードすると 常に 1 が読める。ライトは無効。	MAR0AR(H'FF20)、MAR0BR(H'FF28)、 MAR1AR(H'FF30)、MAR1BR(H'FF38) 全ビットリザーブビットでリード値は不 定である。ライトは無効。
A/D の ADCR	ADCR(H'FFE9) 初期値 H'7F ビット 7 のみリードライト可。 その他はリザーブビット。リードすると 常に 1 が読める。ライトは無効。	ADCR(H'FFE9) 初期値 H'7E ビット 7 のみリードライト可。 ビット 0 はリザーブビットで 1 セット禁 止。 その他はリザーブビット。リードすると 常に 1 が読める。ライトは無効。
WDT の RSTCSR	RSTCSR(H'FFAB) 初期値'3F ビット 7、6 のみリードライト可。 その他はリザーブビット。リードすると 常に 1 が読める。ライトは無効。	RSTCSR(H'FFAB) 初期値'3F ビット 7、6 のみリードライト可。 ビット 6 はリザーブビットで 1 セット禁 止。 その他はリザーブビット。リードすると 常に 1 が読める。ライトは無効。

【注】 本 LSI の書き込み / 消去フローは H8/3048F-ZTAT とは異なります。

H8/3052F-ZTAT™ハードウェアマニュアル

発行年月 1999年9月 第1版

2001年3月 第2版

発行 株式会社 日立製作所
半導体グループ電子統括営業本部

編集 株式会社 日立小平セミコン
技術ドキュメントグループ

©株式会社 日立製作所 1999